

ZnO 나노와이어를 이용한 FET 소자 제작 및 특성 평가

김경원^a, 오원석^a, 장건익^{a*}, 박동원^{b,c}, 이정오^b, 김범수^c

^a충북대학교 공과대학 신소재공학과, ^b한국화학연구원 융합바이오연구센터

^c충북대학교 공과대학 화학공학과

Fabrication and Characterization of FET Device Using ZnO Nanowires

K. W. Kim^a, W. S. Oh^a, G. E. Jang^{a*}, D. W. Park^{b,c}, J. O. Lee^b, B. S. Kim^c

^aDepartment of Advanced Materials Engineering, CBITRC, Chungbuk National University, Cheongju 361-763, Korea

^bFusion Biotechnology Research Center, Korea Research Institute of Chemical Technology, Daejeon 305-343, Korea

^cDepartment of Chemical Engineering, Chungbuk National University, Cheongju 500-712, Korea

(Received December 10, 2007 ; accepted February 22, 2008)

Abstract

The zinc oxide(ZnO) nanowires were deposited on Si(001) substrates by thermal chemical vapour deposition without any catalysts. SEM data suggested that the grown nanostructures were the well-aligned ZnO single crystals with preferential orientation. Back-gate ZnO nanowire field effect transistors(FET) were successfully fabricated using a photolithography process. The fabricated nanowire FET exhibits good contact between the ZnO nanowire and Au metal electrodes. Based on $I-V$ characteristics it was found out that the ZnO nanowire revealed a characteristic of n-type field effect transistor. The drain current increases with increasing drain voltage, and the slopes of the $I_{ds} - V_{ds}$ curves are dependent on the gate voltage.

Keywords: ZnO nanowire, FET, Thermal CVD

1. 서 론

탄소나노튜브의 발견이후 1차원구조를 갖는 나노물질에 대한 합성 및 응용에 관한 연구가 반도체 연구 분야에서 새로운 주류로 폭넓게 연구되고 있다¹⁾. 이는 크기효과(size effect)에 따른 양자구속효과(quantum confinement effect)에 기인하며 전자들의 에너지 준위가 존재할 수 있는 공간적 구속으로 소자 효율의 극대화를 가져올 수 있는 양자소자의 출현에 보다 근접한 점에서 1차원구조의 잠재적 응용가능성에 의미를 부여할 수 있다²⁾. 최근까지 활발히 연구되어온 나노와이어는 그 합성 방법에서부터 다양한 특성의 소자구현에 이르기까지 다양한 분야에서 연구되고 있다. 이러한 나노선의 종류는

탄소 나노튜브에서부터 기존의 반도체 산업에서 쓰이는 실리콘 나노와이어와 SnO₂, GaN, SiGe, ZnO 등의 그 물질이 매우 다양하다^{3,4)}. 나노와이어를 합성하는 방법은 기상 수송공정^{5,6)}, 화학적 기상 증착법⁷⁾, 아크 방전 법⁸⁾, 레이저 어블레이션 법⁹⁾, 그리고 템플릿을 이용한 방법¹⁰⁾ 등 다양한 방법으로 제작이 되어지고 있다. II-VI 족인 ZnO는 넓은 밴드갭(3.37 eV) 에너지를 가지고 있어 단 파장 등의 광소자에 응용하기 위해 MBE, MOCVD, PLD, RF magnetron sputtering 등의 방법을 이용하여 많은 연구를 진행 중에 있다^{11,12)}. 그 예로 ZnO의 나노와이어를 이용하여 Field effect transistor(FET), Light emitting diode, Photo detector, Chemical sensor 등이 있다¹³⁾. 하지만 아직도 안정화된 소자 특성 구현이나 상업적인 응용 연구에는 부족한 점이 많다. 이전의 전자 재료 소자에 쓰이는 SiO₂ 절연막은 기

*Corresponding author. E-mail : gejang@chungbuk.ac.kr

술의 발전으로 게이트 길이가 100 nm에서 65 nm 영역에 이르기까지 상용화되었다. 하지만 절연막의 누설전류 특성이 급격히 나빠지고 열이 많은 등 그 한계를 나타내고 있어 Si를 대체할 물질 연구는 꾸준히 진행되고 있다. 본 논문에서는 촉매를 사용하지 않은 thermal CVD법으로 ZnO 나노와이어를 제조, 와이어특성을 평가한 후 ZnO 나노와이어를 이용하여 back-gate 전류의 변화에 따른 전기적 특성 변화 등을 분석 조사하고자 하였다.

2. 실험

본 연구에서는 촉매없이 열 화학기상증착법(thermal CVD)을 이용하여 ZnO 나노와이어를 합성하였다. ZnO 합성물질의 원료로는 99.999% 순도, 200 mesh 이하 크기의 ZnO 분말과 99.9% 순도의 graphite의 분말을 사용하였으며 ZnO 분말과 흑연은 1:1의 비율로 섞은 후 지르코니아볼과 알콜을 혼합, 약 36 시간동안 밀링하였다.

이후 직경 20 mm, 길이 1000 mm인 수평 석영관을 이용하여 900~1100°C의 온도에서 열처리하였다. 혼합된 분말은 석영관 중앙의 알루미늄 도가니에 약 3 g을 넣고 중간 열처리 과정(600°C)을 한 후 약 30분간 제작하여 로냉시켰다. 석영관 중앙에 위치한 Si 기판은 아세톤과 증류수로 초음파 세척을 마친 10×10 mm의 크기의 (001) 웨이퍼를 이용하였다. 실험 변수로는 분말의 양, 성장 온도, 성장 시간 그리고 가스의 양이었다. 그림 1은 개괄적인 CVD 장치의 모식도이다.

자체 제작한 ZnO의 나노와이어에 전극을 부착하는 기술로 리소그래피(lithography) 공정을 이용하였다. 먼저 광 식각방법을 사용하기 위하여 500 nm의 SiO₂가 입혀진 Si 웨이퍼 위에 광 레지스트용액(AZ5214)을 분사시킨 후 10초동안 1000 rpm으로, 30초 동안 4000 rpm으로 균일하게 도포하여 100°C에서 2분간 열처리하였다. Photo Mask와 PR(MAIDAS MDA-4000) 장비를 사용하여 직접적으로 기판위에 가속 전압 30 kV, 전류 10 pA로 전자빔에 노광시킨 후 현상액으로 현상하였다. Source

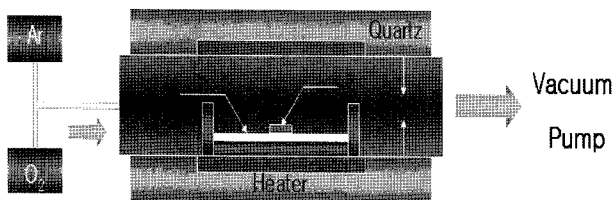


Fig. 1. Schematics of Thermal CVD ① ZnO powder + graphite ② Si wafer.

와 drain의 전극 형성은 evaporator를 사용하여 10⁻⁶ 이상의 진공상태에서 0.1 nm/s와 0.2 nm/s의 증착 속도로 2 nm의 Ti와 30 nm의 Au를 증착하였다. Ti의 증착은 Au와 Si의 접합력의 증가와 산화 방지를 위해서였다.

FET 소자의 I-V 측정을 위해 Probe Station (National Instrument)을 이용하여 전기적 특성을 분석 하였다.

3. 결과 및 고찰

그림 2는 Thermal CVD법을 이용하여 성장온도에 따른 ZnO 나노와이어의 표면 사진이다. 성장된 나노와이어의 길이는 대략 1-5 μm이고 직경은 50~100 nm였다. 표면 형상은 성장온도에 따라 다양하게 변화하는 것을 알 수 있었다. 그림 2(a)의 경

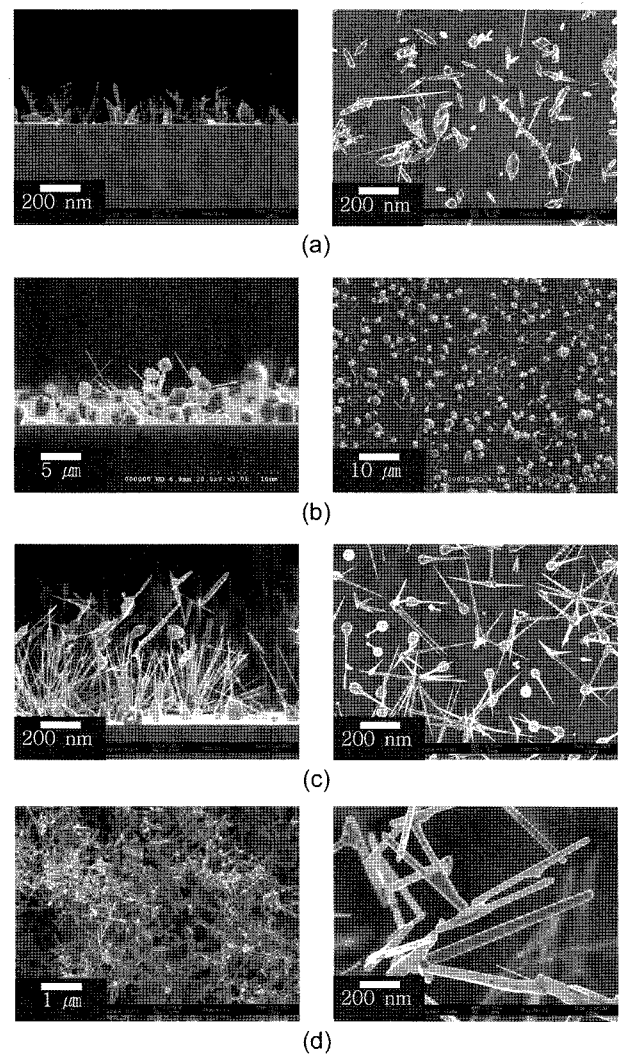
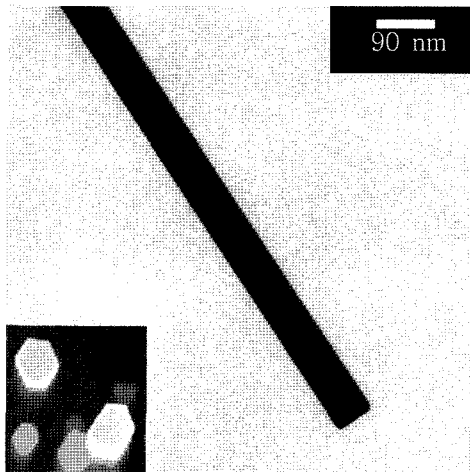
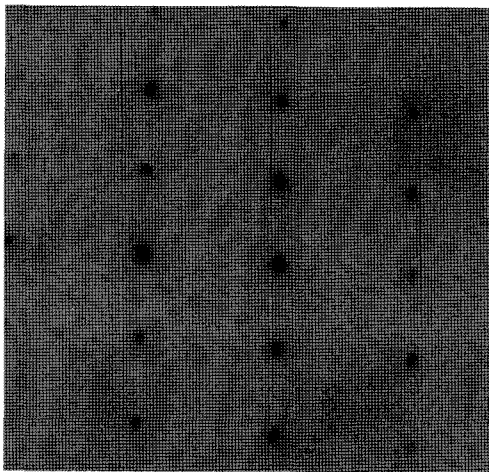


Fig. 2. Cross-sectional and Surface SEM image of ZnO nanowires as a function of deposition temperatures: (a) 800°C, (b) 900°C, (c) 1000°C, (d) 1100°C.

우 ZnO 나노선이 아닌 마이크로 단위의 마이크로 선을 찾을 수 있으며, 기판 표면에 소량의 ZnO 합성물만이 보임을 확인할 수 있었다. 이는 ZnO의 녹는점(1975°C)에 미치지 못해 source의 공급원인 ZnO의 공급이 충분치 않아 기판위에 균일한 나노선 성장이 이루어지지 못한 것으로 판단된다. 그림 2(b)~(d)는 900°C에서 1100°C 열처리 온도가 상승함에 따라 기판위에 제조한 ZnO 나노와이어의 표면 사진이다. 기판의 위에 source 공급이 원활하게 되어 나노선의 형태, 다량의 나노선 합성, 길이의 증가를 볼 수 있었다. 또한 그림 2(c)와 같이 기판 위의 한 점에서 나노선 성장을 관찰할 수 있는데, 이는 촉매와 seed의 역할을 하는 ZnO의 작은 분자들이 기판에 증착되어 그 증착된 분자를 기반으로 ZnO가 우선 성장함을 보여주고 있다. 그림 2(d)는 1100°C에서 성장된 나노와이어의 표면사진으로 FET 소자로 응용하기에 충분한 직경과 길이의 나노와



(a)



(b)

Fig. 3. (a) TEM image of an individual ZnO nanowire, (b) SEAD pattern of a ZnO nanowire.

이가 성장하였음을 확인할 수 있다.

그림 3은 1100°C에서 성장시킨 ZnO 나노와이어의 TEM 분석결과 및 SAED 분석결과이다. TEM 분석 결과 직경이 약 50 nm 정도로 전체적으로 균일한 두께의 hexagonal 구조의 ZnO 나노와이어가 성장되었음을 확인하였고 SAED 분석결과 성장된 ZnO 나노와이어는 단결정으로 성장하였음을 확인할 수 있다.

그림 4는 FET 소자의 전기적 특성 실험에 사용된 source와 drain 사이에 ZnO nanowire가 연결되어있는 그림이다. 실온에서 측정된 소자의 저항은 수 Ω ~8 k Ω 으로 측정되고, 저항은 2개의 금속전극과 나노선의 접촉저항($R_{contact}$) 그리고 나노선 자체의 저항($R_{nanowire}$)이다. 같은 조건의 여러 FET 소자의 저항 범위가 큰 이유는 source와 drain의 ZnO 나노선이 하나가 아닌 여러개가 연결된 경우와 lift off시 source와 drain 채널에 전극(Au)이 남아 있기 때문이다. 또한 나노와이어와 전극의 nanocontact의 영향을 크게 받기 때문이다¹⁴⁾. 그림 5는 $I_{ds} - V_{ds}$, $I_{ds} - V_g$ 그래프로 (a)는 소스-드레인 전압을 -1~+1 V를 인가한 동시에 게이트 전압을 -1~+1 V로 변조해가며 측정한 $I_{ds} - V_{ds}$ 그래프이다. 소스-드레인 전압은 전체적으로 선형적인 곡선을 그리는 것을 볼 수 있어 ohmic(금속-반도체 접합) 접합이 잘 이루어졌음을 알 수 있었다. source와 drain의 동일한 조건에서 -1 V 보다 +1 V 전류의 양이 많음을 그래프에서 확인할 수 있다. (b)는 게이트 전압을 -10~+10 V 인가하는 동시에 소스 드레인 전압을 100~0 nV로 변화하면서 측정한 $I_{ds} - V_g$ 그래프이다. 이 그래프에서 양의 게이트 전압 인가 시 전도도가 증가하는 n-type 특성을 보였다. 나노선과 기판사이에는 절연층이 위치하게 되어 식 $C = 2\pi\epsilon_r\epsilon_0 L/\ln(2h/r)$ 를 이용하여 채널(channel)과 back-gate의 결합 전기용량(coupling capacitance)을 구할 수 있었다¹⁵⁾. 여

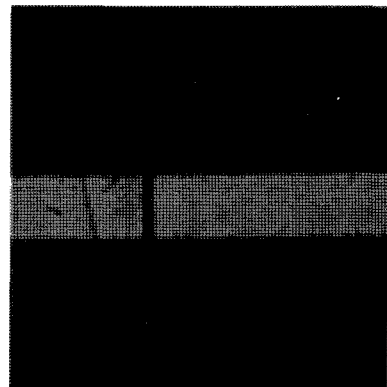


Fig. 4. SEM image of ZnO nanowire between source and drain.

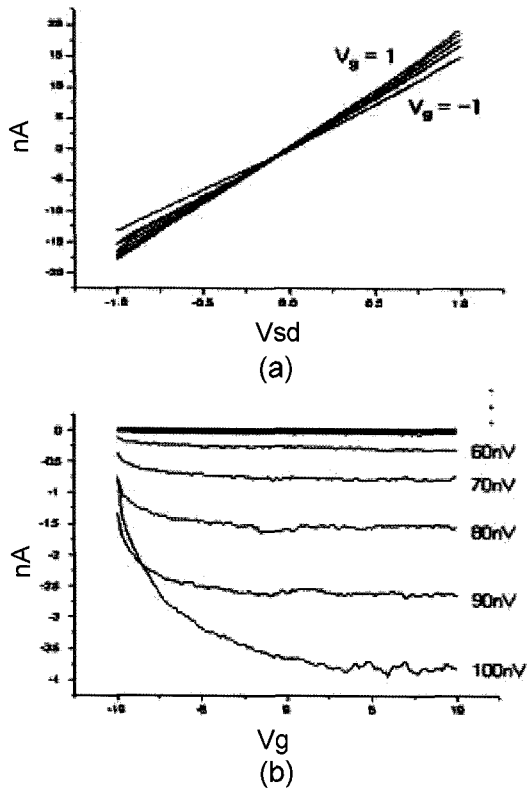


Fig. 5. I-V characteristics (a) $I_{ds} - V_{ds}$, (b) $I_{ds} - V_g$.

기서 $h(=500 \text{ nm})$ 는 SiO_2 의 두께이고, $r(=50 \text{ nm})$ 은 나노선의 직경, $\epsilon_0(=8.85 \times 10^{-12} \text{ Fm}^{-1})$ 는 진공에서의 유전상수이고, $\epsilon_r(=3.9)$ 은 SiO_2 의 유전 상수이다. 윗 식을 이용하여 계산된 전기 용량은 $7.239 \times 10^{-11} \text{ F}$ 이다.

4. 결 론

ZnO 분말과 흑연을 혼합한 분말을 이용하여 고순도의 ZnO 나노와이어를 열 화학기상증착법으로 제작하였다. SEM을 통하여 합성한 물질은 wurtzite 육방정계구조를 갖는 단결정의 ZnO의 나노와이어임을 알 수 있었다. ZnO 나노와이어는 육각의 기둥형 구조를 나타냈으며, 그 크기는 직경이 약 50~100 nm, 길이가 1~5 μm 로 균일하였다. 자체 제작한 고순도의 나노와이어를 Photolithography법을 사용하여 FET 소자를 제작하였고 $I - V$ 특성을 측정하였다. Source와 drain 사이의 나노와이어 저항은 수 $\Omega \sim 8 \text{ k}\Omega$ 였다. 또한, $I_{ds} - V_{ds}$ 전체적인 그래프는 선형의 ohmic 접합임을(반도체+도체) 알 수 있었다. 게이트 전압을 $-10 \sim +10 \text{ nV}$ 인가하는 동시에

소스 드레인 전압을 $+100 \sim 0 \text{ nV}$ 로 변화 시 전도도가 증가하는 n-type 특성을 보였다

후 기

이 논문은 2007년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임(지방연구중심대학육성사업/충북BIT연구중심대학육성사업단).

참고문헌

1. N. Hamada, S. Sawada, A. Oshiyama, Phys. Rev. Lett., 68 (1992) 1579.
2. 박광수, 이종수, 강명일, 성만영, 김상식, Journal of the Korean Institute of Electronic Material Eng., 15(8) (2002) 651.
3. Z. Fan, D. Wang, P. C. Chang, W. Y. Tseng, J. G. Lua, Appl. Phys. Lett., 85(24) (2004) 5923.
4. S. E. Ahn, J. S. Lee, H. Kim, B. H. Kang, K. H. Kim, G. T. Kim, Appl. Phys. Lett., 84(24) (2004) 5022.
5. Y. Wu, P. Yang, Chem. Mater., 12 (2000) 605.
6. Z. G. Bai, D. P. Yu, H. Z. Zhang, Y. Ding, X. Z. Gai, Q. L. Hang, G. C. Xiong, S. Q. Feng, Chem. Phys. Lett., 303 (1999) 311.
7. M. Yazawa, M. Koguchi, A. Muto, M. Ozawa, K. Hiruma, Appl. Phys. Lett., 61 (1992) 2051.
8. Y. C. Choi, W. S. Kim, Y. S. Park, S. M. Lee, D. J. Bae, Y. H. Lee, G. S. Park, W. B. Choi, N. S. Lee, J. M. Kim, Adv. Mater., 12 (2000) 746.
9. X. F. Duan, C. M. Lieber, Adv. Mater, 279 (2000) 208.
10. M. H. Huang, A. Choudrey, P. Yang, Chem. Commun, 76 (2000) 1603.
11. N. W. Emanetoglu, C. Gorla, Y. Liu, Y. Lu, Materials Science in Semiconductor Processing, 2 (1999) 247.
12. Y. R. Ryu, S. Zhu, J. D. Budai, H. R. Chandrasekhar, P. F. Miceli, H. W. White, J. Appl. Phys., 88 (2000) 201.
13. 김강현, 강해용, 임찬영, 전대영, 김혜영, 김규태, 이종수, 강원, 한국전기전자재료학회, 18(12) (2005) 1087.
14. K. Keem, J. Kang, C. Yoon, D. Yeom, D. Jeong, B. Moon, S. Kim, Mic. Eng., 84 (2007) 1622-1626.
15. Y. Huang, X. Duan, Y. Cui, C. M. Lieber, Nano Lett., 2 (2002) 101.