



## 유연성 유기 박막트랜지스터 적용을 위한 다층 게이트 절연막의 전기적 및 기계적 특성 향상 연구

노화영, 설영국, 김선일, 이내응\*

성균관대학교

### Improvement of Electrical and Mechanical Characteristics of Organic Thin Film Transistor with Organic/Inorganic Laminated Gate Dielectric

H. Y. Noh, Y. G. Seol, S. I. Kim, N.-E. Lee\*

School of Advanced Materials Science & Engineering and Center for Advanced Plasma Surface Technology, Sungkyunkwan University, Suwon, Kyunggi-do 440-746, Korea

(Received January 17, 2008 ; accepted February 2, 2008)

#### Abstract

In this work, improvement of mechanical and electrical properties of gate dielectric layer for flexible organic thin film transistor (OTFT) devices was investigated. In order to increase the mechanical flexibility of PVP (poly(4-vinyl phenol) organic gate dielectric, a very thin inorganic  $\text{HfO}_2$  layers with the thickness of 5~20 nm was inserted in between the spin-coated PVP layers. Insertion of the inorganic  $\text{HfO}_2$  in the laminated organic/inorganic structure of PVP/ $\text{HfO}_2$ /PVP layer led to a dramatic reduction in the leakage current compared to the pure PVP layer. Under repetitive cyclic bending, the leakage current density of the laminated PVP/ $\text{HfO}_2$ /PVP layer with the thickness of 20-nm  $\text{HfO}_2$  layer was not changed, while that of the single PVP layer was increased significantly. Mechanical flexibility tests of the OTFT devices by cyclic bending with 5 mm bending radius indicated that the leakage current of the laminated PVP/ $\text{HfO}_2$  (20 nm)/PVP gate dielectric in the device structure was also much smaller than that of the single PVP layer.

*Keywords:* Organic thin film transistor, Pentacene, Organic/inorganic laminated gate dielectric, Hafnium oxide ( $\text{HfO}_2$ ), Flexible devices

## 1. 서 론

최근 휴대성 및 굽힘성 등이 뛰어난 다목적 디스플레이가 개발되고 있는데, 이러한 기술의 핵심 능동소자로서 저비용, 대면적의 응용, 휘어질 수 있는 장점을 가지는 유기박막 트랜지스터(Organic Thin Film Transistor, OTFT)가 널리 연구되고 있다. 현재 플렉서블 디스플레이 분야뿐 아니라<sup>1-3)</sup>, 유기박막 트랜지스터 소자는 RF-ID<sup>4,5)</sup>, 저비용 센서<sup>6,7)</sup> 및 기타 다른 전자 소자<sup>8,9)</sup> 등에 적용하기 위한 많은 연구가 진행되고 있다.

플렉서블 전자시스템 구현을 위한 등 유기박막

트랜지스터 소자의 제작을 위해서는 소자에 사용되는 각층의 기계적 및 전기적 특성의 확보가 중요하여 층간의 박리현상을 억제하기 위한 접착성 향상이 아주 중요하다. 특히 게이트 절연막의 경우 현재 알려진 바로는 절연성에 있어서는 무기물 게이트 절연막의 전기적 특성이 월등하고, 유연성 측면에서는 유기물 게이트 절연막이 뛰어나다고 알려져 있다<sup>10)</sup>. 즉, 무기물 절연막과 유기물 절연막은 장점을 지님과 동시에 단점을 가진다. 무기물 게이트 절연막 경우 낮은 누설전류를 갖지만 두께가 두꺼우면 기계적 파괴 또는 변형이 쉽게 나타나고<sup>11)</sup>, 유기물 경우 같은 두께에서 무기물에 비하여 높은 누설전류를 가지지만 유연성을 가진다<sup>12)</sup>. 하지만 실질적으로 플렉서블 소자에 적용을 위해서 기계적

\*Corresponding author. E-mail : nelee@skku.edu

반복 굽힘을 통한 소자의 전기적 특성의 변화와 소재의 변형에 관한 연구논문은 거의 발표되지 않았다.

따라서, 기계적인 연성 특성을 향상시키고 동시에 우수한 전기적 특성을 갖는 게이트 절연막의 개발은 아주 중요하다. 본 연구에서는 기계적 유연성을 유지함과 동시에 낮은 누설전류를 얻기 위하여 유기물/무기물 다층 구조를 갖는 게이트 절연막을 적용하여 무기물 층 두께에 따른 기계적 및 전기적 특성에 관한 연구를 수행하였다. 게이트 절연막으로 유기물 층은 특성이 좋은 PVP(poly(4-vinyl phenol))를 이용하였고<sup>13)</sup>, 무기물 층은 고유전율 물질인  $\text{HfO}_2$ 를 이용하였다<sup>14)</sup>. 이를 통하여 낮은 누설전류와 높은 정전 용량 및 기계적 유연한 게이트 절연막을 구현할 수 있었다.

## 2. 실험

그림 1은 이 실험에서 제작된 inverted-staggered (bottom-gated) pentacene TFT의 개념적 도식을 나타낸다. 제작된 OTFT 소자의 채널 길이는 10에서 110  $\mu\text{m}$ 이고 채널 너비는 800  $\mu\text{m}$ 이다. 기판으로는 열적 및 화학적 안정성과 높은 전기적 저항을 가지며, 유연성이 좋은 125  $\mu\text{m}$  두께의 폴리이미드 (polyimide, PI) 필름(Du Pont; Kapton<sup>®</sup>)을 사용하였다. 폴리이미드 기판 상에 도금 공정을 이용한 Ni 전극을 형성하기 이전에 스퍼터 증착(sputter deposition) 방식을 통하여 접착층인 Cr 층과 씨앗층인 Cu 층을 증착시켰다. Cr 및 Cu의 스퍼터 증착 전에는 PI 기판과 금속 간의 접착성을 증대시키기 위하여 산소 유도 결합형 플라즈마( $\text{O}_2$  Inductively coupled plasma, ICP)로 처리를 하였다<sup>15)</sup>. 그리고 게이트 전극인 Ni 층의 형성을 위하여 네가티브 감광제

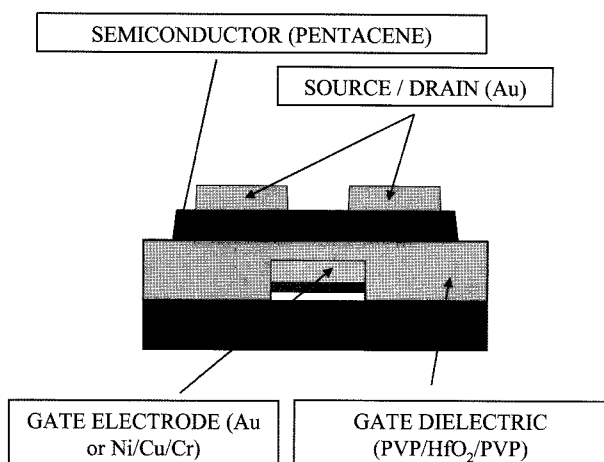


Fig. 1. Schematic diagram of inverted-staggered (bottom-gated) top-contact pentacene TFT with laminated multilayer gate dielectric layer.

(KMPR, Kayaku Micro Chem Corp.)를 이용한 포토리소그라피 방식을 이용하여 패턴을 형성한 후 펄스 dc 전해도금을 한다. 그 후 감광제를 제거하고 습식식각 방식을 이용하여 Cu가 도금된 부위를 제외하고 나머지 부분의 Cr과 Cu를 제거한다<sup>16,17)</sup>. 절연막 형성은 먼저 유기물 절연체인 cross-linked PVP를 약 200 nm 두께로 게이트 전극 위에 스핀 코팅 방식으로 형성시킨다. 그리고 그 위에 전자 빔 증착방식으로 무기물 절연체인  $\text{HfO}_2$ 를 약 5~20 nm 두께로 형성시켰다. 이 때 전자 빔 증착장치의 공정압력은  $2 \times 10^{-6}$  Torr 이하로 유지시켰다.  $\text{HfO}_2$  증착 후 다시 cross-linked PVP를 약 200 nm 두께로  $\text{HfO}_2$  절연막 위에 형성시킨다. 반도체 층으로는 이미 널리 알려진 pentacene(Aldrich Chemical Company)을 열증착법 방식으로 약 75 nm 두께로 증착시킨다. 이 때 공정 압력은  $2 \times 10^{-6}$  Torr로 유지시켰고, 증착 속도는 0.1 nm/s이었다. 마지막으로 소스/드레인 층은 금(gold)을 사용하였으며 이 역시 열 증착 법을 이용하여 약 80 nm의 두께로 증착시켰다. 또한 반도체 층과 소스/드레인 층의 패턴형성을 위해 shadow mask를 이용하였다<sup>18)</sup>. 그리고 HP 4145B 분석기를 통하여 대기압 상태에서 OTFT 소자의 전기적 특성을 측정하였다. 또한 유기 반도체 소자의 기계적 유연성 테스트를 위하여 5 mm의 곡률반경 하에서 여러 가지 반복 굽힘 횟수에 따라 유기 반도체 소자의 전기적 특성을 측정하였다. 본 실험에서는 소자의 반복 굽힘 테스트를 위하여 굽힘 방향은 채널 방향과 평행한 방향으로 tension mode로 실험을 수행하였다.

## 3. 결과 및 토의

그림 2(a)는 순수한 PVP(400 nm) 샘플과  $\text{HfO}_2$ 의 두께를 다양하게 증착을 하여 형성시킨 PVP(200 nm)/ $\text{HfO}_2$ /PVP(200 nm) 다층 절연막 샘플의 정전용량(capacitance) 값의 변화를 나타낸다. PVP(200 nm)/ $\text{HfO}_2$ /PVP(200 nm) 다층 절연체의 정전용량 값이 순수한 PVP에 비하여 확연하게 증가함을 확인할 수 있었다. 그 이유는  $\text{HfO}_2$ 의 얇은 경우에는  $\text{HfO}_2$ 의 유전율이 크기 때문에 전체적 정전용량에 있어서  $\text{HfO}_2$ 의 영향이 더 크므로 단일 유기 PVP 막과 비교할 때 유전율이 증가하는 경향을 나타내었다고 판단된다. 반면에,  $\text{HfO}_2$ 의 두께가 증가할수록 전체적인 정전용량이 점차 감소하는 경향을 나타냄을 알 수 있다. 그 이유는 정전용량에 있어서 고유전율 물질의 영향 보다는 PVP 절연체 층의 두께에 따른 영향이 더 크게 나타내기 때문이다. 그

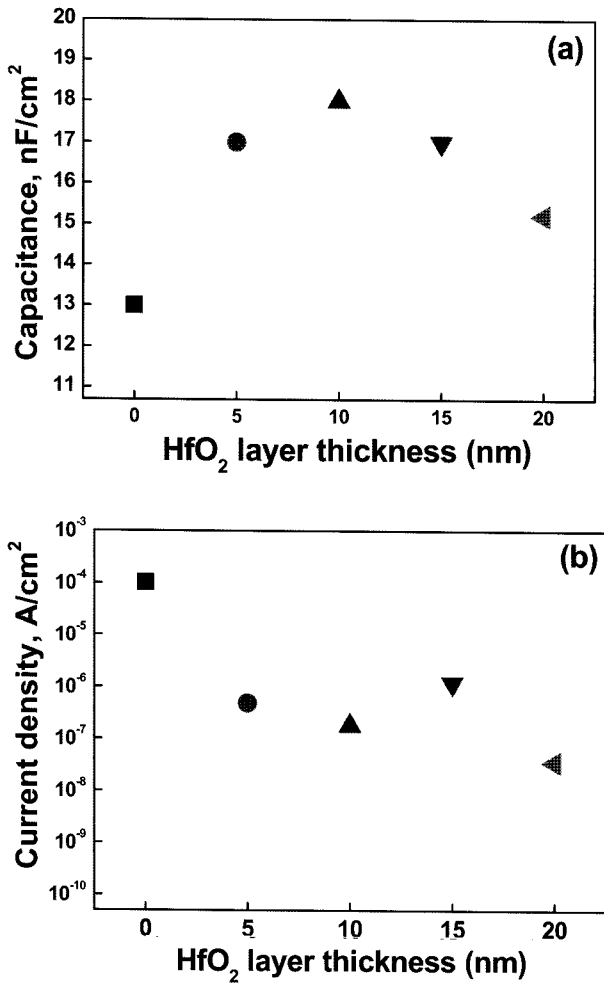


Fig. 2. (a) Capacitance at 100 KHz of the frequency and (b) leakage current density at 1 MV/cm of the single PVP layer and laminated multilayer gate dielectric layers ( $\approx 420$  nm) with the different thicknesses of HfO<sub>2</sub>.

리고 20 nm의 HfO<sub>2</sub>층을 갖는 다층 박막 샘플에 대해 주기적 굽힘 실험을 수행하였을 시에 점차적으로 정전용량이 15.2(nF/cm<sup>2</sup>)에서 13.6(nF/cm<sup>2</sup>)으로 1.6(nF/cm<sup>2</sup>) 만큼 약간 감소함을 확인하였다. 그것은 아마도 주기적 굽힘 실험에서 1 MV/cm의 전계 인가 시 누설전류밀도 값이  $4.14 \times 10^{-7}$ (A/cm<sup>2</sup>)에서  $9.86 \times 10^{-7}$ (A/cm<sup>2</sup>)으로 증가하여 정전용량에 영향을 주었기 때문이라 판단된다.

그림 2(b)에 1 MV/cm의 전기장 하에서 순수한 PVP 층(400 nm)과 다양한 두께의 HfO<sub>2</sub>를 갖는 PVP(200 nm)/HfO<sub>2</sub>/PVP(200 nm) 다층 게이트 절연막의 누설전류 밀도 값을 나타내었다. HfO<sub>2</sub>를 두 유기물 층 사이에 삽입함으로써 증착 된 무기물의 낮은 누설전류 특성 때문에 누설전류가 낮아짐을 확인할 수 있었다. 약 5 nm 두께의 HfO<sub>2</sub>의 증착만으로도 누설전류 밀도 값이 급격히 감소함을 알 수 있었다. 그 중 20 nm 두께의 HfO<sub>2</sub>를 증착 시킨 경

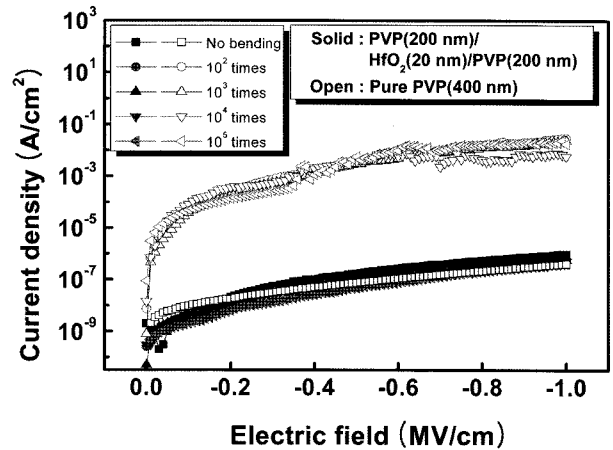


Fig. 3. Variation of leakage current density of single PVP layer and PVP (200 nm)/HfO<sub>2</sub> (20 nm)/PVP (200 nm) multilayer dielectric layer as a function of the number of cyclic bending.

우 가장 낮은 누설 전류의 특성을 나타냄을 확인할 수 있다. 이는 무기물 층의 두께가 증가하면 증가할수록 누설전류는 더욱 더 감소됨을 알 수 있다.

그림 3은 PVP 유기물 층(400 nm)과 20 nm 두께의 HfO<sub>2</sub>를 갖는 다층 절연막 샘플에 대하여 굽힘 반지름을 5 mm로 하여 반복 굽힘 테스트를 하였을 시 누설전류 특성의 변화를 비교하였다. 우선 기본적으로 PVP 단일 층의 경우에는 연성이 높아 누설전류 특성의 변화가 없을 것이라고 많이 알려져 있다. 하지만 본 실험결과 굽힘 반지름을 5 mm로 하여 여러 번 반복을 하여 측정하여 확인한 결과, PVP 유기물 층의 경우에도 주기적 반복 굽힘 실험 시 굽힘 횟수가 증가하면 누설전류가 증가함을 관찰할 수 있었다. 반면에 본 연구에는 20 nm HfO<sub>2</sub> 삽입 층을 갖는 유무기 다층 절연막의 경우에 같은 조건하에 주기적 반복 굽힘 실험을 하여도 누설전류의 변화가 거의 없음을 알 수 있었다. 5~15 nm의 HfO<sub>2</sub> 삽입 층을 갖는 다층구조 박막의 경우 반복 굽힘 실험 시 횟수가 증가할수록 누설전류 또한 증가함을 확인하였다. 하지만 HfO<sub>2</sub>의 두께가 증가할수록 누설전류의 증가폭이 감소하는 경향을 나타내었다. 이는 기존의 단일 유기물 층의 경우보다 유무기 다층구조의 절연막의 경우 누설전류 특성면에서 우수함을 확인할 수 있었다.

그림 4에 단일 PVP(400 nm)층과 PVP(200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm) 다층막을 유기박막 트랜지스터 소자에 게이트 절연막으로 적용 시 V<sub>G</sub>(게이트 전압)에 따른 I<sub>DS</sub>(소스-드레인 전류) 변화의 전기적 특성을 나타내었다. 전계 효과 채널 이동도인  $\mu$  값은 포화영역에서 다음과 같은 식을 이용하여 구하였다.

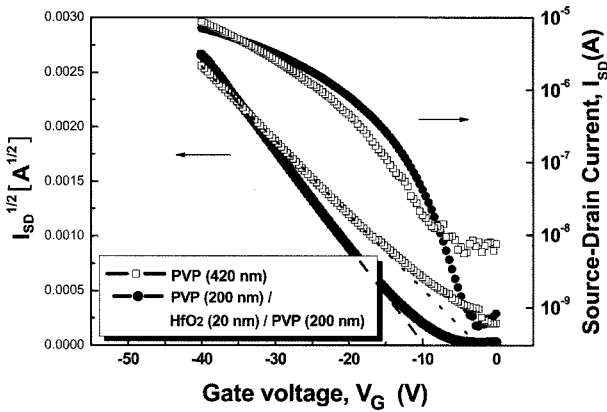


Fig. 4. Transfer characteristics of OTFTs with different gate dielectric stacks.

$$I_{SD(sat.)} = (WC_i/2L)\mu(V_G - V_T)^2$$

$C_i$ 는 절연막의 단위면적당 축전용량,  $V_T$ 는 문턱 전압이다. 단일 PVP 층을 게이트 절연막으로 하는 OTFT 소자의 경우  $\mu$ 는  $0.81 \text{ cm}^2/\text{V}\cdot\text{s}$ 이고,  $V_T$ 는  $-3 \text{ V}$ 고, 전류 점멸비는  $1.9 \times 10^2$ 이었다. 반면 PVP(200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm) 다층막을 게이트 절연막으로 하는 경우  $\mu$ 는  $0.31 \text{ cm}^2/\text{V}\cdot\text{s}$ 이고,  $V_T$ 는  $-9.7 \text{ V}$ 이고, 전류 점멸비는  $8.6 \times 10^3$ 이다. 채널 이동도의 경우 다층 절연막 적용의 경우 PVP 적용의 경우 보다 낮음을 알 수 있다. 이는 단일 PVP 층보다 무기물 층을 얇게 넣음으로써 절연막 층의 표면 거칠기에 영향을 미치는 것으로 판단된다. 이는 반도체 층이 절연막 층 위에 성장할 때 결정립 크기에 영향을 줌으로써 전하 이동에 영향을 미친 것으로 판단된다. 또한 더 낮은 전압에서 소자 작동이 가능함을 알 수 있었다. 하지만 전류 점멸비 측면에서는 PVP(200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm)의 경우  $8.6 \times 10^3$ 로 단일 PVP 층의  $1.9 \times 10^2$ 보다 다층 절연막이 소자적용에 있어 더 우수함을 알 수 있다.

그림 5에는 PVP(200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm)의 다층 절연막을 소자 제작에 적용한 후 인장 모드로 굽힘 반지름을 5 mm로 하여 주기적 반복 굽힘 실험을 통하여 얻은 전기적 특성의 변화 결과를 나타내었다. 그림 5(a)에서 반복 굽힘 실험에 따른 소스-드레인 전류 특성 변화를 살펴보면 굽힘 횟수가 증가할수록 전류 점멸비의 값은 더욱 작아진다. 이에 대한 이유는 반복 굽힘 횟수에 따라 off-current의 증가 폭은 큰데 비해 on-current의 증가 폭은 적다. 이는 굽힘을 하면 소자 내의 박막층의 변화가 일어나 전기적 특성이 변화함을 나타낸다. 따라서, 소자의 여러 가지 층(게이트 전극, 절연막, 반도체, 소스-드레인 전극) 중 어느 층이 주로 전기적

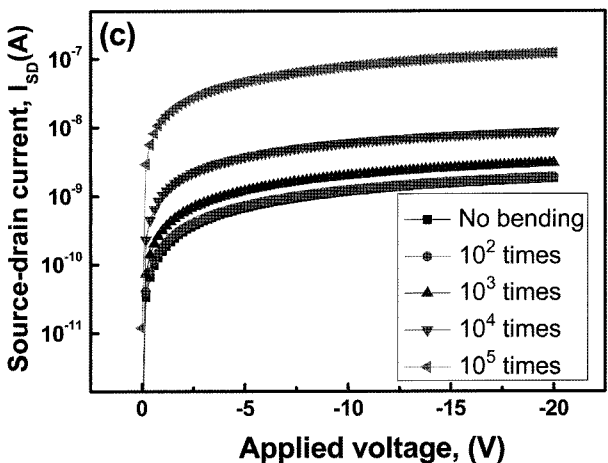
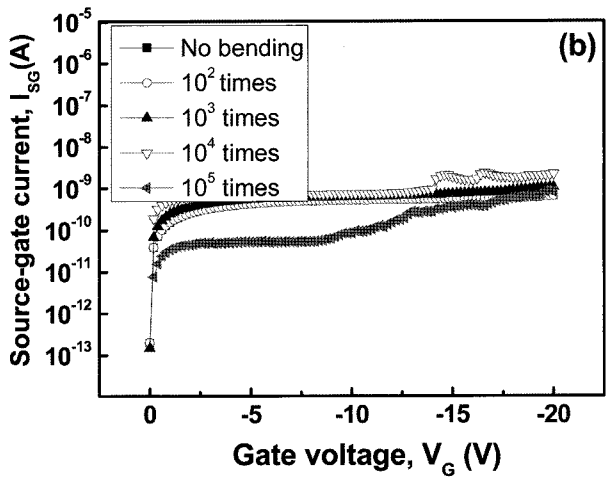
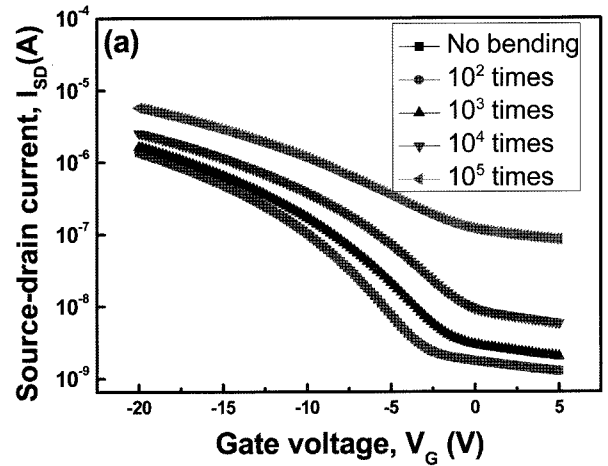


Fig. 5. Variation of electrical characteristics of the OTFT device with the PVP (200 nm)/HfO<sub>2</sub> (20 nm)/PVP (200 nm) as a function of the number of cyclic bending; (a) transfer characteristics (source-drain current  $I_{SD}$  versus gate voltage  $V_G$ ) at  $V_{SD} = -40 \text{ V}$ , (b) source-gate current  $I_{SG}$  versus  $V_G$  and (c)  $I_{SD}$  versus  $V_{SD}$  at  $V_G = 0 \text{ V}$ .

특성에 영향을 미치는 지를 확인하기 위하여 먼저 게이트 전압을 0 V로 한 후 소스와 드레인 사이에 전류의 흐름을 측정하였다. 그림 5(b)는 반복 굽힘

에 따른 소스-게이트 간의 전류 변화 즉, 절연막 층의 누설전류를 나타낸다. 앞에 그림 3에서와 같이 반복 굽힘 횟수가 증가하여도 소자 구조에서의 다층 게이트 절연체의 누설전류의 변화가 거의 없음을 알 수 있었다. 이는 본 실험에서 사용한 PVP (200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm) 다층 게이트 절연막의 누설전류 특성에 문제가 없음을 나타낸다. 그림 5(c)는 게이트 전압을 인가하지 않은 상태에서 굽힘 횟수가 증가함에 따른 소스-드레인 간의 전류 변화를 나타낸다. 굽힘 횟수가 증가함에 따라 소스-드레인 전극간 전류가 같이 크게 증가함을 알 수 있다. 이는 반복 굽힘 실험을 함에 따라 반도체 층에서의 표면 크랙 및 절연막 층과 반도체 층 또한 반도체 층과 소스-드레인 층 사이에서의 박리현상 등과 같은 변형이 가속화되어서 pentacene 층에서의 전류 즉 off-current 값이 점점 크게 증가함을 알 수 있다. FIB-FESEM(Focused Ion Beam-Field Emission Scanning Electron Microscopy) 을 통하여 변형이 일어남을 확인 하였다. 그림 5(a)에서 관측된 off-current의 증가는 주로 pentacene 반도체 층의 물성이 반복굽힘 테스트와 함께 더 급격히 저하됨을 알 수 있었다. 이들 관찰 결과로부터 본 실험에서 제작된 PVP(200 nm)/HfO<sub>2</sub>(20 nm)/PVP(200 nm) 다층 게이트 절연막 층의 단일 PVP 유기 게이트 절연체 층과 비교하여 경우 기계적 및 전기적으로 매우 안정함을 확인할 수 있었다.

#### 4. 결 론

PVP(200 nm)/HfO<sub>2</sub>/PVP(200 nm) 다층 절연막 층은 비슷한 총  $\approx 400$  nm 두께를 갖는 단일 PVP 유기물 층과 비교할 때 전기적으로 낮은 누설전류밀도( $\approx 3.535 \times 10^{-8}$  A/cm<sup>2</sup>)와 높은 정전용량( $\approx 18$  nF/cm<sup>2</sup>) 특성을 나타내었다. 또한 OTFT 소자의 반복 굽힘 실험에 있어서 다층 게이트 절연막이 기계적 그리고 전기적으로 안정함을 확인하였다. 이는 같은 두께에서 단일 유기물 절연막 층이 가지는 높은 누설전류밀도( $1.03 \times 10^{-4}$  A/cm<sup>2</sup>)를 나타내는 단점을 유기물 절연막 층 사이에 무기물 절연체 층을 얇게 삽입 함으로써 보완할 수 있었다. 하지만 높은 기계적 유연성을 가지는 유기박막 트랜지스터 소자의 실현에 있어, 반도체 층의 변형에 대한 특성저하에 대한 개선이 필요로 함을 반복 굽힘 실험을 통하여 확인할 수 있었다.

#### 후 기

This work was supported in part by the Korea Science and Engineering Foundation (Grant No. 2006-0657-000) and in part by the Center of Excellence program of the Korea Science and Engineering Foundation (Grant No. R-11-2000-086-0000-0).

#### 참고문헌

1. S. Steudel, S. De Vusser, S. De Jonge, D. Janssen, S. Verlaak, J. Genoe, P. Heremans, *Appl. Phys. Lett.*, 85 (2004) 4400.
2. P. Mach, S. J. Rodriguez, R. Nortrup, P. Wiltzius, J. A. Rogers, *Appl. Phys. Lett.*, 78 (2001) 3592.
3. L. A. Majewski, M. Grell, S. D. Ogier, J. Veres, *Organic Electronics*, 4 (2003) 27.
4. A. Facchetti, M.-H. Yoon, T. J. Marks, *Adv. Mater.*, 17 (2005) 1705.
5. F.-C. Chen, C.-W. Chu, J. He, Y. Yang, J.-L. Lin, *Appl. Phys. Lett.*, 85 (2004) 3295.
6. R. Parashkov, E. Becker, G. Ginev, T. Riedl, H.-H. Johannes, W. Kowalsky, *J. Appl. Phys.*, 95 (2004) 1594.
7. Y. Kato, S. Iba, R. Teramoto, T. Sekitani, T. Someya, *Appl. Phys. Lett.*, 84 (2004) 3789.
8. A. Facchetti, M. H. Yoon, T. J. Marks, *Adv. Mat.*, 17 (2005) 1705.
9. H. Sirringhaus, *Adv. Mat.*, 17 (2005) 2411.
10. A. Facchetti, M. H. Yoon, T. J. Marks, *Adv. Mater.*, 17 (2005) 1705.
11. L. A. Majewski, R. Schroeder, M. Grell, *Adv. Mater.*, 17 (2005) 192.
12. H. Rost, J. Ficker, J. S. Alonso, L. Leenders, I. McCulloch, *Synth. Met.*, 145 (2004) 83.
13. H. S. Byun, Y. X. Xu, C. K. Song, *Thin Solid Films*, 493 (2005) 278.
14. Gusev, E. P., Cabral Jr C., Copel, M., D'Emic, C., Gribelyuk, M., *Microelectron Eng.*, 69 (2003) 145.
15. S. H. Kim, S. W. Na, N.-E. Lee, Y. W. Nam, Y.-H. Kim, *Surf. Coat. Technol.*, 200 (2005) 2072.
16. S. H. Cho, S. H. Kim, N.-E. Lee, H. M. Kim, Y. W. Nam, *Thin Solid Films*, 475 (2005) 68.
17. S. H. Cho, S. H. Kim, J. G. Lee, N.-E. Lee, *Microelectron. Eng.*, 77 (2005) 116.
18. Y. G. Seol, J. G. Lee, N.-E. Lee, *Organic Electronics*, 8 (2007) 513.