

FAB-Wide 스케줄링을 통한 반도체 연구라인의 운용 최적화

論 文
57-4-23

The Operational Optimization of Semiconductor Research and Development Fabs by FAB-wide Scheduling

金 暎 昊[†] · 李 知 炯* · 宣 東 錫**

(Young-Ho Kim · Jee-Hyong Lee · Dong-Seok Sun)

Abstract - Semiconductor research and development (R&D) fabs are very different than production fabs in many ways such as the scales of production, job priority, production methods, and performance measures. Efficient operations of R&D fabs are very important to the development of new product, process stability, high yield, and ultimately company competitiveness. This paper proposes the fab-wide scheduling method for operational optimization of the R&D fabs. Most scheduling systems of semiconductor fabs have only focused on maximizing throughput of each separated areas without considering WIP(works in process) flows of entire fab. In this paper, we propose the a fab-wide scheduling system which schedules all lots to entire fab equipment at once. We develop the MIP(mixed integer programming) model which allocates the lots to production equipment considering many constraints of all processes and the CP(constraint programming) model which determines the sequences of the lots in the production equipment. The proposed FAB-wide scheduling model is applied to the newly constructed R&D fab. As a result, we have accomplished the system based automated job reservation, decrease of the hot lot delay, increase of the queue time satisfaction, the high throughput by maximizing the batch sizes, decrease of the WIP TAT(Turn Around Time).

Key Words : FAB-wide scheduler, Hot lot, Batch size, System based tracking, Queue time constraint

1. 서 론

반도체 산업은 기술, 자본 집약적인 고부가가치 산업으로 IT(Information Technology) 시장에서 점점 더 그 영역을 넓혀 가고 많은 반도체 기업들이 시장점유율을 높이기 위해 설비 기술 및 생산 기술 분야에서 많은 투자와 활발한 연구 활동을 수행함으로써 급속히 발전하고 있다. 이런 환경에서 반도체 산업에서의 생산계획 및 스케줄링 문제는 신기술 개발과 더불어 국제 경쟁력에서의 우위를 점할 수 있는 중요한 요소가 되고 있다.

반도체의 생산과정은 아래의 그림 1과 같이 크게 반도체의 회로를 만드는 웨이퍼 제조(wafer fabrication) 공정과 웨이퍼 선별 공정(electric die sorting), 이 웨이퍼를 절단한 칩(chip) 단위로 나머지 일련의 공정들을 수행하는 조립(assembly) 공정, 그리고 검사(test) 공정으로 나누어진다. 이 중에서 FAB(Fabrication) 공정은 수백 개의 세부 공정 step(처리 흐름에서 규정된 공정 동작의 최소 단위)과 복잡한 가공 경로를 가지고 있어서 생산성과 수율을 결정하는 반도체 전체 생산과정 중 가장 중요한 공정이다.

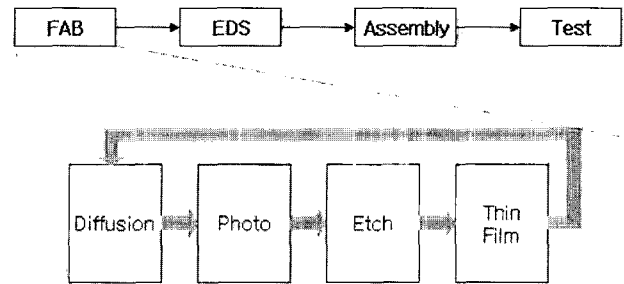


그림 1 반도체 생산 과정 및 주요 공정

Fig. 1 Procedure of semiconductor manufacturing and main processes

FAB의 주요 공정으로는 확산 공정(diffusion), 노광 공정(photo), CMP(Chemical Mechanical Polish)등의 식각(etch), 그리고 이온 주입 (implanter)과 증착(CVD : Chemical Vapor Deposition)등의 thin film 공정이 있다. 각 공정 간에는 일련의 순서가 있으며 각 공정의 반복 작업을 통해 wafer를 가공하게 된다. 이러한 wafer의 가공을 위해 수백 대의 공정 설비에서 lot(wafer의 묶음, wafer를 공정 진행, 이동하기 편하게 하기 위해 여러 장으로 묶어서 박스에 담아 보관하는 단위, 보통 25매)을 진행하게 된다. 반도체 FAB의 생산성을 극대화하기 위해서는 각 공정에서 대기하고 있는 lot을 어느 설비에서 어떤 우선순위에 따라 진행해야 하는지 스케줄링의 의사결정이 매우 중요하다. 반도체 공정의 스케줄링 연구로 분배정책(dispatching rule)에 대해

* 非 會 員 : 성균관대 교수, KAIST 공학박사
 ** 非 會 員 : 삼성전자 책임연구원, KAIST 공학박사
 † 교신저자, 正會員 : 성균관대 정보통신 공학부 석사과정
 E-mail : kim05.kim@samsung.com
 接受日字 : 2008年 2月 22日
 最終完了 : 2008年 3月 13日

서 많은 연구가 있었다. 생산성을 극대화, 납기 만족, TAT(Turn Around Time)를 줄이기 위하여 대기 중인 재공에 대해 다양한 우선순위를 부여하여 우선순위가 높은 재공부터 작업을 진행하는 방법이다[1][2]. 그러나 이 방법은 현재 재공만 반영하는 근시안적 알고리즘으로 순간순간의 부분 효율만을 고려하므로 대기 재공뿐만 아니라 유입 재공을 고려하지 못하여 공정 전체 최적화가 어렵다. 또 다른 반도체 공정 스케줄링 연구로 일정 시간 동안(horizon, 시스템이 고려하는 스케줄링 범위 시간)으로써, 이 시간 내에 시작 가능한 모든 step을 포함)의 설비에 lot을 할당하는 lot단위 스케줄링에 대한 연구가 있었다. 주로 bottleneck 공정인 photo 공정 스케줄링 연구[3]가 있었고 최근 라인의 복잡도 증가로 인하여 bottleneck 공정이 변화함에 따라 diffusion 공정이나 wet 공정에 대한 스케줄링 연구[4][5]가 있었다. 그러나 기존의 연구가 대부분 하나의 공정만을 분리, 스케줄링 하여 라인 전체의 공정간 유기적 연관성을 고려하지 못하였다. 따라서 본 논문은 연구라인을 대상으로 라인 전체 공정의 재공과 설비를 한꺼번에 고려하는 FAB-wide 스케줄링 방법을 제안하였다.

특히, 새로운 제품을 개발하는 반도체 연구라인의 경우는 몇 가지의 정해진 제품을 대량 생산하는 제조라인과 달리 다양한 제품의 개발 lot을 위주로 FAB 운영을 하고 있다. 결국 엔지니어의 테스트를 위한 다양한 공정 조건 및 설비 recipe(설비가 어떤 작업을 진행하는 순서나 방법을 프로그램으로 만들어 구분하기 쉽게 번호를 붙인 것)의 변화는 즉각적으로 작업의 우선순위 결정에 반영이 가능하여야 한다. 그리고 lot에 대한 priority(숫자로 표시되며 1에서 5사이의 값을 가짐, 개발 제품의 작업 중요도를 나타냄)의 변경 운용은 연구라인의 가장 큰 특징이다. 연구라인은 월별, 주별, 일별로 fab out(wafer가 FAB공정을 마치고 EDS로 이동되는 것)되는 hot lot(priority가 1혹은 2인 lot, 그 외는 normal lot이라 함)의 수량 계획을 세우고 이에 맞추어 전체 라인의 생산을 관리한다[6]. 따라서 hot lot은 대기로 인한 정체가 거의 없어야 하고 다른 모든 lot에 우선하여 공정별 작업이 진행되어야 한다. 하지만 이는 현재 대기 중인 공정의 다른 hot lot뿐 아니라 연결되는 유입 공정에 도착이 예측된 모든 hot lot을 사전에 파악한 후에 priority간의 경합을 통해 가능한 일이다.

이처럼 전체의 공정간 유기적 연관성은 hot lot에 의하여 운용되는 연구라인에서 매우 중요하다. 따라서 본 논문은 라인 전체공정의 hot lot을 순간적으로 파악하여 최우선적으로 스케줄링 하는 방법을 역시 포함한다.

다음 장에서는 우선적으로 연구라인에서 대두되는 주요 문제점, 현황 및 새로운 요구를 살펴보고 연구라인의 critical bottleneck 공정과 hot lot의 정체 유발 공정을 파악한다. 그리고 이어서 국내 반도체 업체의 연구라인 스케줄링 구축 프로젝트를 통한 FAB-wide 스케줄링 방법을 설명한다. 이러한 방법은 연구라인 형태처럼 hot lot 운용이 많고 전체 FAB 범주의 동시적인 스케줄링이 필요한 소규모 개발 중심의 반도체 라인에서 매우 유용하다고 본다.

2. 연구라인의 스케줄링 특성

그간 대부분의 스케줄링 연구는 대규모 물량위주의 제조라인에 집중되어 연구라인의 사례는 매우 드물다. 대부분의 제조라인에서 사용 중인 스케줄링 방법은 라인내의 area(어떤 행동이나 작업방법을 제한하는 구역의 단위)별로 스케줄링 범위를 나누어 부분적인 throughput을 최대화하고 있다. 이 방법은 전, 후 area간의 스케줄링 연관성을 고려하지 못하므로 이 방법을 연구라인에서 사용할 경우 라인 전체공정의 재공과 설비를 한꺼번에 스케줄링에 포함하지 못하게 된다. 이처럼 부분적인 스케줄링으로 인한 단절된 스케줄링 결과는 빈번히 hot lot의 정체를 유발할 뿐만 아니라 후속 공정 bottleneck(설비에 lot이 정체되어 쌓이는 현상) 혹은 선행공정 진행 이후 일정시간(queue time) 이내에 후속공정이 진행되어야 하는 연속공정의 경우 시간의 미준수로 인하여 재작업이나 wafer 폐기마저 발생할 수 있다. 이에 따라 연구라인의 특성을 최대한 반영하고 연속적으로 스케줄링을 실시하여 hot lot과 주요 bottleneck 공정에 대한 스케줄링이 최대한 적은 시간 내에 주기적으로 이루어지도록 하는 것이 연구라인 스케줄링의 가장 큰 목적이다.

이 장에서는 스케줄링 없이 작업이 진행되었던 기존 연구라인 사용자의 개선 요구를 살펴보고 이를 크게 네 가지로 분류하여 FAB-wide 스케줄링 방법의 개선요소로 정하였다. 이는 system based tracking을 위한 스케줄링, hot lot 정체 손실 감소를 위한 스케줄링, 연속공정 준수를 위한 스케줄링, batch 사이즈 최대화를 위한 스케줄링이다. 이 네 가지는 개발 lot의 표준 공기를 달성하기 위한 중요한 요소이기도 하다.

2.1 System based tracking을 고려한 스케줄링

차세대 연구라인은 system based tracking(작업자의 개입 없이 오직 system의 판단에 의거한 작업 설비 선택, lot 투입)을 지향함에 따라 스케줄링의 유연한 공정 변경 대응과 적절한 lot의 분배정책이 요구된다. 이는 최소한의 시간 간격으로 실제 라인의 작업과 일치되는 스케줄링 결과를 디스패칭(설비에 다음 작업할 lot을 선정) 분배조건으로 활용할 때 가능하다. 이러한 system based tracking 기반 구축을 위한 스케줄링 결과 제공은 FAB-wide 스케줄링 방법에서 기본 조건이며 system based tracking의 사용율(전체 설비 투입건수 대비 스케줄링 결과 일치 건수)은 스케줄링의 정합성 평가 기준으로 활용된다.

2.2 Hot lot 정체손실 감소를 고려한 스케줄링

일반적인 공정별 hot lot의 정체로 인한 작업손실은 소요 시간(분 단위 평균) 면에서 볼 때 diffusion 공정(178), metal 공정(163), CMP 공정(113), CVD 공정(108), photo 공정(98), etch 공정 (73), wet 공정 (33), implant 공정(29)이다. 이처럼 diffusion 공정의 경우가 작업 손실이 가장 큰 것을 알 수 있다. 따라서 FAB-wide 스케줄링 방법에서는 hot lot의 정체손실을 최소화하기 위하여 diffusion 공정 자체뿐만 아니라 유입되는 이전 공정에서 진행 중인 hot lot을 미리 파악할 필요가 있으며 이를 최대한 diffusion 스케줄링에 함께 반영시켜야 한다.

2.3 연속공정 준수를 고려한 스케줄링

연속공정(선행 공정 종료 후 제한된 시간의 queue time 이내에 후속 공정을 시작하여야 하는 공정, queue time 준수가 필요함)은 다양한 공정 테스트를 수행하는 연구라인에서는 상당히 빈번히 발생하는 공정 형태이다. 또한 이러한 형태는 연속이 시작되는 공정에 lot을 과다 투입 하거나 후속 공정의 설비가 down 상태(설비 예러나 고장으로 정지 혹은 보수 중인 상태)일 때 시작 공정에 lot을 투입하면 후속 공정에 bottleneck이 유발되어 queue time이 깨질 수 있는 공정이다. 일반적으로 연속공정의 분포 현황은 diffusion 공정 32%, wet공정 25%, metal 공정 24%, etch 공정 16%이다. 특히 wet-diffusion이 연속적으로 공정이 이어지는 경우가 많은데 특히, wet의 투입은 주요 공정인 diffusion 공정의 bottleneck을 유발 할 수도 있으므로 FAB-wide 스케줄링 방법에서는 매우 중요한 제약으로 다루어진다.

2.4 Batch 사이즈 최대화를 고려한 스케줄링

diffusion 공정이나 wet 공정에서는 throughput을 높이기 위해 batch(하나의 설비에서 한번에 여러 lot을 동시에 작업하는 방식. 소요 시간은 lot 수와 관계없이 batch에 따라 동일) 형태의 작업을 수행하는데 batch 작업은 각각의 설비와 recipe별로 최대 사이즈(1 batch로 동시 작업 가능 lot 수)가 존재한다. 연구라인은 제조라인에 비하여 제한된 수의 설비를 운용하므로 설비별 horizon 내에서 1 batch 크기를 가능한 최대 사이즈에 동일하도록 최대한 스케줄링이 필요하다. 연구라인의 기존의 batch rate(1 batch 사이즈 대비 진행 lot 수) 수준은 diffusion공정(batch 사이즈는 4)이 현재 평균 1.5 batch, Wet공정(batch 사이즈는 2)이 평균 1.2 batch인데 FAB-wide 스케줄링 방법은 이를 개선하는 것이 요구된다. 그리고 한 batch 내에 최대한 많은 수의 hot lot을 포함하도록 하는 제약도 중요하다.

위의 모든 고려사항을 통해 알 수 있듯이 diffusion 공정은 연구라인 개선의 중심적인 역할을 하는 공정이다. 따라서 FAB-wide 스케줄링 방법에서는 diffusion 공정을 주요 공정으로 선정하고, 각 lot의 horizon내의 포함되는 diffusion 공정을 사전에 파악하여 이 공정까지의 step들을 대상으로 hot lot과 더불어 최우선 스케줄링 하는 방법을 사용한다.

3. FAB-wide 스케줄링 방법

위에서 언급했듯이 FAB-wide 스케줄링 방법은 hot lot과 더불어 주요 공정으로 선정된 diffusion공정이 horizon내에 들어오는 lot을 최우선적으로 설비 할당을 실시하는데 이를 위해 무엇보다도 lot별 스케줄링 대상이 되는 step의 범위가 결정되어야 한다. 아울러 step별 할당 가능한 설비와 불가능한 설비를 구분하여 스케줄링 대상 설비의 범위가 결정되어야 한다. 이 장에서는 연구라인 스케줄링 구축 프로젝트를 통해 위의 두 가지 대상 결정 방식을 설명하고 전반적인 FAB-wide 스케줄링 구성 모델을 소개한다. 그리고 이어서 모델별 역할 및 구현된 목적식 및 제약식과 근거를 상세히

설명하고, 최종적으로 설비별 할당된 lot들을 대상으로 최우선 진행 lot을 결정하는 방법을 알아본다.

3.1 대상 step의 범위 결정 방식

lot별로 고려할 때 horizon내의 스케줄링 대상 step은 아래의 그림 2와 같이 크게 두 가지로 구분이 가능하다. 그림의 상단은 개별 lot에 대한 horizon 범위 내에 diffusion step이 포함된 경우인데 lot1의 경우가 이에 해당된다. 이러한 경우는 현재 step으로부터 최초로 만나는 diffusion step1까지가 첫 번째 대상 step의 범위에 해당 되어 우선 스케줄링을 실시한다. 그 다음에 만나는 diffusion step2까지는 두 번째 대상 step의 범위로 취급된다. 또한 그림의 하단에 위치한 lot2의 경우에는 horizon 범위내에 diffusion step이 없으므로 이때는 horizon 이내에 들어오는 모든 step을 스케줄링 대상 step의 범위로 삼아 스케줄링을 실시한다. 이때 lot1의 diffusion step1은 diffusion step2보다 먼저 스케줄링이 되어야 하며 lot1처럼 diffusion 공정이 horizon에 들어오는 lot은 lot2처럼 diffusion 공정이 들어오지 않는 모든 lot에 우선하여 스케줄링을 실시한다. diffusion 공정에 대한 스케줄링이 끝나면 비로소 나머지 공정을 스케줄링 실시한다.

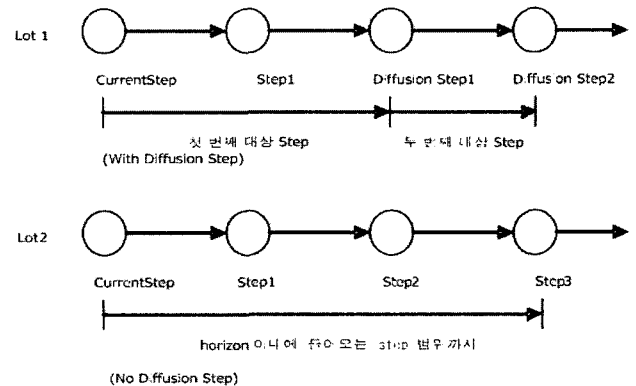


그림 2 스케줄링 대상 Step 범위 선정 방법
Fig. 2 Target steps in FAB-wide scheduling method

3.2 대상 설비 결정 방식

각각의 lot에 대하여 step별로 할당을 위한 가능 설비는 PEST(Possible Early Start Time)가 horizon을 넘지 않는 상태이어야 하며 FAB-wide 방법에서는 그러한 조건의 설비만 스케줄링 대상으로 한다. 또한 운영상의 사유로 예외 처리에 포함되어 있는 설비인 경우에는 대상에서 제외하며 이러한 제약 사항을 기준정보로 반영된다.

3.3 FAB-wide 스케줄링 모델 구성

전반적인 FAB-wide 스케줄링 모델은 아래 그림 3의 상단과 같이 두개의 MIP(Mixed Integer Programming) 모델과 하나의 CP(Constraint Programming) 모델로 구성된다. 간략히 각 모델의 역할을 설명하면 두개의 MIP 모델은 설비별로 진행 가능한 lot의 할당을 담당하는데 diffusion 공정에 대한 제약의 포함 여부에 따라서 1st와 2nd 모델로 구분된다. 나머지 CP 모델은 할당된 lot들을 대상으로 최종적으로 설비별 최우선 진행할 lot을 결정하고 각각의 step에 대한 공정시작 시간을 계산한다.

각 모델간의 흐름에 대한 관계는 그림 3의 하단에 표시되는데 initial 단계에서 공정 별 작업 가능한 설비의 설정, 현재 진행 중인 lot의 남은 시간 계산 및 설정, 공정 진행된 diffusion lot들에 대한 batch 정보 구성을 초기에 설정한다. 그리고 이어서 lot의 horizon 내의 diffusion 공정이 있으면 첫 번째(1st) MIP 모델을 반복하여 설비 할당을 실시하고 더 이상 할당될 diffusion 공정이 없거나 lot의 horizon 내에 diffusion 공정이 아예 없는 lot은 두 번째(2nd) MIP 모델을 수행하여 공정에 대한 설비 할당을 종료한다. CP 모델은 전 단계에서 할당된 정보를 기반으로 하여 설비별 최우선 작업 순위와 step별 시작시간을 결정한다.

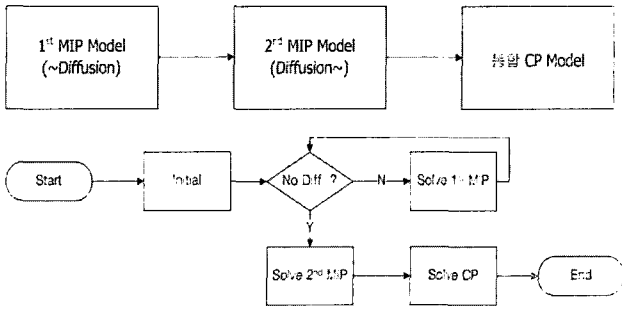


그림 3 스케줄링 model 간의 관계
Fig. 3 Relations among scheduling models

모델별 세부적인 기능 설명은 다음과 같다. 첫 번째(1st) MIP 모델은 전체 lot에 대하여 현재의 대기 step부터 horizon 범주내의 만나는 최초의 diffusion step까지를 대상으로 batch 구성을 고려하여 설비 할당을 일시에 수행하는 부분이다. 또한 첫 번째 diffusion step 할당 이후 이어지는 후속 diffusion step이 존재하는 경우에는 이 과정을 반복 실시한다. 즉 스케줄링 결과는 diffusion step과 연결된 모든 step 및 hot lot에 대한 할당된 설비 정보이며 diffusion step이 이어지는 경우 할당된 각 설비의 capacity를 감소시켜준 뒤 할당되지 않은 lot과 설비에 대한 MIP 모델을 반복한다. 두 번째(2nd) MIP 모델은 horizon 내에 diffusion 공정에 대한 설비 할당이 모두 끝난 이후, 아직 설비가 결정되지 않은 나머지 step이거나 아예 diffusion 공정이 없는 lot에 대하여 설비 할당을 실시한다. 이때 batch 구성과 관련된 제약이 적용되지 않는다. 두 가지의 MIP 모델로 모든 재공에 대한 설비 할당은 종료된다. 이어서 CP 모델은 설비에 할당 정보를 기본으로 하여 진행 가능 설비 대상으로 lot의 작업 순서 및 공정별 시작시간을 결정한다. 이 과정에서 wet 공정(보통 두개의 lot를 하나의 batch로 진행함)에 대하여는 연속되는 공정을 고려하여 batch를 구성한다. 이때 lot 시작시간 계산 결과가 설비의 PEST(Possible Early Start Time)를 이미 벗어난 lot은 스케줄대상에서 제외한다.

모델간의 정보 전달을 위해 MIP 모델이 종료된 뒤 allocation(lot의 설비별 할당 정보를 저장하는 객체)이 생성되는데 이를 기반으로 하여 CP 모델에서 activity(해당 작업의 시작시간 및 종료시간을 갖고 작업에 따른 지속시간이 할당되는 스케줄링 기본단위, 개별 lot과 step의 할당단위)를 구성한 후에 resource(설비에 해당되는 스케줄링 단위)에 연결하는 역할을 한다. 이때 diffusion lot의 경우는 batch 자

체를 하나의 activity로 생성하여 처리한다. 그리고 이어서 생성된 모든 activity에 대하여 제약을 반영하고 순차적으로 작업 순위를 정하여 선택된 순서대로 activity 각각에 대해 작업 시작시간을 결정한다. FAB-wide 스케줄링은 최소의 시간 간격으로 재 스케줄링 하는 것을 목표로 하는데 선행의 스케줄링 결과는 후속의 스케줄링에 입력으로 활용 가능하다.

3.4 MIP 모델의 목적식 및 제약식

위의 두 가지 MIP 모델에서는 각각 lot에 대한 공정별 설비의 할당을 위한 단계에서 모든 area에 대한 공통 및 area별 특화 제약들을 풀이 과정에 반영한 최적화 기법을 이용하여 동시적인 해를 구하게 된다. 이때 MIP 모델에 필요한 각각의 notation과 의사결정변수는 다음과 같다.

- notation:
- l : lot index
- s : step index
- $step(l)$: lot l 의 step
- $recipe(s)$: step s 의 recipe
- Qs : step s 의 정체관리 시간 (queue Time)
- Wls : lot l 의 step s 에서의 대기시간
- e : 설비(equipment) index
- MAX_e : 설비 e 의 max batch size
- MIN_e : 설비 e 의 min batch size
- T : scheduling horizon
- $Priority_l$: lot l 의 priority
- $PTse$: 설비 e 에서 step s 를 진행할 때의 소요되는 작업 시간(processing time)
- $Setup(i,j,e)$: 설비 e 에서 step i 진행 후 step j 로 작업 조건 변동할 때의 소요 시간(setup time).

- 의사결정변수:
- $xlse$: lot l 이 step s 에서 설비 e 에 할당되면 1, 아니면 0
- yre : recipe r 이 설비 e 에 할당되면 1, 아니면 0

연구소 라인의 FAB-Wide 스케줄링을 위한 MIP(Mixed Integer Programming) 목적식과 제약식은 다음과 같다.

$$\begin{aligned}
 & \text{Max } \alpha \sum_{l \in L} \sum_{s \in S} \sum_{e \in E} priority_l \cdot x_{lse} - \beta \sum_{l \in L} \sum_{s \in S} \sum_{e \in E} setup(s_0, s, e) \cdot x_{lse} - \gamma \sum_{l \in L} \sum_{s \in S} \sum_{e \in E} (Q_s - W_k) \cdot x_{lse} \\
 & \text{s.t. } \sum_{s \in S} \sum_{e \in E} x_{lse} \leq 1, \quad \forall l \in L \tag{1} \\
 & \sum_{l \in L} \sum_{s \in S} p_{se} \cdot x_{lse} \leq T, \quad \forall e \in E \tag{2} \\
 & \sum_{e \in E} x_{lse} \leq x_{l|s+1|e} \quad \forall l \in L, s \in S \tag{3} \\
 & x_{lic} = x_{l|j|e} \quad \forall l \in L, e \in E, (i, j) \in PAIR_STEP \tag{4} \\
 & y_{recipe|s|e} \geq x_{lse}, \quad \forall l \in L, \forall s \in S, \forall e \in E \\
 & \sum_{r \in R} y_{re} \leq 1, \quad \forall e \in E \tag{5} \\
 & MIN_e \leq \sum_{l \in L} \sum_{s \in S} x_{lse} \leq MAX_e, \quad \forall e \in E \tag{6}
 \end{aligned}$$

목적식의 첫 번째 항목은 가능한 최대 수의 hot lot을 설비에 할당되는 것이다. 무엇보다도 hot lot은 제품의 개발일

정을 결정하므로 일반 lot 보다 최우선으로 하여 할당해야 한다. 목적식의 두 번째 항목은 설비별로 마지막 진행한 step과 동일한 step이나 공정 조건으로 진행하여 setup time 을 최소화 하는 것이다. photo 공정의 경우 reticle 교환을 최소화시키고 etch 공정이나 implant 공정은 setup time을 최소화한다. 목적식의 세 번째 항목은 정제관리 시간(queue time)에 대해 잔여시간이 적게 남아 있는 lot인 경우 더 높은 가중치를 가지고 할당하도록 하여 할당되는 시간이 정제 준수 시간을 넘어서지 않도록 하는 것이다. 각각의 항목에 대하여 가중치 α, β, γ 는 라인의 상황에 따라 각각 항목의 중요도에 따라 사용자에게 의해서 변경된다.

제약식 (1)은 하나의 lot은 동일 step에서 두 개 이상의 설비에 스케줄 될 수 없음을 나타내고 제약식 (2)는 모든 설비에 할당된 lot은 설비의 가능한 스케줄링 horizon(T) 을 초과할 수 없음을 나타낸다. 제약식 (3)은 연속된 후 공정이 스케줄링 horizon을 벗어나거나 설비 상태로 인하여 후 공정에서 설비의 할당이 불가능한 경우, 선행되는 공정에 대해서도 설비를 할당하지 않도록 하는 제약이다. 즉 마지막 공정의 대상 설비가 모두 down이거나 정제 관리를 만족하지 못하는 경우에 적용된다. 제약식 (4)는 photo 공정에 대한 특화 제약으로 동일한 layer 상에는 sample step(어떤 공정이나 설비를 진행하기 전에 이상 있는지 없는지 확인하기 위해 1 lot 중에서 wafer 1장만 미리 진행하는 일련의 step들)과 main step(sample의 결과 이상이 없을 경우 해당 lot의 나머지 wafer들을 진행하는 일련의 step들)에 대한 pair(PAIR_STEP)가 있을 경우 이 pair에 해당하는 두 step은 동일한 설비에 할당되어야 하는 제약이다. diffusion 공정은 동일 recipe 기준으로 batch를 구성하는데 제약식 (5)는 recipe 할당 변수와 lot 할당 변수와의 관계와 하나의 diffusion 설비에는 1 batch 만 할당되어야 함을 나타낸다. 제약식 (6)은 Batch설비의 경우 각 설비별로 가능한 최소 및 최대 batch 사이를 만족하면서 batch를 구성하도록 하는 제약이다. 위의 제약식중 diffusion 공정의 batch 구성과 관련된 2가지 제약식 (5),(6)은 첫 번째 MIP 모델에서만 적용되며 나머지 제약식은 2개의 MIP 모델 모두 동일하게 적용된다.

3.5 CP 모델의 제약 및 방법

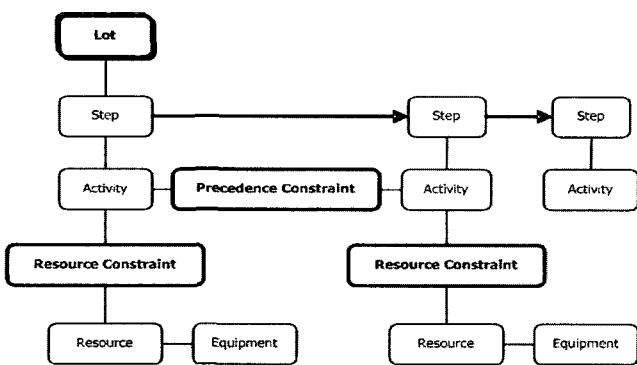


그림 4 CP 모델의 제약
Fig. 4 Constraints of CP model

CP 모델에서는 lot의 설비별 할당을 activity라 하며 위의 그림 4과 같이 activity 사이에는 선, 후행 제약(precedence constraint)이 존재한다. 이때 diffusion 공정의 경우에는 batch를 하나의 activity로 생성도 가능하다. 또한 각 activity는 할당된 설비에 대한 대상 resource 사이에 설비 점유 제약(resource constraint)이 존재한다.

CP 모델은 모든 설비에 대하여 resource 객체를 생성하고 이어서 MIP 모델에서 생성된 allocation(각각 lot의 설비 할당) 정보를 바탕으로 activity를 생성하여 위의 제약을 반영한다. 또한 heuristic method (이하 goal이라 함)를 수행하여 설비별 최우선 진행 activity를 결정한다. goal에 대한 설명은 아래 그림 5와 같이 사전에 작업 할당(bound)되지 않고, 자연 설정이 되어 있지 않은 activity 중에서 가장 빨리 시작할 수 있는 activity를 일단 초기 activity로 선정한다. 이어서 선정된 초기 activity와 동일 설비에 할당 가능한 여럿 lot을 기 지정된 우선순위 규칙에 따라 부합하는 activity를 최종 선택의 후보로 하여 이들을 대상으로 horizon 범주 확인(tolerance 판정)을 실시한다. 이때 만약 최종 선택된 activity에 속한 lot 대하여 할당되지 않은 선행 공정의 activity가 있다면 그 해당 activity가 최종적인 activity(즉, 설비에서 가장 먼저 진행될 lot)로 선택된다. 이때 diffusion batch가 하나의 activity인 경우에는 포함된 모든 lot을 대상으로 할당 여부를 파악한다.

이후 최종적인 activity에 대하여는 작업의 시작 시간을 결정하며 해당 설비의 PEST(Possible Early Start Time)를 재설정한다. 이와 같은 방법으로 전체 WIP에 대한 설비의 진행 순서가 결정되며 이후의 모든 스케줄링은 종료된다.

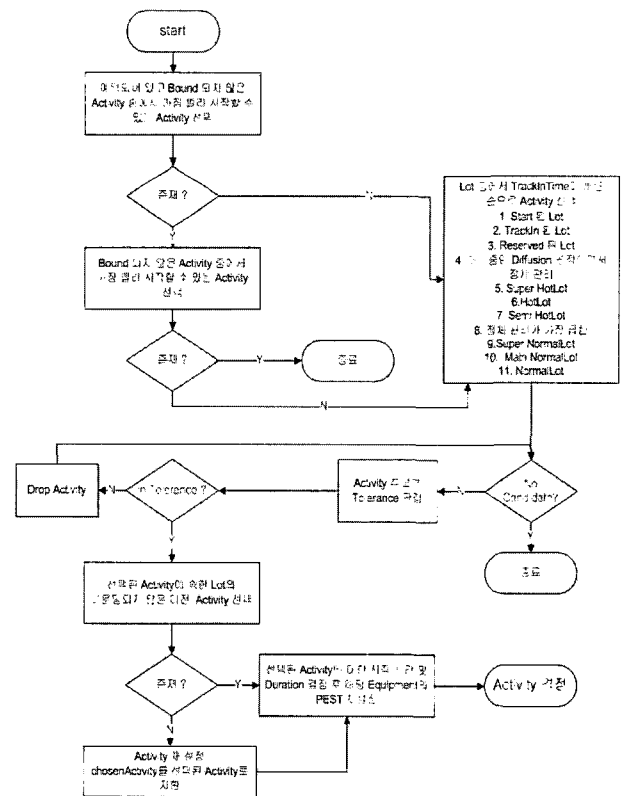


그림 5 goal 순서도
Fig. 5 Sequential diagram of goal execution

4. 시스템 구현

위에서 제안된 FAB-wide 스케줄링 모델은 시스템 구현을 위하여 MIP 모델 부분은 ILOG사의 CPLEX program을 통한 최적화를 수행하였고 CP 모델 부분은 ILog사의 Solver와 Scheduler Program을 사용하였다. 연구라인의 MES(Manufacturing Execution System) 내에 구현되었고 아래의 그림 6와 같이 FAB-wide scheduling과 연계된 application에는 auto dispatching system, work management system, operator interface system이 있다. 위에서 언급했듯이 FAB-wide 스케줄링 시스템은 최초의 주기(매 5분 주기 목표)로 구동되며 스케줄링된 결과는 즉시 생산 데이터베이스에 반영된다. 이는 트리거링을 통해 실시간 디스패칭을 위한 기본 데이터로 활용되는데 work management system(설비의 작업 예약 시스템)으로부터의 할당 요청(best work) 및 operator interface(작업 예약현황 조회 시스템)로부터의 리스트 제공 요청(best lot)에 대하여 응답한다.

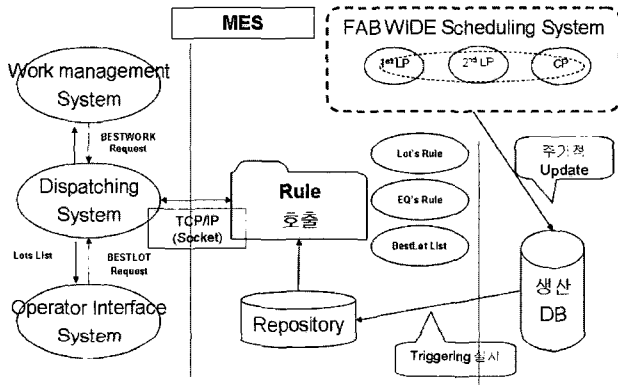


그림 6 MES 내의 FAB-wide 스케줄링 시스템
Fig. 6 FAB-wide scheduling system on MES

5. 스케줄링 성능 평가 및 적용 결과

본 장에서는 두 가지의 관점에서 FAB-wide 스케줄링 시스템을 평가하였다. 첫 번째는 수행 능력의 평가인데 이는 시스템 적용이전에 모델의 성능을 파악하기 위한 작업으로써 일정한 수의 lot에 대하여 설비를 지속적으로 늘릴 경우 스케줄링의 소요 시간을 평가하였다. 두 번째는 적합성 평가인데 이는 사전에 작업을 매뉴얼로 미리 예측하여 일일이 스케줄링 결과와 비교하기란 어려워 FAB-wide 스케줄링의 연구라인 적용이후의 system based tracking의 일정기간 사용율을 평가하였다. 또한 위에서 사전 언급된 연구라인 스케줄링 구축 요구사항에 대한 FAB-wide 스케줄링의 적용이후 개선 결과를 설명한다.

5.1 FAB-wide 스케줄링 수행능력 평가

실제의 반도체 연구라인과 동일한 조건의 설비 대수와 WIP(Works In Process) 수를 맞추기 위하여 lot의 수량을 320개로 고정시키고 설비 수를 최대 300대(평균적인 라인내의 목표 운영 재공 및 설비 수량임)까지 증가시키며 대상

설비 수의 변화에 따른 각각 모델의 수행 시간을 평가하였다. 그 결과 아래의 그림 7에서 보듯이 설비 대수가 증가함에 따라 각각의 MIP와 CP 모델의 수행 시간이 점차로 증가됨을 알 수 있었으나 수행 종료 시간(MIP 모델 수행시간과 CP 모델 수행 시간의 합계)은 최대 1분 30초 이내로써 5분 주기로 반복적인 스케줄링을 요구하는 반도체 연구라인에는 적합한 성능임을 알 수 있었다.

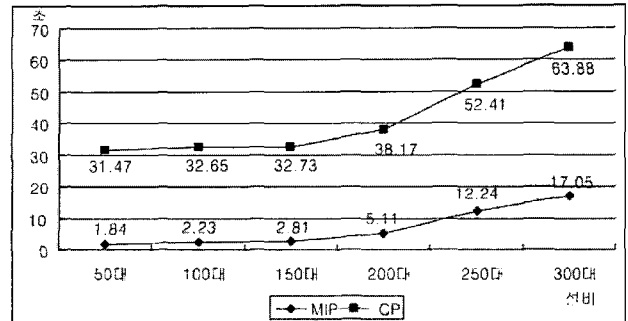


그림 7 스케줄링 모델 수행능력 평가
Fig. 7 Evaluation of scheduling performance

5.2 FAB-wide 스케줄링 적합성 평가

앞서 설명했듯이 system based tracking 사용율(전체 재공의 공정 진행 횟수 대비 디스패칭을 통해 진행된 횟수로 나눈 값)은 FAB-wide 스케줄링의 결과가 설비 디스패칭에 활용된 경우이므로 스케줄링 적합성의 평가 기준으로 활용이 가능하다. 아래의 그림 8은 초기부터 system based tracking 방식의 라인운동을 실시한 연구라인의 가동 이후 4개월간의 사용율 추이를 나타낸 그래프이다. 전반적으로 system based tracking은 80% 후반에서 90% 초반의 사용으로 FAB-wide 스케줄링의 결과는 매우 적합성이 높음을 알 수 있다.

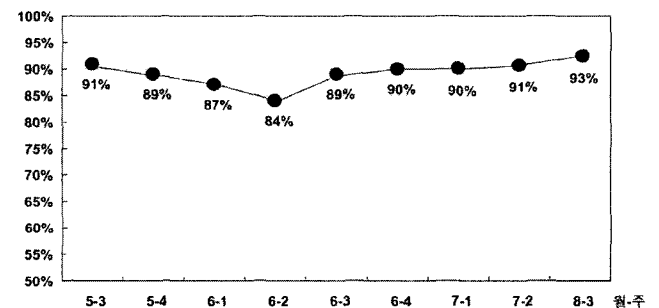


그림 8 system based tracking 율
Fig. 8 system based tracking rate

5.3 스케줄링 주요 성능

FAB-wide 스케줄링의 중심이 되는 성능은 연구라인내의 사용자가 스케줄링 없이 작업하던 이전의 연구라인에서 종종 발견되는 주요 문제점들에 대한 개선 사항을 반영한 것이며 이를 위해 시도된 반도체 연구소 스케줄링 구축 프로젝트의 사례를 통해 기존 대부분의 문제점이 개선된 것을 알 수 있다.

5.3.1 연속공정의 정체 시간 준수 반영

연속 diffusion 공정이란, diffusion 공정 이후의 공정이 역시 diffusion step이면서 정체 관리 시간(queue time)이 있는 경우를 말하는데 recipe별로 앞 공정에 스케줄 될 전체 lot 수는 이후 공정에서 할당 가능한 장비 전체의 capacity를 넘지 않도록 한다. 또한 이후 공정이 할당 불가능한 경우, 앞 공정에 대해서는 할당하지 않도록 한다. 그리고 최대한 디스패칭 오차를 줄이기 위해 디스패칭 요청시점에 현재 시간을 스케줄링된 투입시간과 비교하여 10분 범위 이내에 들어올 경우에만 투입을 실시하며 그 외의 경우는 이후의 설비나 Lot의 재 요청 시점에서 투입여부를 재결정하도록 유도한다. 이와 같은 방식으로 스케줄링 없는 기존의 라인에서 평균 2건 / 1일 발생하던 연속 공정의 정체 시간 개점 현상이 FAB-wide 스케줄링 적용된 라인에서 0.2건 / 1일)로 개선되었다.(사용자 제공 지수)

5.3.2 Hot lot 지연 현상의 최소화 반영

FAB-wide 스케줄링 방식은 앞서 설명한 첫 번째 MIP 모델의 수행 시점에서 hot lot에 대한 스케줄링 정보는 모두 저장하여 최우선 스케줄링 되도록 유도한다. 또한 디스패칭 시점에 투입 요청된 lot의 priority를 설비에 최우선 스케줄링된 lot의 priority와 비교하여 현재 투입 대상인 lot이 priority가 높은 경우에서 투입이 이루어지도록 구성한다. 그리고 hot lot의 정체가 심각한 TAT 증가의 문제를 일으키는 diffusion 공정의 경우는 무조건 scheduling된 첫 번째 batch를 투입 대상으로 고려하게 한다. 이와 같은 방식으로 스케줄링 없는 기존의 라인에서 평균 6건 / 1일 발생하던 hot lot의 지연 현상이 FAB-wide 스케줄링 적용된 라인에서 0.2건 / 1일로 개선되었다.(사용자 제공 지수)

5.3.3 Batch 사이즈 최대화 반영

batch 사이즈의 최대화는 라인에서 가장 중요시 고려되는 요인이지만 스케줄링이 없는 라인에서는 간혹 작업자의 실수로 투입 순서가 바뀌어서 batch 사이즈의 최대화가 제대로 이루어지지 못하였다. 따라서 FAB-wide 스케줄링에서는 batch 사이즈 최대화 제약을 반영하고 특히 hot lot을 포함한 batch 구성을 위해 기다릴 수 있는 시간을 사용자가 조절하도록 하여 hot lot의 batch 포함을 유도한다. 또한 디스패칭 시점에는 diffusion 공정의 설비별 스케줄링의 첫 번째 batch의 사이즈를 미리 파악하여 같은 수의 lot이 모두 진행 가능한 시점일 때만 디스패칭을 하도록 하여 최대한 스케줄링의 batch 사이즈가 투입되도록 개선하였다.

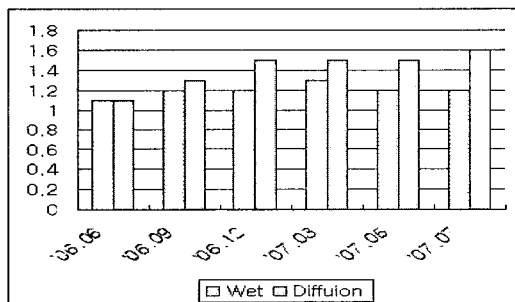


그림 9 batch 사이즈의 변화
Fig. 9 Changes on batch size

이에 따라 위의 그림 9과 같이 스케줄링 없는 기존의 라인에서 평균 1.1 lots / 1 batch 이었던 tube 설비의 batch 사이즈가 FAB-wide 스케줄링 적용된 라인에서 점진적으로 증가하여 1.6 lots / 1 batch까지 개선되었고 동일한 수준이던 wet 설비의 batch 사이즈는 1.2 lots / 1batch로 개선되었다.(사용자 제공 지수)

6. 결 론

본 논문에서는 국내 반도체 업체의 연구라인에 대한 구체적인 스케줄링 구축 사례를 통하여 FAB-wide 스케줄링 방법을 소개하였다. 우선적으로 연구라인에서 필요시 되는 스케줄링의 특성을 파악하였고 이를 반영하여 스케줄링 모델을 구성하였다. 구현된 모델은 제조라인처럼 구분된 공정별 물량 최대화보다는 라인 전체 공정 간의 유기적 연관성에 따른 hot lot 운용이 빈번하고 주요한 공정에 대하여 최우선적인 작업 진행을 목적으로 하는 연구라인에 유용하게 구성하였다. 이처럼 FAB-wide 스케줄링 방법은 구축된 사례를 통해 볼 때 성능과 정합성에서 연구라인에 매우 적절한 수준이었으며 실제로 개발제품의 TAT 단축에도 상당히 기여함을 알 수 있었다.

현재까지 대부분의 스케줄링 연구가 제조라인 중심으로 이루어져 연구라인의 사례를 찾기가 쉽지 않았으나 본 논문은 유사한 형태의 연구라인 운용 방식을 취하거나 다품종 소량 생산을 목적으로 하여 제품별 개발 일정 단축을 최우선시하는 반도체 라인에서의 스케줄링 시스템 구축에 매우 유용하다고 본다. 또한 FAB-wide 스케줄링 방법은 스케줄링 결과를 실시간 디스패칭에 연결하여 라인 작업 및 운영 프로세스 개선, 설비 대기시간 감소, 그리고 전체 공정 설비의 가동률 증가와 같이 연구라인의 운용성을 높이는 데 기여할 것으로 기대한다.

참 고 문 헌

- [1] Lee, K.H., Hong, Y.S., and Kim, S.Y. (1995), Production Scheduling in Semiconductor Wafer Fabrication Process, Journal of the Korean Institute of Industrial Engineers, 21, 357-469.
- [2] Lee, Y.H., Park, J.K. and Kim, S.Y. (2002), Experimental Study on Input and Bottleneck Scheduling for a Semiconductor Fabrication Line, IIE Transactions, 34, 179-190.
- [3] Leachman, R.C., Kang, J., Lin, V. (2002), SLIM: Short Cycle Time and Low Inventory in Manufacturing at Samsung Electronics, Interface, 32(1), 61-77.
- [4] Chung, Y.I., Jun, K.S., Han, D.S. and Jang, Y.C. (2001) Design of a Scheduling System for Diffusion Process, International Conference on Semiconductor Manufacturing Operational Modeling and Simulation
- [5] Ham, M.S. et al. (2006), Dynamic Wet-Furnace Dispatching/Scheduling in Wafer Fab, The 17th Annual SEMI/IEEE Advanced Semiconductor

Manufacturing Conference

- [6] Liao, D.Y., Pei, K.W. and Chang, C.M.(1996), Daily Scheduling for R&D Semiconductor Fabrication, IEEE Transactions on Semiconductor Manufacturing, 9(4), 550-561.

저 자 소 개



김 영 호 (金暎昊)

1971년 2월 15일생. 1997년 숭실대학교 전자공학과 졸업.

1997년~현재 삼성전자 MEMORY사업부 시스템기술팀. 책임 연구원

Tel : 031-208-2258

E-mail : kim05.kim@samsung.com



이 지 형 (李知炯)

1970년 3월 15일생.

1993년 한국과학기술원 전산학과 졸업.

1995년 동 대학원 전산학과 석사.

1999년 동대학원 전산학과 박사.

2000-2002년 SRI(Stanford Research Institute), International Fellow.

2002년~현재 성균관대학교 정보통신공학부 교수

Tel : 031-290-7154

Fax : 031-290-7230

E-mail : jhlee@ece.skku.ac.kr



선 동 식 (宣東錫)

1974년 04월 12일생.

1997년 서울대학교 산업공학과 졸업.

1999년 한국과학기술원 산업공학과 석사

2004년 동대학원 산업공학과 박사.

2004년~현재 삼성전자 반도체 시스템기술 Scheduling & Simulation 책임연구원

Tel : 031-208-2258

E-mail : ds.sun@samsung.com