

Improvement of Luminous Efficacy in AC PDP with Asymmetric Metal Electrode Structure

董 殷 鏞* · 玉 政 于** · 尹 초 롬*** · 李 海 準§ · 李 晧 駿§§ · 朴 正 后†

(Eun-Joo Dong · Jung-Woo Ok · Cho-Rom Yoon · Hae-June Lee · Ho-Joon Lee · Chung-Hoo Park)

Abstract - To improve the luminous efficacy of PDPs, an AC PDP with new metal electrode structure is suggested. Operating voltage margin, power consumption, luminance, luminous efficacy, addressing jitter and ICCD image of test panel with proposed structure are measured, to compared with performances of the conventional ITO structure and proposed structures. To enhance luminous efficacy, we designed new structure which have asymmetric metal electrode structure. The experimental results show that the suggested structure shows luminance to maximum 89% and luminous efficacy to maximum 107% compared with conventional ITO standard structure. In addition, proposed structures with asymmetric electrode show low power consumption by 2~3%, high luminance by 5~7%, and high luminous efficacy by 2~3% compared with proposed symmetric electrode structures.

Key Words : PDP, Cell structure, Firing voltage, Metal electrode, Luminous efficacy

1. 서 론

최근 대중 매체의 발달과 더불어 평판 디스플레이 디바이스에 대한 수요가 증대되고 있으며, 이와 동시에 디지털 TV 방송 시대가 도래함으로써 디지털 방송에 적합한 40인치 이상의 대화면 디스플레이 디바이스의 요구 또한 증가하는 추세이다. 1990년대 후반부터 상업화된 AC Plasma Display Panel(PDP)은 최근 뛰어난 화질과 성능을 성취했으며, 지속적인 연구로 인해 뛰어난 화질을 가진 AC PDP는 디지털 방송용 TV로서 각광을 받고 있다. 현재에는 40인치 이상의 HDTV 시장에서 LCD TV와 시장을 점유하기 위해 치열한 경쟁을 하고 있지만, LCD나 OLED와 같은 HDTV용 디스플레이 디바이스보다 우위에 서기 위해서는 넓은 화면 크기, 얇은 두께, 높은 해상도, 가벼운 무게, 간단한 구조, 빠른 응답속도, 그리고 넓은 시야각 등의 장점을 더욱 향상시켜야 할 뿐만 아니라 낮은 에너지 효율의 개선과 가격 경쟁에서 경쟁력을 확보하기 위한 제조가격의 저감, 현재 사용되는 Address Display Separate(ADS) 구동방식의 큰 문제점으로 지적되는 주사(Addressing)에 소요되는 시간의 개선이 필요하게 되었다. 그중에서도 특히 제조가격 저감은 디지털 방송의 시작과 더불어 평판 디스플레이 TV의 보급이 본격

화되고 각 디스플레이 디바이스들간의 저가격 경쟁이 심화되면서 디스플레이 제조업자들의 큰 관심사 중에 하나가 되었다[1~3].

현재 시판되고 있는 AC PDP의 제조비용중 약 70%를 구동회로 부분이 차지하고 있으며, 이러한 구동회로부의 비용 저감에 관한 연구가 활발히 진행되고 있으며, 패널제작시 비용 저감에 대해서는 사용되는 재료의 국산화 및 공정의 간소화 등 여러 방면에서 연구가 진행되고 있다. 또한 최근 PDP의 저가격화 방안으로 패널제작 및 공정의 간소화 측면에서 투명전극인 ITO를 사용하지 않고, 금속버스 전극만을 사용하는 다양한 전극구조가 제안되고 있다[4~7]. 금속전극만으로 AC PDP를 제작할 경우 고가의 ITO 투명전극을 사용하지 않는다는 점과 그에 따른 공정의 단순화를 이룰 수 있다는 장점이 있다. 이 경우 일부 전극이 끊어지는 문제는 shorting bar를 설치하여 해결할 수 있다. 하지만 복잡한 전극구조는 현재의 공정 설비 조건에서 실제 공정에 적용되기 어려운 점이 있으며, 금속버스 전극만을 사용한 구조의 경우 휘도 및 발광효율이 저하된다는 단점이 있다[8].

본 연구에서는 금속전극만을 사용한 AC PDP에서 휘도 및 효율을 향상시키기 위하여 전극간 방전갭을 넓히고, 이로 인한 방전개시전압의 상승을 억제하고, 화상을 표시하기 위한 주사시간을 단축하기 위하여 방전갭 사이에 돌기전극을 도입하였으며, 방전전류를 줄이기 위하여 전극형상을 비대칭으로 배치한 금속전극구조를 제안하였다. 그리고 이를 4-inch test panel로 제작하여 ITO 전극 구조와 제안한 금속전극구조에서 각각의 소비전력, 휘도, 효율, ICCD 이미지를 통한 방전형상과 화상을 표시하는데 필요한 주사(Addressing)에 소요되는 시간의 전기광학적 특성을 측정하고 그 결과를 분석하였다.

* 正 會 員 : 韓 國 電 力 公 社 中 釜 山 支 店 配 電 補 修 part 長

** 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 博 士 課 程

*** 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 碩 士 課 程

§ 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 教 授 · 理 博

§§ 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 教 授 · 工 博

† 교 신 저 자 , 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 教 授 · 工 博

E-mail : parkch@pusan.ac.kr

接 受 日 字 : 2008 年 1 月 9 日

最 終 完 了 : 2008 年 2 月 25 日

2. 실험 방법

그림 1은 AC PDP의 개략도를 나타내고 있다. AC PDP는 상, 하판 두 장의 유리 기판으로 구성되어 있는데, 상판에는 일반적으로 ITO로 이루어진 방전 유지 전극과 이 유지전극의 저항을 낮추기 위한 금속버스전극이 형성되어있다. 그러나 본 연구를 위해 제작된 4-inch test panel에서는 투명전극을 사용하지 않고 Bus전극만을 이용한 금속전극구조를 사용하였다. 이 전극을 보호하기 위하여 유전층이 전극을 덮고 있으며, 방전 시 이온 충격으로부터 이 유전층을 보호하기 위한 MgO 박막이 E-Beam 증착 기법에 의해 유전층 위에 증착되어 있다. 그리고 하판에는 방전을 제어하기 위한 address 전극과 인접 cell과의 구분을 위해 격벽이 형성되어 있으며, 이 격벽 사이에 표면 방전에서 발생하는 진공 자외선을 가시광으로 변화하는 Red, Green, Blue 삼원색의 형광체가 도포되어 있다. 하판 유리의 지름 1mm 정도의 구멍에 배기용 유리관을 부착하고, 이 유리관을 통해서 기판을 가열하면서 충분히 고온진공배기를 한 후, Ne(base)+Xe(8%)의 가스를 400Torr 주입하여 봉입한다. PDP의 원리를 간단히 설명하면 Xe에서 여기되는 147nm와 173nm의 진공 자외선으로 형광체를 여기시키므로서 가시광을 발생시키는 구조로 되어있다[9].

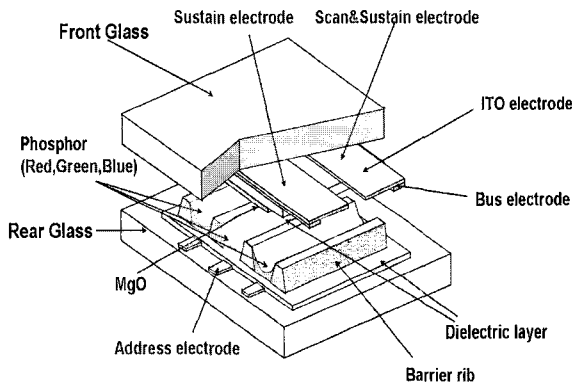
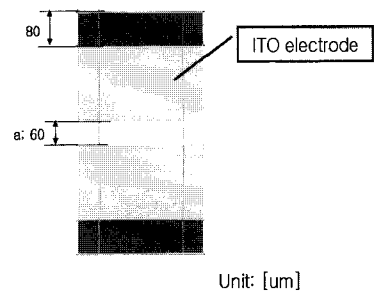


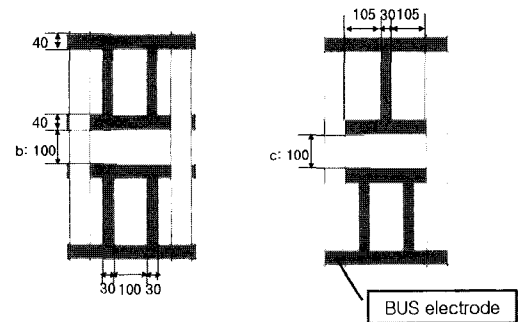
그림 1 AC-PDP의 개략도
Fig. 1 Schematic diagram of AC PDP

그림 2의 (a)Conventional ITO 구조, (b)Symmetric Π 구조, (c)Asymmetric Π 구조, (d)Symmetric Π _hump 구조, (e)Asymmetric Π _hump 구조는 본 실험에 사용된 유지전극 모양을 나타낸 것이다. 그리고 그림 3과 같이 동일한 시료제작 조건하에서 시료의 특성을 비교하기 위하여 Conventional ITO 구조와 각각의 구조(b,c,d,e)를 동일한 기판 위에 시료를 제작하여 제작 공정상의 오차를 최소화하였다. 그림 2에 나타나있듯이, (b)Symmetric Π 구조는 ITO전극 없이 금속버스전극만으로 형성된 방전유지전극을 사용하고 있다. 그런데 본 연구에서는 이 버스전극을 기존의 일자형이 아닌 방전개시가 용이하도록 변경하여 설계하였다. 그리하여 두 방전유지전극, 즉 sustain전극은 cell 중앙의 100um gap을 두고 마주보고 있고 그 중앙 gap에서 일어난 방전이 cell 가장자리까지 손쉽게 퍼져 방전 시 cell 내부에 plasma가 균일하게 분포할 수 있도록 Π 형태의 전극으로

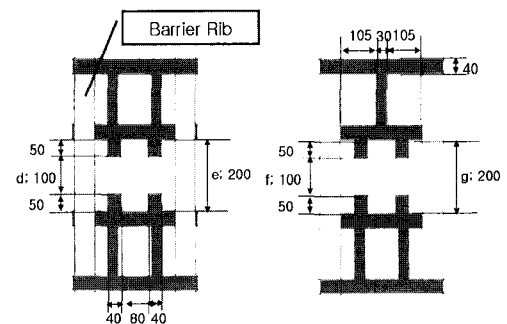
설계하였다. 그림 2의 (c)Asymmetric Π 구조는 (b)Symmetric Π 구조의 Π 전극형태에서 세로방향 전극을 변형시켜 두 sustain 전극이 비대칭형이 되도록 하였다. 또한 (b)Symmetric Π 구조의 전극형태에서 넓은 gap을 유지하면서 방전을 용이하게 개시시키기 위하여 가로 40um, 세로 50um의 돌기형 전극을 도입하여 (d)Symmetric Π _hump 구조를 설계하였다. 부가적으로 도입된 돌기형 전극(이하 '돌기'라 칭함)은 두 sustain전극에 각각 두 개씩 형성되어있으며, 이 두 돌기간의 수평간격은 100um이다. 그리고 (e)Asymmetric Π _hump 구조는 이러한 Symmetric Π _hump 구조에서 세로방향 전극을 변형시켜 두 sustain 전극이 비대칭형이 되도록 하였다.



(a)Conventional ITO 구조



(b)Symmetric Π 구조 (c)Asymmetric Π 구조



(d)Symmetric Π _hump 구조 (e)Asymmetric Π _hump 구조

그림 2 실험에 사용된 구조들의 개략도

Fig. 2 Schematic diagrams of (a)Conventional ITO structure, (b)Symmetric Π structure, (c)Asymmetric Π structure, (d)Symmetric Π _hump structure and (e)Asymmetric Π _hump structure

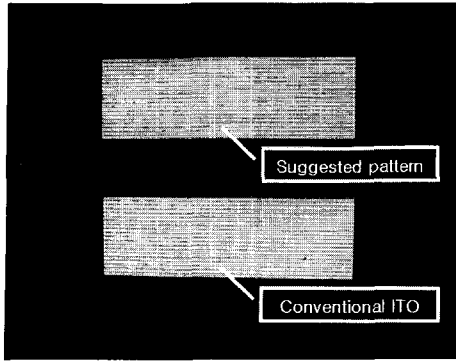


그림 3 4인치 테스트용 AC PDP의 사진
Fig. 3 Photograph of 4-inch ac PDP for test

본 연구에서는 비대칭형 전극의 도입이 소비전력, 휘도, 효율, 방전늦음시간 및 Addressing Jitter에 어떠한 영향을 미치는가를 돌기가 없는 경우와 있는 경우의 두 경우에서 확인해 보았고, 제안된 구조의 휘도, 소비전력, 효율 등이 기존의 Conventional ITO 구조에 비하여 어느 정도 증가/감소 하는가에 대하여 알아보았다.

아래의 표 1은 본 실험을 위해 제작한 시료의 세부 사양을 나타낸다.

표 1 테스트용 패널의 사양

Table 1 Specifications of test panels

Front glass	Electrode width	(a)	270um
		(b)~(e)	30~40um
	Discharge gap	a	60um
		b	100um
		c	100um
		d	100um
		e	200um
f	100um		
g	200um		
Dielectric thickness		40um	
MgO thickness		5000Å	
Rear glass	Address electrode width		100um
	Whiteback thickness		20um
	Barrier rib	width	60um
		height	130um
Phosphor thickness		20um	
Working gas	Ne(base) + Xe(8%), 400Torr		

측정을 위한 실험장치는 크게 signal발생부분(Time 98)과 구동회로부분, 그리고 오실로스코프로 구성되어 있다. 오실로스코프는 본 실험에서 전압과 전류, 주사 시간(addressing time)을 측정하기 위해 사용하였고(LeCroy,LT224), 휘도측정기 (Luminance Colormeter, BM-7)는 실험 시 휘도를 측

정하기 위해 사용하였다. 실험 시 휘도 측정과 전류 측정을 동시에 함으로써 각 조건에서의 소비전력 및 발광효율을 다음과 같이 구하였다[9~10].

$$\text{소비전력}[W] = \frac{1}{T} \int_0^T i(t)v(t)dt \quad \text{식(1)}$$

$$\text{발광효율}[lm/W] = \frac{\pi \times \text{휘도}(cd/m^2) \times \text{면적}(m^2)}{\text{소비전력}(W)} \quad \text{식(2)}$$

그림 4는 Addressing jitter를 측정하기 위해서 사용된 ADS구동 파형의 개략도이다[10,11].

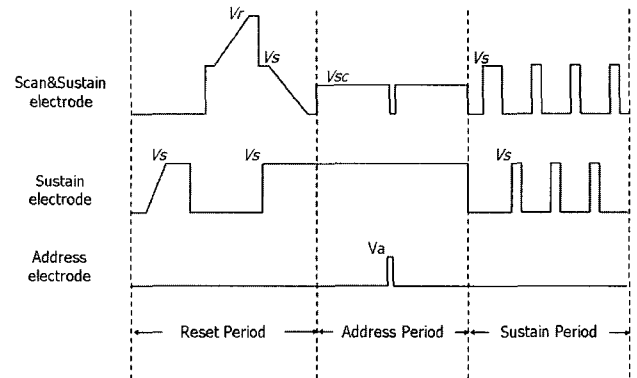


그림 4 인가파형(ADS)의 개략도

Fig. 4 Schematic diagram of the ADS pulse

3. 실험 결과 및 고찰

표 2는 Conventional ITO 전극구조를 비롯한 모든 제안된 전극구조들의 정마진 특성을 나타내고 있다. 이 표에서 V_{fmin} 은 panel에 전압을 인가해 주었을 때 첫 번째 셀이 on되는 전압이고(이하 방전개시전압이라 칭함), V_{fmax} 는 모든 셀이 on되는 전압이다. 그리고 V_{Smax} 는 방전이 된 모든 셀의 전압을 점차 낮추었을 때 첫 번째 셀이 off될 때의 전압이며 V_{Smin} 은 모든 셀이 off될 때의 전압이다. 이때 V_{fmin} 에서 V_{Smax} 를 뺀 값이 PDP panel이 동작가능한 정적마진이고, 이 구간의 중간값, 즉 $(V_{fmin}+V_{Smax})/2$ 인 전압이 V_{mean} 이다.

표 2에서 볼 수 있듯이 제안된 모든 구조가 Conventional ITO 구조보다 방전개시전압이 증가하였다. 이는 Conventional ITO 구조의 sustain 전극 간 gap이 제안된 구조들에 비해 작기 때문에 비교적 낮은 전압에서 방전이 개시되는 것이라고 볼 수 있다. 비대칭 구조와 대칭구조는 Symmetric Π 구조와 Asymmetric Π 구조가 각각 257V, 258V, Symmetric Π_{hump} 구조와 Asymmetric Π_{hump} 구조가 각각 279V, 280V로 방전개시전압이 거의 동일하였는데, 이는 두 구조의 sustain전극간 gap이 동일하였기 때문이라고 볼 수 있다. 그리고 또한 돌기를 도입한 구조가 도입하지 않은 구조에 비하여 방전개시전압이 21~23V 상승하였는데, 이는 돌기 도입으로 인하여 수평으로 마주보는 sustain 전극 간 gap이 각각 100um에서 200um로 증가했기 때문이라고 볼 수 있다.

표 2 정마진 특성

Table 2 Static margin characteristics

	V _{fmax} [V]	V _{fmin} [V]	V _{Smax} [V]	V _{Smin} [V]	정마진 [V]	V _{mean} [V]
(a)Conventional ITO	241	234	185	142	56	209.5
(b)Symmetric Π	262	257	207	173	55	232
(c)Asymmetric Π	263	258	208	171	55	233
(d)Symmetric Π_hump	282	279	221	197	61	250
(e)Asymmetric Π_hump	285	280	223	198	62	251.5

그림 5, 그림 6, 그림 7은 각각의 전극구조의 전압을 변화시켰을 때 단위 펄스당 소비전력, 휘도, 효율을 비교한 것으로 주파수가 10kHz인 Sustain pulse를 인가하고, 각각의 전극구조의 정마진내의 중간전압인 V_{mean} 전압값을 기준으로 상하 10V단위로 나누어서 소비전력을 측정, 비교하였다.

먼저 그림 5에서 알 수 있듯이, 제안된 모든 구조가 Conventional ITO 구조에 비해 소비전력이 감소하였다. Asymmetric Π 구조가 Symmetric Π 구조에 비하여 전압대별 평균 2%감소하였고, Asymmetric Π_hump 구조가 Symmetric Π_hump 구조에 비하여 평균 3%감소하였다. 이는 표 3에서 알 수 있듯 비대칭 전극형태가 되면서 수직방향의 전극이 대칭구조에 비해 하나씩 감소하게 되므로 방전공간 내의 전극면적이 각각 17.2%, 6.2% 씩 감소하였기 때문으로 볼 수 있다. 제안된 네 가지 구조들 중 가장 소비전력이 낮은 구조인 Asymmetric Π 구조의 소비전력은 Conventional ITO 구조의 79%까지 감소하였다.

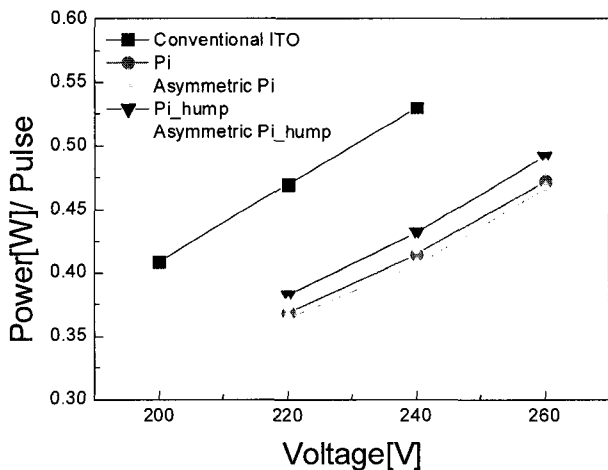


그림 5 인가전압에 따른 펄스 당 소비전력의 변화
Fig. 5 Power per pulse characteristics

표 3 Conventional ITO구조와 제안된 구조들의 전극면적
Table 3 Area of electrodes for Conventional ITO structure and Suggested structures

	전극면적[m ²]
(a)Conventional ITO	1.67×10 ⁻⁷
(b)Symmetric Π	6.58×10 ⁻⁸
(c)Asymmetric Π	5.45×10 ⁻⁸
(d)Symmetric Π_hump	6.78×10 ⁻⁸
(e)Asymmetric Π_hump	6.36×10 ⁻⁸

그림 6은 각각의 전극구조의 전압을 변화시켰을 때 휘도를 비교한 것으로 Asymmetric Π 구조가 Symmetric Π 구조에 비하여 약 5% 증가하였고, Asymmetric Π_hump 구조가 Symmetric Π_hump 구조에 비하여 약 7% 증가하였다. 이는 비대칭 전극형태가 되면서 수직방향의 전극이 대칭구조에 비해 하나씩 감소하게 되므로 개구율이 증가하였기 때문이라고 생각된다. 제안된 네 가지 구조들 중 가장 휘도가 높은 Asymmetric Π_hump 구조의 휘도는 Conventional ITO 구조 휘도의 89%수준이었다.

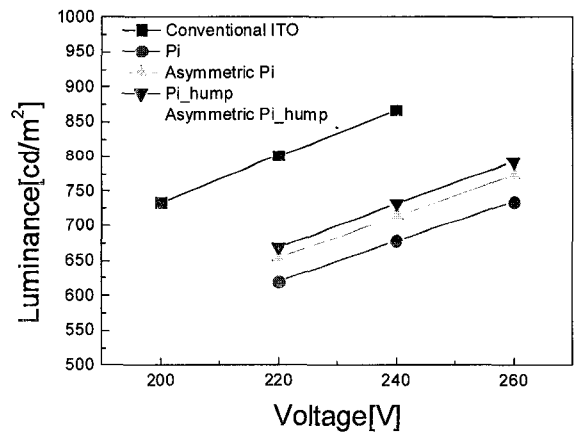


그림 6 인가전압에 따른 휘도 변화
Fig. 6 Luminance characteristics

그림 7은 각각의 전극구조의 전압을 변화시켰을 때 효율을 비교한 것으로 Asymmetric Π 구조가 Symmetric Π 구조에 비하여 2% 증가하였고, Asymmetric Π_hump 구조가 Symmetric Π_hump 구조에 비하여 3% 증가하였다. 제안된 네 가지 구조들 중 가장 효율이 좋은 Asymmetric Π_hump 구조의 효율은 Conventional ITO 구조의 효율과 비교했을 때 최고 107%까지 상승하였다.

그림 8의 Conventional ITO 전극구조와 제안된 전극구조들의 방전을 ICCD로 찍은 사진이다. 비대칭형 구조인 Asymmetric Π 구조와 Asymmetric Π_hump 구조의 경우 두 sustain 전극의 모양이 다르므로, 각각의 sustain 전극이 cathode가 되는 두 경우로 나누어서 측정하였다.

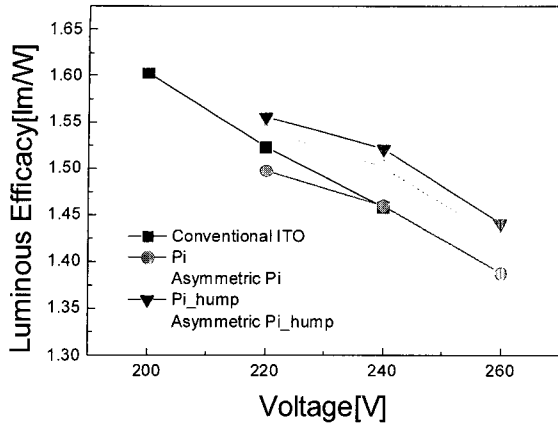


그림 7 인가전압에 따른 효율 변화
Fig. 7 Luminous efficacy characteristics

그림 8의 (d),(f)에서 볼 수 있듯이 세로형 전극이 2개인 쪽이 cathode일 때 case1이라 하였고 (e),(g)에서와 같이 1개인 쪽이 cathode 일 때 case2라 하였다.

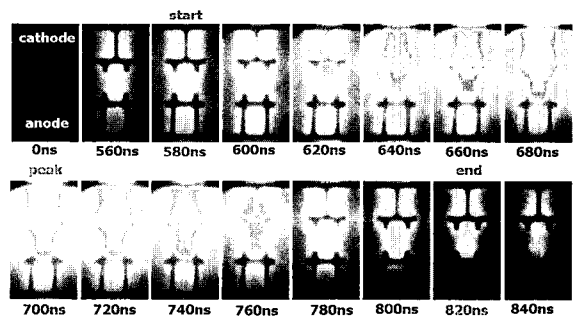
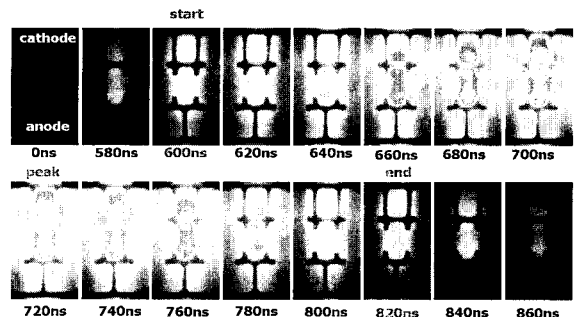
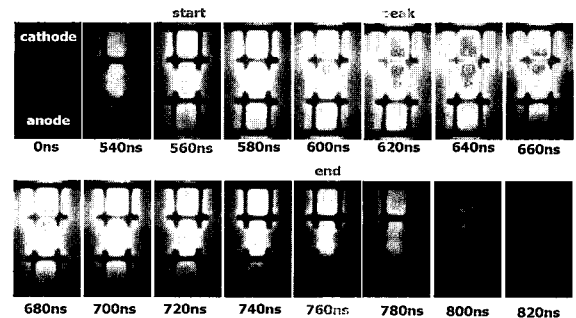
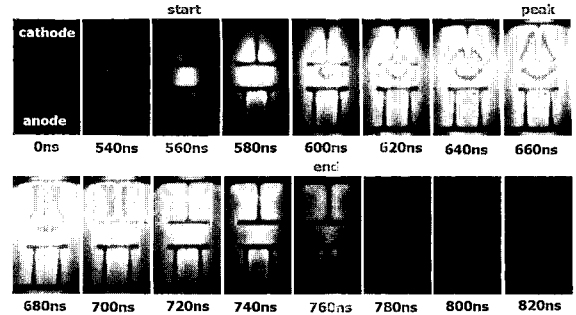
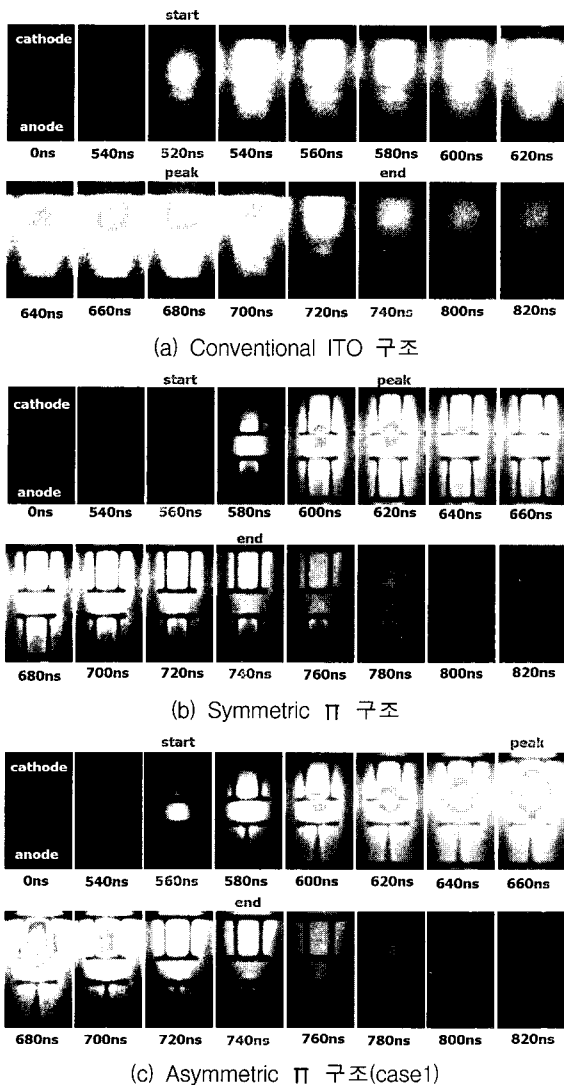


그림 8 Conventional ITO구조와 제안된 구조들의 ICCD 이미지
Fig. 8 ICCD images for Conventional ITO structure and suggested structures

표 4는 ICCD측정 결과를 토대로 Conventional ITO 전극 구조와 제안된 전극구조들의 방전개시시간, 방전지속시간, peak방전시간을 계산하여 표로 나타낸 것이다. 이때 방전개시시간은 두 sustain 전극 간에 방전이 개시되어 방전전류가 흐르면서 발광하기 시작하는 시간이고, 방전지속시간은 방전이 시작된 시점으로부터 방전이 종료되는 시점까지의 시간

이며, peak방전시간은 방전이 시작되어 방전이 가장 세게 일어날 때까지의 시간을 의미한다.

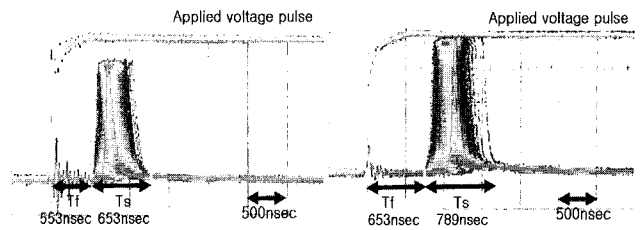
표 4 Conventional ITO구조와 제안된 구조들의 ICCD 분석결과

Table 4 The analysis of ICCD images for Conventional ITO structure and suggested structures

	방전시작 시간 [nsec]	방전지속 시간 [nsec]	Peak방전 시간 [nsec]
(a)Conventional ITO	520	220	160
(b)Symmetric Π	560	180	60
(c)Asymmetric Π	case1	560	180
	case2	560	200
(d)Symmetric Π _hump	560	200	60
(e)Asymmetric Π _hump	case1	600	220
	case2	580	240

표 4를 참고하면 돌기의 도입과 비대칭형 전극의 도입이 방전지속시간 및 peak방전시간의 증가를 가져온 것을 알 수 있다. 또한 이 ICCD 분석결과를 그림 6의 인가전압에 따른 휘도변화 그래프와 비교해 보면 제안된 전극구조의 경우 방전지속시간이 긴 구조일수록 휘도가 큰 수치를 나타내는 것을 볼 수 있는데, 이는 방전이 장시간 지속되어 정해진 펄스 시간 내에서 발광하는 시간이 길어져 휘도가 증가한 것으로 예상할 수 있다.

그림 9의 (a)와 (b)는 그림 4와 같은 인가파형(ADS)으로 구동했을 때 Conventional ITO 전극구조와 제안된 전극구조들의 주사(addressing)구간에서 측정된 광파형을 검출한 것으로 측정시의 address 전압은 75V가 인가되었다.



(d)Symmetric Π _hump 구조 (e)Asymmetric Π _hump 구조

그림 9 Conventional ITO구조와 제안된 구조들의 주사시간에서의 광파형 분산

Fig. 9 Light waveform of addressing jitter for Conventional ITO structure and suggested structures

표 5는 그림 9의 광파형 분산 측정 결과를 토대로 Conventional ITO 전극구조와 제안된 전극구조들의 형성늦음시간(T_f)과 통계적늦음시간(T_s)을 계산하여 표로 나타낸 것이다. 제안된 모든 구조는 Conventional ITO 구조에 비하여 T_s 와 T_f+T_s 시간이 짧았다. 제안된 네가지 구조들 중 가장 jitter 특성이 좋은 Symmetric Π _hump 구조는 Conventional ITO 구조에 비하여 T_f 와 T_s 가 각각 35%, 15% 감소하여 T_s+T_f 가 30%감소하였다.

표 5 Conventional ITO구조와 제안된 구조들의 Addressing jitter 분석결과

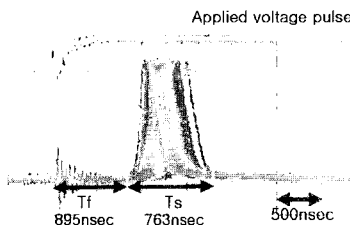
Table 5 Addressing jitter characteristics for Conventional ITO structure and suggested structures

	형성늦음 (T_f)[nsec]	통계적늦음 (T_s)[nsec]	T_s+T_f [nsec]
(a)Conventional ITO	895	763	1658
(b)Symmetric Π	777	868	1645
(c)Asymmetric Π	747	595	1342
(d)Symmetric Π _hump	553	653	1206
(e)Asymmetric Π _hump	653	789	1442

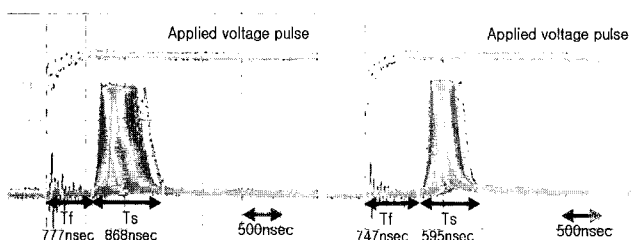
4. 결론

PDP의 문제점 중 높은 가격과 복잡한 제조공정을 해결하기 위해서 금속전극구조를 도입하였다. 본 연구에서는 금속전극구조에서 long gap에서도 방전개시를 용이하게 하기 위해 돌기형 전극을 도입하였고, 금속전극구조의 모양을 비대칭형으로 변화시키면서 Conventional ITO 구조와 소비전력, 휘도, 효율 등의 변수들에 대하여 비교, 분석하였으며 그 결과를 요약하면 다음과 같다.

1. 소비전력 면에서는 모든 제안된 구조들이 Conventional ITO 구조에 비하여 감소하였는데, Asymmetric Π 구조가 ITO구조의 79%수준으로 가장 낮았다. 그리고 비대칭형 전극형태가 되면서 수직방향 전극이 하나 줄어들면서 전극면적이 감소하여 소비전력이 대칭형 구조에 비해 2~3% 감소하였다.



(a) Conventional ITO structure



(b)Symmetric Π 구조

(c)Asymmetric Π 구조

2. 휘도 면에서는, 모든 제안된 구조들이 Conventional ITO 구조보다 휘도가 낮았고, 최대로 휘도가 높은 Asymmetric π _hump 구조는 ITO 구조의 휘도의 89%수준이었다. 비대칭형 전극형태의 도입은 5~7% 휘도증가를 가져왔다.
3. 효율 면에서는, 제안된 구조들의 효율이 Conventional ITO 구조 대비 97~107% 수준이었고, 그 중 비대칭형 전극형태의 도입함으로써 대칭구조에 비하여 2~3% 증가를 가져왔다.
4. ICCD image 분석결과, ITO 전극구조를 제외한 금속전극 구조의 경우 방전개시시간이 수평 전극 간 주방전 gap에 비례하여 증가하는 경향을 보였고 비대칭형 전극의 도입이 방전지속시간 및 peak방전시간의 증가를 가져온 것을 알 수 있다.
5. Address 구간의 광과형 검출결과, 모든 제안된 구조들의 통계적 방전늦음시간 및 Addressing jitter width가 Conventional ITO 구조와 비교하여 감소하는 것을 확인하였고, jitter특성이 최대 30% 향상되었다.

감사의 글

본 논문은 교육인적자원부·산업자원부·노동부의 출연금으로 수행한 산학협력중심대학육성사업의 연구 결과입니다

참 고 문 헌

- [1] C. H. Park, "Comprehension of Plasma Display", Jin-Yong, 2001.
- [2] T. Urade, T. Iemori, M. Osawa, N. Nakayama, and I. Morita, " A Protecting Layer for the Dielectric in AC Plasma Display Panels", IEEE, Trans. Electron., Devices, Vol. 23, no. 3, pp. 313-318, 1976.
- [3] T. Nichio et al. "High-Luminance and High Definition 50-in.-Diagonal Co-Planar Color PDPs with T-Shaped Electrodes", SID99 digest, pp. 268-271, 1999.
- [4] Larry F. Weber, "The Promise of Plasma Display for HDTV". Information Display (SID), vol. 16, no. 12, pp. 16-20, 2000.
- [5] B. S. Kwon, J. W. Ok, H. J. Kim, D. K. Lee, D. H. Kim, H. J. Lee and C. H. Park, "A Study on the improvement of the luminous Efficiency in ac-PDP with New Fence Structure", KIEE fall Annual Conference. pp. 201-203. 2005.
- [6] C. R. Yoon, H. J. Kim, J. W. Ok, S. Y. Cho, C. H. Park and H. J. Lee, "The Asymmetry Electrode Fence Structure for a high luminance and luminous efficiency of AC-PDP", KIEE Summer Annual Conference, pp. 1420-1421, 2007.
- [7] J. W. Ok, H. J. Lee, D. H. Kim, C. H. Park, H. J. Lee, J. S. Kim, and K. Y. Choi, "High Efficacy plasma display panel with vertically raised bus

electrodes", Appl. Phys. Lett. 89, 181501, 2006.

- [8] D. W. Kim, H. J. Kim, J. W. Ok, D. K. Lee, C. R. Yoon, D. H. Kim, H. J. Lee, C. H. Park, "The new fence structure in the AC PDP for an luminous efficiency", the KIEE fall Annual Conference, pp. 206-207, 2006.
- [9] J. P. Boeuf, "Plasma display panels: physics, recent developments and key issues", J. Phys. D: Appl. Phys 36, R53-R69, 2003.
- [10] T. shinoda, "High Level Gray Scale for AC Plasma Display Panels Using Address-Display Period Separated Sub-Field Method", Trans. Of IECE C-2 no. 3, pp. 349-355, 1998.
- [11] S. Yoshikawa, Y. Kanazawa, M. Wakitani, T. Shinoda and A. Ohisuka, " Full-color AC plasma display with 256 gray scale", Japan Display, pp. 605-608, 1992.

저 자 소 개



동 은 주 (董 殷 鉤)

1968년 9월 14일생. 1994년 부경대 공대 전기공학과 졸업. 1996년 8월 동의대학교 산업대학원 전기 및 전자공학과 졸업(전력계통공학 전공). 현재 한국전력공사 부산사업본부 중부산지점 배전보수파트장
Tel : 051-240-3271
Fax : 051-240-3279
E-mail : rokmc616@kepcoco.kr



옥 정 우 (玉 政 于)

1976년 7월 15일생. 2004년 부산대 공대 전기공학과 졸업. 2006년 동 대학원 전기공학과 졸업(석사). 2006~2007년 현재 동 대학원 전기공학과 공학박사과정 재학중
Tel : 051-510-1544
Fax : 051-510-1498
E-mail : jwok@pusan.ac.kr



윤 초 림 (尹 초 림)

1984년 1월 29일 생. 2006년 부산대 전자 전기통신공학부 졸업. 현재 동 대학원 전자전기공학과 석사과정
Tel : 051-510-1544
Fax : 051-510-1498
E-mail : divine52@hanmail.net



이 해 준 (李海準)

1972년 2월 25일생, 1994년 서울대학교 원자핵공학과 졸업, 1996년 포항공대 물리학과 대학원 석사, 1998년 포항공대 물리학과 박사, 현재 부산대학교 공과대학 전기공학과 조교수

Tel : 051-510-3516

Fax : 051-513-0212

E-mail : haejune@pusan.ac.kr



이 호 준 (李晔駿)

1966 10월 14일생, 1989 서울대 공대 전기공학과 졸업 1991 동대학원 전기공학과 졸업(석사), 1996 서울대공대 대학원 전기공학부 졸업 (공학), 현 부산대 공대 전자전기통신공학부 부교수

Tel : 051-510-2301

Fax : 051-513-0212

E-mail : hedo@pusan.ac.kr



박 정 후 (朴正后)

1945년 4월 8일생. 1968년 부산대 공대 전기공학과 졸업. 1974년 동 대학원 전기공학과 졸업(석사). 1980~1983년 일본 구주 대학대학원 졸업 (공학). 현재 부산대 공대 전기공학과 교수.

Tel : 051-510-2369

Fax : 051-513-0212

E-mail : parkch@pusan.ac.kr