

고출력 트랜지스터 패키지 설계를 위한 새로운 와이어 본딩 방식

論 文

57-4-18

A New Wire Bonding Technique for High Power Package Transistor

林鍾植[†] · 吳星慙^{*} · 朴天仙^{**} · 李龍鎬^{***} · 安達[§]
(Jongsik Lim · Seongmin Oh · Chunseon Park · Yongho Lee · Dal Ahn)

Abstract - This paper describes the design of high power transistor packages using high power chip transistor dies, chip capacitors and a new wire bonding technique. Input impedance variation and output power performances according to wire inductance and resistance for internal matching are also discussed. A multi crossing type (MCT) wire bonding technique is proposed to replace the conventional stepping stone type (SST) wire bonding technique, and eventually to improve the output power performances of high power transistor packages. Using the proposed MCT wire bonding technique, it is possible to design high power transistor packages with highly improved output power compared to SST even the package size is kept to be the same.

Key Words : High power package, Wire bonding, DGS, Multi crossing wire bonding

1. 서 론

최근 정보통신과 이동통신 분야의 급속한 발전에 따라 각종 무선통신시스템에 대한 수요가 급증하고 있다. 이러한 수요에 발맞추어 RF 부품의 핵심 소자인 증폭기의 고집적화 및 고성능화의 중요성이 점점 커지고 있다. 이러한 변화에 따라서 각 시스템에서 사용되는 RF 부품들은 동일 성능일 경우에 보다 작게 만들어지거나, 동일한 크기일 경우 기존보다 더 좋은 특성을 갖도록 요구되고 있다. 그 중 고출력 증폭기 분야에 있어서는 최근에 제 3세대 반도체 재료인 질화 갈륨(GaN) 반도체 소자를 통하여 출력 특성 향상을 이루어냈고, 향상된 출력 특성으로 많은 통신 시스템에 적용될 가능성이 높아지고 있다.

일반적으로 사용되고 있는 전력 증폭기의 경우 트랜지스터 다이(die) 자체가 가지고 있는 입력 임피던스가 매우 낮기 때문에 MMIC(monolithic microwave integrated circuits) 공정이나 RFIC(radio frequency integrated circuits) 공정 등의 고집적 회로가 아닌 하이브리드(hybrid) 형태의 PCB(printed circuit boards)상에서 직접 사용해야 하며, 여기에 따른 제반 문제점이 뒤따르는 것이 현실이다. 따라서 hybrid type의 PCB 상에서 적용이 가능하도록 하기 위해 패키징(packaging) 공정을 통하여 외부 정합에 손쉬운

입력 임피던스로 끌어올리고 PCB 상에서 적용 가능하도록 하는 것이 고출력 증폭기 설계를 위한 사전 선행 단계이다.[1]

본 논문에서는 질화 갈륨 (gallium nitride, GaN) 고출력 트랜지스터 소자를 이용한 패키지 설계에 있어서, 소자의 비선형 모델을 이용한 특성 시뮬레이션을 통하여 가장 적합한 패키지 내부 정합회로를 설계하고, 그에 따른 임피던스의 변화와 출력 특성에 대하여 기술하였다. 또한 본 논문에서는 기존에 사용되는 와이어 본딩 방식인 징검다리 방식의 문제점을 지적하고[2], 그 문제점을 보완한 새로운 와이어 본딩 방식인 입체교차 방식 와이어 본딩 방법을 제안하고 우수한 성능을 제시한다.

2. 와이어 길이에 따른 인덕턴스와 저항 특성

와이어의 인덕턴스(inductance)와 저항(resistance)은 와이어의 길이에 따라서 증가한다. 그런데 고출력 트랜지스터 칩 다이의 경우에 다수의 단일 트랜지스터가 병렬로 여러 개 연결되는 구조를 취하므로, 패키지 구성에 사용되는 와이어의 개수도 입력단의 게이트 단자 수만큼 사용되어야 한다. 따라서 하나가 아닌 다수의 와이어가 병렬로 사용될 수밖에 없다. 그러므로 와이어의 길이에 따른 인덕턴스는 단일 와이어일 경우에 그림 1처럼 선형적으로 증가한다. 그러나 동시에 다수 개의 와이어가 사용되는 경우에는 병렬합성 효과가 나타나므로 와이어 개수가 많을수록 최종 인덕턴스값은 감소하는 것이 당연하다. 본 논문에서 사용된 고출력 증폭소자 패키지용 본딩 와이어는 지름이 1.2mil (=0.03048mm)인 금(Au, gold) 와이어이다. 사용된 와이어의 길이와 개수에 따른 인덕턴스와 저항의 변화를 그림 2에 나타내었다.

[†] 교신저자, 正會員 : 順天鄉大 電氣通信工學科 助教授 · 工博
E-mail : jslim@sch.ac.kr

^{*} 非會員 : (株) RFHIC 研究員

^{**} 非會員 : 順天鄉大 電氣通信工學科 碩士課程

^{***} 非會員 : (株) RFHIC 責任研究員, 研究5室長

[§] 非會員 : 順天鄉大 電氣通信工學科 教授 · 工博

接受日字 : 2007年 11月 5日

最終完了 : 2008年 2月 18日

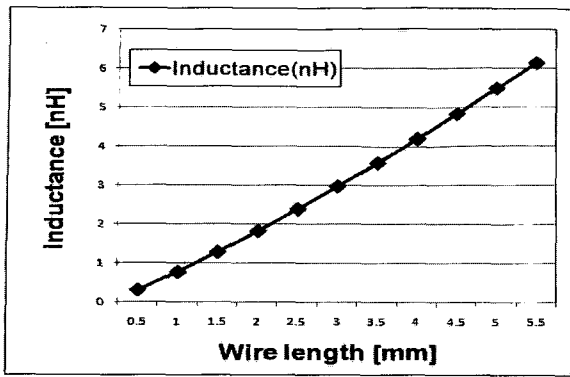
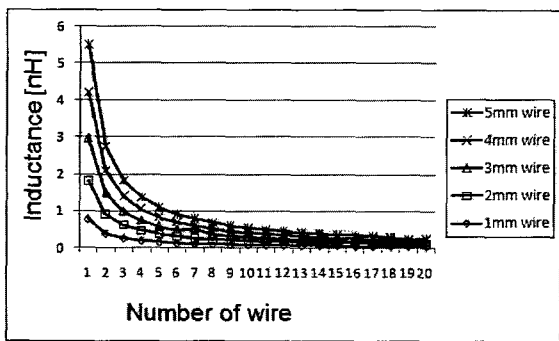
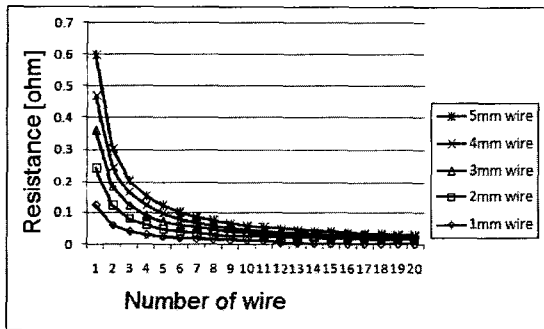


그림 1 1:N 와이어의 길이에 따른 인덕턴스 변화
Fig. 1 Inductance values for various wire length



(a)



(b)

그림 2 (a) 와이어 개수에 따른 인덕턴스 변화 (b)와이어 개수에 따른 저항값의 변화
Fig. 2 (a) Inductance values for various number of wire (b) Resistance values for various number of wire

그림 1과 그림 2에 나타난 바와 같이 와이어 길이에 따른 인덕턴스의 변화를 뚜렷하게 확인할 수 있다. 하지만 와이어의 개수가 5개 이상이 될 경우 점점 낮아지면서 수렴하는 특성을 보인다. 와이어 증가에 따른 저항값 또한 와이어 길이에 비례하나, 개수에는 반비례함을 알 수 있다. 특히 저항의 경우, 와이어 개수가 증가함에 따라 무시할 수 있을 정도로 작아진다. 따라서 저항값에 기인하는 RF 신호의 손실도 크게 줄어들어서 패키지 내부 정합에 미치는 저항의 영향은 미미하므로, 결국 와이어의 인덕턴스 값이 고출력 패키지의 성능을 크게 좌우함을 알 수 있다.

3. 징검다리 방식의 와이어 본딩을 이용한 고출력 패키지 설계

기존에 널리 사용되는 일반적인 고출력 트랜지스터 패키지 구조를 보면 패키지 내부에 칩 캐패시터(chip capacitor)와 트랜지스터 다이(transistor die) 및 패키지 리드 선로(lead line)를 매우 가느다란 와이어를 이용하여 패키지 내부정합(internal matching)을 설계한 후, 이를 하이브리드 형태(hybrid type)의 PCB에서 사용할 수 있도록 제작한다. 이때 사용되는 트랜지스터 다이가 BJT(bipolar junction transistor) 계열일 경우에는 베이스(base) 입력단자의, FET(field effect transistor) 계열일 경우에는 게이트(gate) 입력단자의 입력 임피던스가 0Ω에 가깝기 때문에 한 개 이상의 캐패시터와 여러 개의 와이어를 사용하여 트랜지스터 자체가 가지고 있는 낮은 임피던스를 하이브리드 PCB 상에서 상대적으로 정합에 용이한 임피던스로 끌어올리게 된다.[3][4] 이때 0Ω에 가까운 임피던스를 수조에 가깝게 끌어올리는데 있어서 와이어 본딩과 캐패시터가 사용된다. 고출력 증폭소자에 있어서 입력임피던스가 0Ω에 가까울 정도로 워낙 낮기 때문에 아주 작은 값의 입력임피던스 증가도 매우 큰 고출력 특성으로 연결되므로 매우 중요하다. 그런데 고출력 증폭소자를 구성하기 위하여 주어진 패키지 크기(면적)가 한정되어 있기 때문에 이로 인하여 사용 가능한 캐패시터의 개수와 와이어 길이가 제한적일 수밖에 없다.

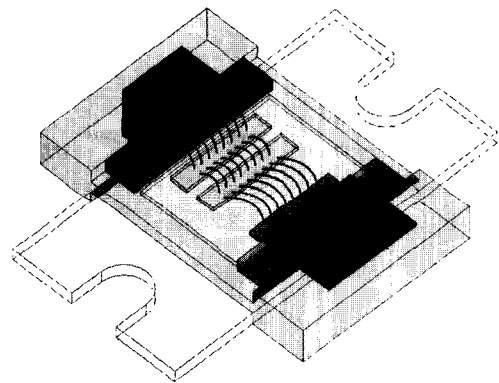


그림 3 SST 방식을 이용한 고출력 트랜지스터 패키지의 3차원 구성도
Fig. 3 Three-dimensional view of the high power package transistor using SST wire bonding

그림 3은 현재 사용되고 있는 징검다리 방식(steping stone type, SST)의 와이어 본딩과 캐패시터를 이용한 고출력 트랜지스터 패키지를 3차원으로 표현한 것이다. 종래의 와이어 본딩 방법은 이 그림에서 보듯이 순차적으로 와이어 본딩과 캐패시터가 번갈아 가며 나타나면서 증폭소자에 다 다르게 되는 방식이다. 따라서 다수의 와이어가 징검다리를 건너듯이 입력 리드 단자에서 몇 개의 캐패시터와 트랜지스터 다이를 연결하고, 다시 최종적으로 출력단자로 연결된다. 따라서 전술하였듯이 주어진 패키지 면적에서 트랜지스터

칩 다이와 캐패시터의 면적을 고려하면 와이어의 길이가 제한적일 수밖에 없다. 그런데 고출력 증폭소자는 다수의 단일 증폭소자가 병렬로 연결되어 있는 구조이므로 전기적인 특성상 입력임피던스가 매우 낮아서, 입력임피던스를 조금이라도 더 높은 쪽으로 끌어 올리려면 와이어의 길이가 길수록 유리하다.

그림 4는 SST 형식의 고출력 트랜지스터 패키지의 와이어 연결 방식을 옆에서 바라본 측면도이다. 측면도에서 보는 바와 같이 각 와이어가 징검다리를 건너듯이 연결되어 있음을 확인할 수 있다.[5] 한편 그림 5는 그림 3과 그림 4에서 설명한 징검다리 방식의 등가회로를 보여주고 있다. 각각의 요소를 살펴보면 와이어를 인덕터 L1, L2, L3, L4로 표시하고 캐패시터는 C1과 C2로 나타낼 수 있으며, 고출력 트랜지스터 다이에는 트랜지스터 FET 소자로 대체하였다. 또한 하이브리드 PCB와의 연결을 위한 리드선은 마이크로스트립 선으로 대체되었다.[6]

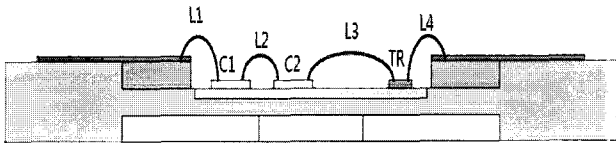


그림 4 SST 방식을 이용한 고출력 트랜지스터 패키지의 측면도

Fig. 4 Side view of the high power package transistor using SST wire bonding

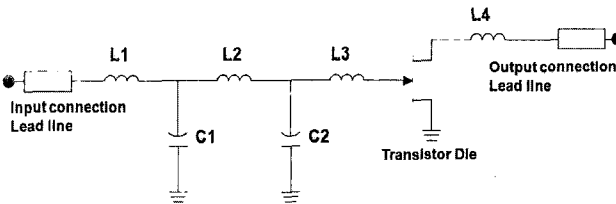


그림 5 SST 방식을 이용한 고출력 트랜지스터 패키지의 등가회로

Fig. 5 Equivalent circuit of the high power package transistor using SST wire bonding

각 와이어들은 근거리에서 위치한 각 요소들을 연결하고 있으며, 와이어의 길이는 패키지의 한정된 면적으로 인하여 길이에 제한이 있음을 알 수 있다. 특히 고출력 트랜지스터 다이(TR)의 입력 단자에 직접 연결되는 와이어 L3는 캐패시터와 트랜지스터 다이의 위치로 인하여 길이에 직접적인 제한을 받을 수밖에 없기 때문에, 기존의 SST 방식을 이용한 고출력 패키지 설계에서는 제한적인 패키지 면적으로 인하여 와이어의 길이가 제한적이므로, 결과적으로 와이어에 의한 인덕턴스가 제한된 값만을 가진 채 구현될 수밖에 없는 문제점을 가지고 있었다.[7]

4. 입체교차 방식의 와이어 본딩을 이용한 패키지 설계

트랜지스터 패키지의 출력 특성은 트랜지스터 다이의 입력단자와 직접 연결되는 와이어의 길이가 가장 큰 영향을 준다. 하지만 트랜지스터 패키지의 한정된 면적으로 인하여 트랜지스터 다이의 입력단자에 연결된 와이어의 길이(L3)가 제한된다고 앞서 설명하였다. 본 논문에서는 기존의 SST 방식의 와이어 본딩 방법이 가지고 있었던 제한적인 인덕턴스 구현의 문제점을 해결하기 위하여 동일한 패키지 면적 안에서 와이어의 길이를 증가시키는 방법을 제안한다.

그림 6은 본 논문에서 제안하는 입체교차 방식(multi crossing type, MCT)의 와이어 본딩을 이용한 고출력 트랜지스터 패키지의 와이어 연결 방식을 3차원으로 표현한 것이다. 그림 6에서 나타난 바와 같이 하이브리드 PCB와 연결하기 위한 입력단의 리드선과 연결된 와이어는, 입력단자와 가까운 캐패시터가 아닌 더 멀리 떨어져 있는 캐패시터에 먼저 연결되고, 트랜지스터 다이의 입력단자와 연결된 와이어는 마찬가지로 트랜지스터에서 가까운 캐패시터가 아닌 더 멀리 있는 캐패시터에 연결되어 있다. 그림 3에서 설명한 징검다리 방식과 비교하면 동일한 패키지 면적 내에서 와이어의 길이를 더 길게 연결할 수 있음을 알 수 있다. 또한 트랜지스터 패키지의 출력 특성에 가장 큰 영향을 미치는 트랜지스터 다이의 입력단자에 직접 연결된 와이어의 길이 또한 그림 3에 비하여 증가된 것을 알 수 있는데, 이로부터 출력 특성의 향상을 기대할 수 있다.[8]

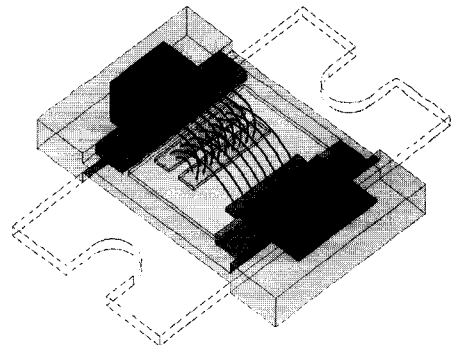


그림 6 MCT 방식을 이용한 고출력 트랜지스터 패키지의 3차원 구성도

Fig. 6 Three-dimensional view of the high power package transistor using MCT wire bonding

그림 7은 그림 6의 입체교차 방식의 고출력 트랜지스터 패키지의 와이어 연결 방식을 옆에서 바라본 측면도이다. 측면도에서 보는 바와 같이 와이어 L1과 L3가 서로 교차하여 연결되어 있고, L1은 입력단자에서 더 멀리 떨어진 C1에, L3는 TR의 입력단자에서 더 멀리 떨어진 C2에 연결되어 있음을 알 수 있다. 즉, 그림 4와 비교할 때 C1과 C2가 자리바꿈을 하였으므로 L1과 L3가 서로 교차하고, 따라서 L1과 L3의 길이가 SST 방식에 비하여 상당히 증가하였다. 이로 인하여 SST 방식의 와이어 본딩에서 문제로 지적된 와이어에 의한 인덕턴스의 한계성을 크게 개선할 수 있다.

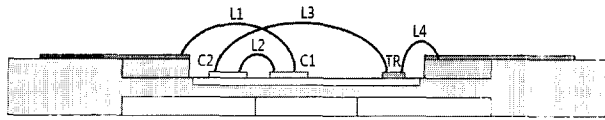


그림 7 MCT 방식을 이용한 고출력 트랜지스터 패키지의 측면도

Fig. 7 Side view of the high power package transistor using MCT wire bonding

그림 8은 그림 6과 그림 7에서 설명한 MCT 방식을 이용한 경우에 대한 등가회로를 보여주고 있다. 그림 8의 등가회로는 그림 5의 등가회로와 달리 와이어 L1과 L3이 입력교차 함에 따라서 캐패시터의 위치가 서로 바뀌어 있음을 알 수 있다. 그림 5의 등가회로에서는 패키지의 입력단자의 리드 선로와 연결된 캐패시터가 바로 다음에 위치한 캐패시터였지만, 그림 8에서는 더 멀리 떨어져 있는 캐패시터에 연결되어 있다.

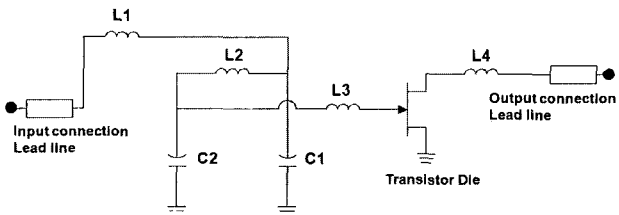


그림 8 MCT 방식을 이용한 고출력 트랜지스터 패키지의 등가회로

Fig. 8 Equivalent circuit of the high power package transistor using MCT wire bonding

5. MCT에 의한 고출력 트랜지스터 패키지의 특성 향상

이제 그림 9는 게이트 길이(gate length)가 36mm인 질화갈륨 (gallium nitride, GaN) 고출력 트랜지스터 다이에 대하여 주파수 1000MHz일 경우, 트랜지스터 다이 자체의 소오스(source) 임피던스, 기존의 SST 방식으로 패키지를 구성하였을 때의 소오스 임피던스, 그리고 본 논문에서 제안하는 MCT 방식으로 패키지를 구성하였을 때의 소오스 임피던스 변화를 스미스 차트와 확대한 그림으로 보인 것이다. 고출력 트랜지스터 자체의 소오스 임피던스를 기준으로 할 때, 본 논문에서 제안한 MCT 방식으로 패키지로 구성하였을 때의 소오스 임피던스가 기존의 SST 방식으로 패키지로 구성하였을 때의 소오스 임피던스의 변화보다 외부 정합에 더 유리하도록 높아졌음을 알 수 있다. 그림 9에서 임피던스의 변화가 매우 미미하게 보이나, 트랜지스터 다이 자체의 소오스 임피던스가 0Ω에 가까울 정도로 극히 낮음을 감안한다면, MCT 방식에 의한 와이어 본딩 방식이 기존의 SST 방식의 와이어 본딩 방식보다 더 높은 입력임피던스로 증가하였으므로 출력단에서 더 높은 출력특성을 기대할 수 있다.[9]

SST 방식의 경우에 그림 4와 같은 구성을 위하여 사용된 와이어의 L1, L2, L3, L4의 길이는 각각 2mm, 2mm,

3mm, 2mm인 반면에, 그림 7의 구성에서 사용된 와이어의 L1, L2, L3, L4의 길이는 각각 3mm, 2mm, 5mm, 2mm이다. 따라서 입력 임피던스를 높인데 직접 기여하는 L3의 길이가 특히 많이 증가하였음을 알 수 있다.

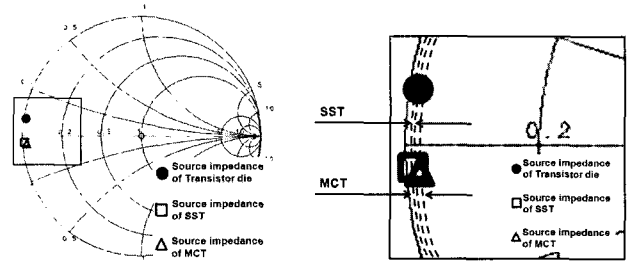


그림 9 36mm GaN 트랜지스터 다이 패키지에서 SST와 MCT의 소오스 임피던스 변화

Fig. 9 Source impedance variation of the 36mm GaN high power transistor die packages for SST and MCT wire bonding

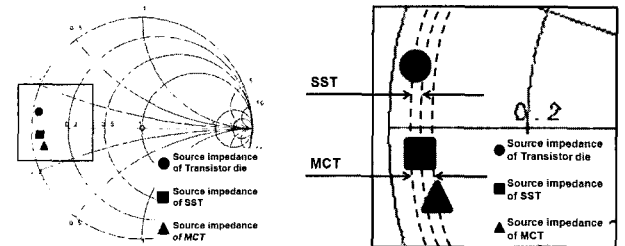


그림 10 16mm GaN 트랜지스터 다이 패키지에서 SST와 MCT의 소오스 임피던스 변화

Fig. 10 Source impedance variation of the 16mm GaN high power transistor die packages for SST and MCT wire bonding

그림 10은 게이트 길이가 16mm인 GaN 고출력 트랜지스터 다이에 대하여 주파수 1000MHz에서 살펴본 입력 임피던스의 변화를 보여주고 있다. 고출력 트랜지스터 자체의 소오스 임피던스를 기준으로 하여 보면, 16mm의 경우에도 본 논문에서 제안한 MCT 방식으로 패키지로 구성하였을 때의 소오스 임피던스의 변화보다 외부 정합에 더 유리하게 변화하였음을 알 수 있다.

한편, 게이트 길이가 36mm인 경우가 16mm인 경우보다 임피던스 변화폭이 더 적은 것을 알 수 있는데, 이는 36mm 소자의 구성이 16mm 소자 구성보다 보다 더욱 많은 단일 트랜지스터의 병렬 결합을 필요로 하여, 결과적으로 입력 임피던스가 더욱 낮아지기 때문이다. 그러나 36mm 소자에서 보이는 미미한 수준의 입력 임피던스 증가도 결국 출력전력 성능을 크게 개선하기 때문에 고출력 트랜지스터 패키지 설계자의 관점에서는 매우 의미가 크다.

그림 11은 36mm GaN 고출력 트랜지스터 다이에 주파수 1000MHz~1400MHz에서 패키지 내부회로를 설계한 후, 동일한 입력 전력 28dBm을 인가했을 경우의 출력 특성을 비교한 것이다. 그림에 나타난 바와 같이 본 논문에서 제안한

MCT 방식으로 구현한 고출력 트랜지스터 패키지의 출력 특성이 SST 방식으로 구현한 경우보다 4dB 정도 개선되었을 수 있다. 4dB의 개선은 고출력 트랜지스터 소자의 출력 레벨에 따라서 수 Watt ~ 수십 Watt까지 더 얻을 수 있음을 뜻하므로 매우 중요한 성능개선이라 할 수 있다.

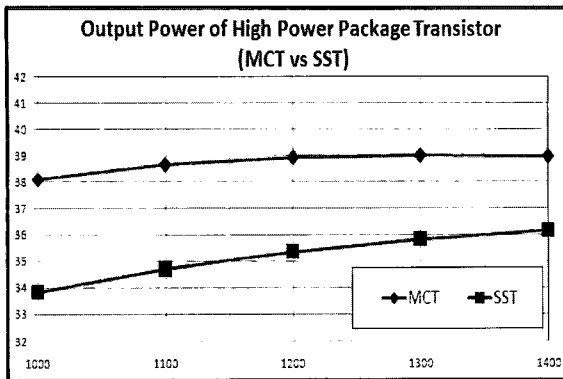


그림 11 36mm GaN 트랜지스터 다이에 대한 MCT와 SST의 출력 특성 비교(입력 전력=28dBm)

Fig. 11 Output power of the 36mm GaN high power transistor die packages for SST and MCT wire bonding (Pin=28dBm)

그림 12는 16mm GaN 고출력 트랜지스터 다이에 주파수 1000MHz~1400MHz에서 패키지 내부정합 회로를 설계하여 동일한 입력 전력 20dBm을 인가했을 경우, SST와 MCT 방식의 출력 특성을 비교한 것이다. 여기에서도 MCT 방식의 경우가 최대 2dB까지 개선되었음을 알 수 있다.

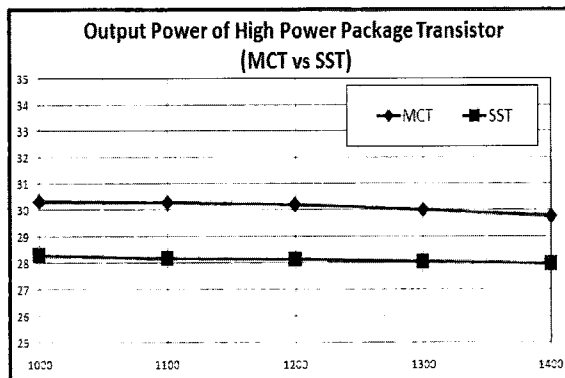


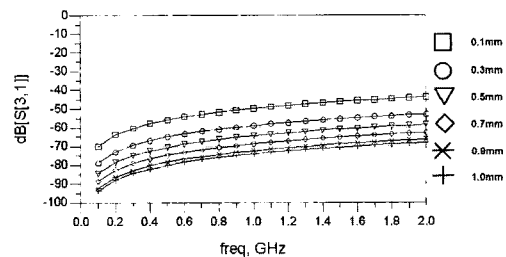
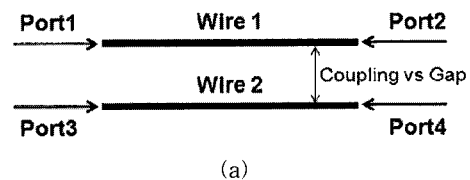
그림 12 16mm GaN 트랜지스터 다이에 대한 MCT와 SST의 출력 특성 비교(입력 전력=20dBm)

Fig. 12 Output power of the 16mm GaN high power transistor die packages for SST and MCT wire bonding (Pin=20dBm)

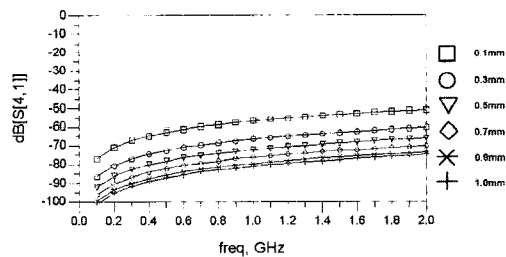
6. 와이어의 길이와 간격에 따른 상호결합의 안전성

고출력 트랜지스터 패키지 내부의 정합회로(matching network) 설계시, 하나의 wire가 아닌 다수의 wire를 사용하게 된다. 이 때 당연히 wire가 병렬로 다수 개 연결된다.

병렬로 연결되는 wire는 극히 미약하나마 상호간에 영향을 미치게 되는데 그 영향이 무시할 만하지 아니면 악영향을 끼치는지에 대한 분석이 필요하다. 본 연구에서는 wire의 간격에 따라서 상호결합이 어느 정도인지를 EM(electromagnetic) simulation을 통하여 분석해 보았다. 이를 위하여 Agilent사의 ADS(advanced design system) Momentum을 사용하였다. 이 분석에서는 wire 2개가 서로 상호간에 미치는 영향을 알아보려고 하였는데, 두께가 1.2mil(30um)인 gold wire에 대하여 길이를 1mm로 하고 상호간 간격을 조절하면서 상호결합을 확인해 보았다.



(b)



(c)

그림 13 이웃하는 와이어간의 상호결합 (두께 1.2mil(30um)이고 길이가 1mm인 gold wire, port1이 입력단자) (a) 4단자 모델링 (b) 와이어 간의 간격에 따른 port3에 미치는 영향(S31) (c) 와이어 간의 간격에 따른 port4에 미치는 영향(S41)

Fig. 13 Coupling between neighboring wires (thickness = 1.2mil(30um), length=1mm, gold wire, port1 is the input port) (a) 4port modeling (b) S31 vs distance between wires (c) S41 vs distance between wires

본 논문에서 사용한 36mm 고출력 트랜지스터 다이의 경우 칩의 총 길이는 5400um이고, 2mm의 gate 단자가 18개이므로 게이트간 거리는 5400/17=317um이다. 만약에 와이어 본딩의 개수가 2배로 늘어난다고 해도 이웃하는 와이어의 길이는 최소 159um이다. 와이어간 상호 결합을 시뮬레이션하기 위하여 그림 13(a)처럼 모델링을 하고, 두께 1.2mil(30um)인

골드 와이어에 대하여 와이어 길이 1mm, 입력이 port1 일 때, 와이어 간의 간격에 따른 port3과 port 4에 미치는 영향을 시뮬레이션하여 이를 그림 13(b),(c)에 보였다. 그 결과 와이어간의 간격이 0.1mm(100um)로 매우 가까운 경우라 해도 S31은 -40dB 이하, S41은 -50dB 이하의 극히 미약한 커플링을 갖는다. 한편 2개가 아닌 3개 이상의 와이어가 이웃해 있는 경우를 시뮬레이션해도 중앙의 와이어에 대한 좌우측 상호결합은 같은 상황이고, 또 양쪽 와이어간의 결합은 더욱 미약할 것이므로, 전체적으로 상호 결합이 매우 미약할 것으로 예측할 수 있다. 일반적으로 상호결합량이 -20dB~-30dB 이하면 상호결합의 영향이 거의 없는 것으로 판단하므로, 본 논문에서의 취하는 와이어 본딩에서 와이어간 상호결합 효과는 거의 없다고 볼 수 있다.

7. 결 론

본 논문에서는 고효율 트랜지스터 패키지 구성에 사용되는 새로운 와이어 본딩 방법을 제안하고자, 주어진 동일한 면적의 패키지 내에서도 종래의 방법에 비하여 와이어의 길이를 크게 키울 수 있는 입체교차 방식의 와이어 본딩 방법에 대하여 기술하였다. 입체교차 방식을 이용하여 GaN 고효율 트랜지스터 패키지를 설계했을 경우, 기존에 사용되던 징검다리 방식보다 입력 임피던스가 더 크게 증가하였다. 예로써 1000MHz~1400MHz에서 고효율 트랜지스터 패키지 내부접합 회로를 설계하여 동일한 입력 전력을 인가했을 경우, 36mm 소자에서는 28dBm 입력에 대하여 입체교차 방식의 경우가 징검다리 방식에 비하여 출력 전력 특성이 최대 4dB까지 개선되었다. 또한 동일한 방법을 16mm 소자에 적용하여 고효율 트랜지스터 패키지를 구성하고 여기에 20dBm의 입력을 인가한 결과, MCT 방식의 경우가 SST 방식에 비하여 출력 전력 특성이 최대 2dB까지 개선되었다.

본 논문에서는 이웃하는 와이어간의 상호결합에 의한 악영향을 살펴보기 위하여, 두께 1.2mil인 두 개의 gold 와이어에 대하여 4단자 회로 모델을 설정하고 이를 EM 시뮬레이션 하여, 와이어 상호간 거리가 100um 이상일 경우 상호결합이 거의 없음을 보였다.

본 논문에서 제시한 입체교차 방식의 와이어 본딩을 이용하여 설계한 고효율 트랜지스터 패키지를 고효율 RF증폭기 설계에 적용할 경우, 기존의 징검다리 방식의 와이어 본딩을 이용한 경우보다 보다 우수하면서도, 동일출력일 경우 상대적으로 가격이 저렴한 고효율증폭기를 얻을 수 있을 것이다.

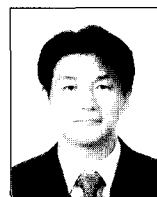
감사의 글

이 연구는 차세대BIT무선부품지역혁신센터(RIC/N) 사업 및 동사업을 통한 (주)RFHIC의 산업체대응연구비 지원으로 수행되었습니다.

참 고 문 헌

- [1] John L.B. Walker, *High Power GaAs FET Amplifiers*. ARTECH HOUSE, 1993.
- [2] W. Nagy, S. Singhal, R. Borges, J.W. Johnson, J.D. Brown, R. Therrien, A. Chaudhari, A.W. Hanson, J. Riddle, S. Booth, P. Rajagopal, E. L. Piner, K.J. Linthicum, "150 W GaN-on-Si RF Power Transistor", *2005 IEEE MTT-S International*, pp:483-486.
- [3] Steve C. Cripps, *RF Power Amplifiers For Wireless Communications*. ARTECH HOUSE, 2006.
- [4] Hidenori Shimawaki and Hironobu Miyamoto, "GaN-based FETs for Microwave High-Power Applications" *13th GAAS Symposium2005*. pp:377-380.
- [5] D.M. Keogh, J.C. LI, A.M. Conway, D. Qiao, S. Raychaudhuri, and P.M. Asbeck, "Anaylisis of GaN HBT Structures for High Power, High Efficiency Microwave Amplifiers" *International Journal of High Speed Electronics and Systems*, Vol. 14, No. 3 pp:831-836, 2004.
- [6] Helge O. Granberg, "A Two-stage 1kW Solid-state Linear Amplifier", Motorola semiconductor application note(AN758).
- [7] Singhal, S., Brown, J.D., Borges, R., Piner, E., Nagy, W., & Vescan, A. "Gallium Nitride on silicon HEMTs for wireless infrastructure applications, thermal design and performance" European Microwave Week, 2002.
- [8] Markus Mayer & Holger Arthaber, "RF Power Amplifier Design", Vienna University of Technology, 2001.
- [9] "150-W, 2.11-2.17 GHz Balanced Compact Amplifier For IMT-2000 Base-Station Application Using The FLL1500IU-2C GaAs FET Device", FUJITSU APPLICATION NOTE(No 008).

저 자 소 개



임 증 식 (林 鍾 植)

1968년 11월 17일생. 1991년 서강대 전자공학과 졸업(공학사). 1993년 동대학원 전자공학과 졸업(석사). 2003년 서울대 대학원 전기컴퓨터공학부 졸업(공학박). 1993~2005 한국전자통신연구원(ETRI) 선임연구원, 2005~현재 순천향대학교 전기통신공학과 조교수.

Tel : (041)530-1332

Fax : (041)530-1548

E-mail : jslim@sch.ac.kr



오 성 민 (吳 星 愍)

1980년 12월 25일생. 2006년 순천향대
정보기술공학부 졸업(공학사). 2008년
동대학원 전기통신시스템공학과 졸업(석
사). 2008년 현재 (주) RFHIC 연구원.

Tel : (031)250-5000
Fax : (031)250-5088
E-mail : smoh@rfhic.com



박 천 선 (朴 天 仙)

1982년 9월 19일생. 2007년 순천향대 정
보기술공학부 졸업(공학사). 2008년 동대
학원 전기통신공학과 석사과정 재학중

Tel : (041)530-1630
Fax : (041)530-1735
E-mail : duji@paran.com



이 용 호 (李 龍 鎬)

1970년 1월 18일생. 1996년 시립인천대
전자공학과 졸업(공학사). 2008년 현재
(주)RFHIC 책임연구원 및 연구5실장.

Tel : (031)250-5170
Fax : (031)250-5088
E-mail : peterlee@rfhic.com



안 달 (安 達)

1961년 10월 15일생. 1984년 서강대 전
자공학과 졸업(공학사). 1984년 동대학원
전자공학과 졸업(석사). 1990년 동대학원
전자공학과 졸업(공박). 1990~1992 한국전
자통신연구원(ETRI) 선임연구원, 1992~현
재 순천향대학교 전기통신시스템공학과
교수.

Tel : (041)530-1331
Fax : (041)530-1609
E-mail : dahnkr@sch.ac.kr