

논문 2008-45CI-6-11

# USN 센서노드용 5.0GHz 광대역 RF 주파수합성기의 설계

## ( Design of 5.0GHz Wide Band RF Frequency Synthesizer for USN Sensor Nodes )

강 호 용\*, 김 내 수\*, 채 상 훈\*\*

(Ho-Yong Kang, Nae-Soo Kim, and Sang-Hoon Chai)

## 요 약

IEEE802.15.4 체계의 USN 센서노드 무선통신부에 내장하기 위한 5.0GHz 광대역 RF 주파수 합성기를 0.18 $\mu$ m 실리콘 CMOS 기술을 이용하여 설계하였다. 고속 저잡음 특성을 얻기 위하여 VCO, 프리스케일러, 1/N 분주기,  $\Sigma$ - $\Delta$  모듈레이터 분수형 분주기, PLL 공통 회로 등의 설계 최적화에 중점을 두고 설계하였으며, 특히 VCO는 N-P MOS 코어 구조 및 12단 캡 벙크를 적용하여 고속 저전력 및 광대역 튜닝 범위를 확보하였다. 설계된 칩의 크기는 1.1\*0.7mm<sup>2</sup>이며, IP로 활용하기 위한 코어 부분의 크기는 1.0\*0.4mm<sup>2</sup>이다. 2가지 종류의 주파수합성기를 설계한 다음 모의실험을 통하여 비교 분석해 본 결과 일부 특성만 개선한다면 IP로써 사용하는데 문제가 없을 것으로 나타났다.

## Abstract

This paper describes implementation of the 5.0GHz RF frequency synthesizer with 0.18 $\mu$ m silicon CMOS technology being used as an application of the IEEE802.15.4 USN sensor node transceiver modules. To get good performance of speed and noise, design of the each module like VCO, prescaler, 1/N divider, fractional divider with  $\Sigma$ - $\Delta$  modulator, and common circuits of the PLL has been optimized. Especially to get good performance of speed, power consumption, and wide tuning range, N-P MOS core structure has been used in design of the VCO. The chip area including pads for testing is 1.1\*0.7 mm<sup>2</sup>, and the chip area only core for IP in SoC is 1.0\*0.4mm<sup>2</sup>. Through comparing and analysing of the designed two kind of the frequency synthesizer, we can conclude that if we improve a litter characteristics there is no problem to use their as IPs.

**Keywords** : USN, 센서노드, 5.0GHz, RF, 주파수합성기, PLL, 회로 설계

## I. 서 론

USN(ubiquitous sensor network)은 불특정 장소에 부착된 태그와 센서로부터 사물 및 환경 정보를 감지, 저장, 가공하여 인터넷을 통해 전달하는 기술로 거의

모든 인간 생활에 활용하는 것을 목적으로 한다. USN 서비스의 경우, 현재는 건물의 안전과 같은 공공의 목적, 적지 경찰과 같은 군용 목적, 생태계나 환경오염의 관측과 같은 과학적인 목적에 주로 응용 서비스 기술이 개발되고 있으나, 점차 택배 또는 건물 내의 안전, 편리성, 나아가서는 인간의 생체에 응용될 수 있는 상황 인지의 기능을 갖춘 지능형 서비스로 발전할 전망이다. 또한 농업, 광업, 어업, 상업, 건설 등 산업 전반의 생산 공정에 USN을 활용함에 따라 원자재 관리, 생산 자동화 및 상품이력 관리로 생산성 및 효율성 증대에 기여하고 환경, 기상, 생태계, 재해 예측 및 방재, 시설제어, 교통정보 및 제어, 물류, 가정/사무자동화, 의료, 복지, 교육, 방범, 보안 등 광범위한 분야에 USN의 적용으로 국민의 복지 수준이 향상될 것으로 기대

\* 정희원, 한국전자통신연구원 USN전송기술연구팀  
(USN Transmission Technology Research Team, ETRI)

\*\* 평생회원-교신저자, 호서대학교 전자공학과  
(Dept. of Electronics Engineering, Hoseo University)

\* 본 연구는 지식경제부 및 정보통신연구진흥원의 RFID/USN용 센서태그 및 센서노드 기술개발(2005-S-106-02) 사업으로 수행되었음.

\* 본 연구는 IDEC의 일부 CAD tool 지원에 의해 수행되었음.

접수일자:2008년10월10일, 수정완료일:2008년10월28일

되고 있다<sup>[1]</sup>.

센서노드는 USN을 구성하는 가장 기본적인 요소로 기존 RFID 기술에 비하여 가장 큰 장점은 센서로부터 주위 환경을 모니터링 하면서 최적의 네트워크를 구성 및 기존의 유무선 통신 기술을 이용하여 사용자가 원하는 네트워크 구성이 가능하다는 것이다. 센서노드의 구성은 주로 제어부(MCU), 무선통신부, 센서부 및 전원부로 구성되며, 무선통신부는 송수신 형태 및 주파수, 기능에 따라 다양한 형태로 이루어지고 있다. IEEE 802.15.4-2006 표준과 지그비(ZigBee)를 기반으로 하여 제안된 USN 주파수 대역은 868~868.8MHz 대역의 유럽 주파수대역과 902~928MHz 대역의 북미 주파수 대역, 그리고 ISM 밴드로서 세계 공용으로 사용 가능한 2.45GHz 대역으로 구분되고 있다. 무선통신부의 RF 부분은 현재 직접 변환(direct conversion) 구조와 저-중간주파(low-IF) 변환 구조의 2가지 방식으로 나누어져 개발이 이루어지고 있으며, 웨이크 업(wake-up) 기술 도입 등을 통하여 센서노드의 전류 소모를 감소하기 위한 저전력 기술 개발이 진행되고 있다<sup>[1]</sup>.

본 연구에서는 유럽 주파수대역과 북미 주파수대역 뿐만 아니라 ISM 주파수 대역까지도 모두 수용하는 광대역 센서노드 무선통신부용 RF 주파수합성기를 구현하고자 한다. 칩 설계에는 현재 가장 보편화되어 잡음, 소비 전력 등 칩의 성능 면과 생산단가 면에서 유리한 0.18 $\mu$ m CMOS 기술을 사용하였다.

### II. 센서노드의 구성

그림 1은 USN 센서노드 무선통신부의 블록도로서 안테나, 송수신부, 주파수합성기, 신호 직병렬 변환기

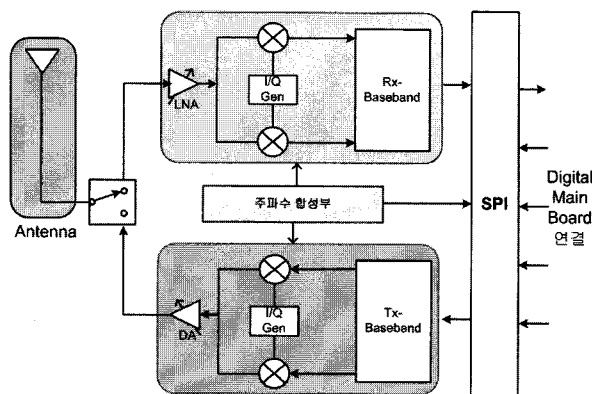


그림 1. 센서노드 RF 무선 통신부의 구성도  
Fig. 1. Block diagram of sensor node RF wireless communication module.

등으로 이루어진다. 무선통신용 주파수합성기는 높은 주파수영역에서 동작하여야 하므로 위상잡음(phase noise)과 스프(spurs) 특성이 좋아야한다. 이들 특성은 단말기에서의 수신 감도와 송신 신호의 출력 스펙트럼 특성에 크게 영향을 미친다. 칩 면적 또한 제작비용 절감 및 소비 전력 절약을 고려하여 최대한 줄일 필요가 있다. 그림 2는 본 연구에서 구현하려는 주파수합성기의 채널을 표시한 것으로서 868.3MHz의 유럽 주파수 1개 채널과 902~928MHz, 2MHz 간격의 북미 주파수 대역 10개 채널 및 2400~2483.5MHz, 5MHz 간격의 ISM 주파수 대역 12개의 채널을 포함한다.

No. of Channels	Channel Center frequency
$k = 0$	868.3 MHz
$k = 1, 2, \dots, 10$	$906 + 2(k-1)$ MHz
$k = 11, 12, \dots, 26$	$2405 + 5(k - 11)$ MHz

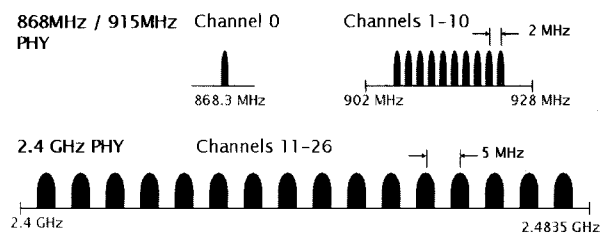
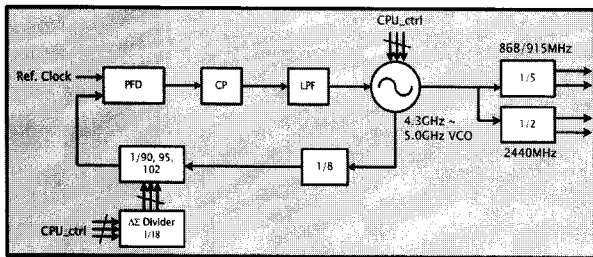


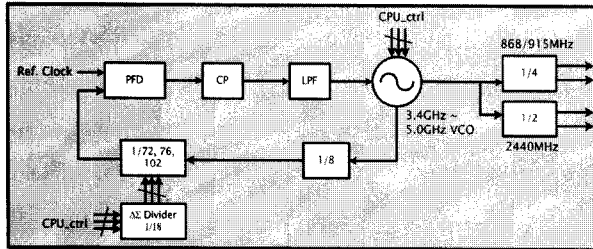
그림 2. 주파수합성기의 주파수 대역 및 채널  
Fig. 2. Band width and channels of frequency synthesizer.

### III. 주파수합성기 회로의 설계

본 연구에서는 효율적인 I-Q 신호 생성을 고려하여 2.5GHz의 실제 사용 주파수 대역보다 2배의 주파수를 갖는 5.0GHz 대역의 분수형(fractional)-N RF PLL 주파수합성기를 0.18 $\mu$ m CMOS 기술을 이용하여 설계하였다. 양호한 특성을 갖는 주파수합성기를 구현하기 위하여 고속 저전력 및 넓은 범위에서 주파수 특성이 우수한 VCO 설계에 주력하였으며, 고속 동작 및 위상 잡음, 스프 특성이 우수한 PLL 공통 회로 및 주파수분주기(frequency divider)의 설계에도 유의하였다. 그림 3은 본 연구에서 설계한 주파수합성기 회로의 구조를 나타낸 블록도 들로서 협대역 방식과 광대역 방식의 2가지 종류로 나누어서 설계하였다. 2가지 방식 모두 기본적으로는 분수형-N PLL의 기본 구조인 PFD(phase frequency detector), CP(charge pump), LPF(low pass filter), VCO(voltage controlled oscillator), 1/8 프리스케일러(prescaler), 1/64~1/126 분수형-N 분주기, 분수형-N 분주기를 제어하기 위한  $\Sigma$ - $\Delta$  모듈레이터로 구



(a)



(b)

그림 3. 주파수합성기 회로의 블록도  
(a) 협대역 방식, (b) 광대역 방식  
Fig. 3. Block diagram of frequency synthesizer circuit.  
(a) Narrow band, (b) Wide band

성된다<sup>[2~5]</sup>. 그런데 그림 (a)의 협대역 방식은 VCO의 주파수 튜닝 범위가 4.3~5.0GHz(중심 주파수 대비 약 15%)으로 대역폭이 비교적 좁아서 VCO 설계가 용이한데 비하여, 900MHz에 대한 I-Q 신호를 만들기 위한 주파수 하향 변환기(down converter)는 1/5 분주기를 사용하여야 한다. 그러므로 1/5 분주기의 특성 상 분주된 신호의 듀티 비를 50%로 조정하기 어려운 문제가 따른다. 이에 비해 그림 (b)의 광대역 방식은 900MHz에 대한 I-Q 신호를 만들기 위한 하향 변환기는 듀티 비 조정이 필요 없는 1/4 분주기를 사용하지만, VCO의 주파수 튜닝 범위가 3.4~5.0GHz(중심 주파수 대비 약 38%)으로 넓은 범위의 대역폭이 확보되어야 한다. 그런데 LC 발진기의 특성 상 하나의 VCO를 이용하여 넓은 튜닝 범위를 확보하기가 어려우므로 VCO 설계 측면에서 상당한 어려움을 예상할 수 있다. 각 VCO 오른쪽의 1/2 분주기는 2.45GHz에 대한 I-Q 신호를 만들기 위한 주파수 하향 변환기이다.

### 1. VCO

RF PLL에서 우수한 속도 특성 및 잡음 특성을 얻기 위해서는 무엇보다도 먼저 VCO의 설계가 최적화되어야 한다. 그림 4는 본 연구에서 사용한 VCO의 회로도로서 위상잡음 특성 및 소비 전력 특성이 우수한 N-P MOS 코어형 구조를 갖는 LC 탱크 회로를 채택

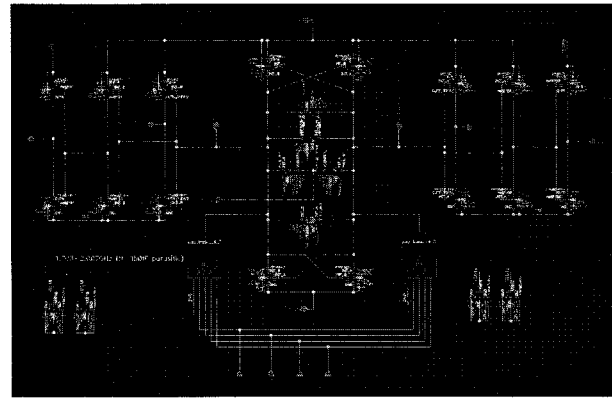


그림 4. 설계된 VCO의 구성도  
Fig. 4. Block diagram of VCO.

하였다. 그중에서도 특히 광대역 방식은 3473~4967MHz(1494MHz, z 구간, 중심 주파수 대비 35.4%)의 매우 넓은 범위의 주파수 튜닝 특성을 가질 필요가 있다. 이를 위하여 넓은 범위의 커패시턴스 변화가 가능한 바랙터(varactor)와 함께 4비트 제어신호에 의하여 12단계로의 광범위 커패시턴스 변환이 가능한 캡-뱅크(cap.-bank)를 병렬로 추가 연결하였다. 참고로 협대역 VCO의 경우는 6단계의 캡-뱅크를 사용하였다. 또한 전원 잡음의 영향 및 PSRR(power supply rejection ratio) 특성을 고려하여 VCO 모듈은 전원을 V<sub>DD</sub>로부터 직접 공급하지 않고 1.6V 상전원(voltage regulator)을 통하여 공급하게 하였으며, 이 상전원에 제어 스위치를 설치하여 시스템 대기 상태에서는 VCO에 공급되는 전원을 차단하여 발진을 정지시킴으로써 주파수합성기의 전력소모를 최대한 줄이는 구조로 설계하였다.

### 2. 프리스케일러

VCO에서 발생하는 주파수는 PLL 전체 회로로 볼 때 가장 속도가 빠르므로 그 다음 단계에 배치되는 주파수분주기인 프리스케일러 역시 높은 동작속도를 요한다. 본 연구에서는 그림 5와 같이 단순하면서도 빠른 동작이 가능한 3개의 1/2 분주기를 직렬 연결하여 1/8 프리스케일러를 구성한 다음 배치하였다. 모의실험 결과 이 회로는 5.5GHz 이상의 주파수에서도 동작하는 매우 빠른 특성을 보여 주었다.

### 3. N-분주기

프리스케일러로부터 출력된 신호의 주파수를 기준클럭인 6MHz와 일치시키기 위하여 신호를 64~126 구간에서 정수로 분주할 수 있는 분주기를 설계하였다. 1/64는 1/2분주기를 6개 직렬로 연결하여 구현하였으

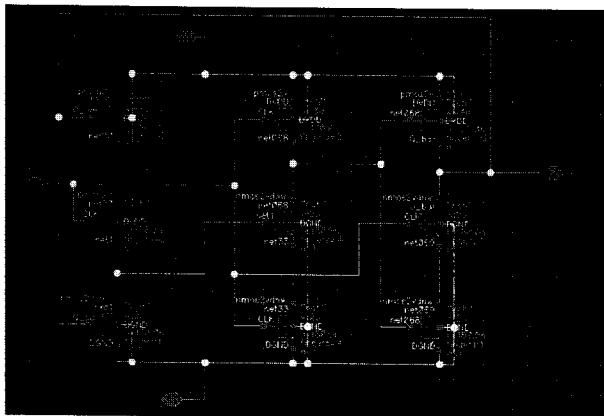


그림 5. 설계된 프리스케일러의 단위 블록 회로  
Fig. 5. Unit block circuit of designed prescaler.

며, 여기에 다시 1/2분주기를 6개 직렬로 연결한 다음 외부에서 6비트 신호를 이용하여 제어함으로써 1/64~1/126 분주를 실현하였다.

4.  $\Sigma-\Delta$  모듈레이터 분수형 분주기

주파수합성기의 분주비를 소수점 아래까지의 값으로 생성하고 분수형 스프를 억제하기 위하여 18비트 제어

표 1. PLL 주파수 생성 계획  
Table 1. Plan of PLL frequency synthesis plan.

Fpll(MHz)	Fvco(MHz)	N	Fractional	Err.(Hz)
868.3000031	1736.6000061	72	0.3583336	3.1
906.0000000	1812.0000000	75	0.5000000	0
908.0000153	1816.0000305	75	0.6666679	30.5
910.0000305	1820.0000610	75	0.8333359	61.0
912.0000000	1824.0000000	75	1.0000000	0
914.0000153	1828.0000305	76	0.1666679	30.5
916.0000305	1832.0000610	76	0.3333359	61.0
918.0000000	1836.0000000	76	0.5000000	0
920.0000153	1840.0000305	76	0.1666679	30.5
922.0000305	1844.0000610	76	0.8333359	61.0
924.0000000	1848.0000000	76	1.0000000	0
2404.9999695	4809.9999390	100	0.2083321	-61.0
2410.0000305	4820.0000610	100	0.4166679	61.0
2415.0000000	4830.0000000	100	0.6250000	0
2419.9999695	4839.9999390	100	0.8333321	-61.0
2425.0000305	4850.0000610	101	0.0416679	61.0
2430.0000000	1860.0000000	101	0.2500000	0
2434.9999695	4869.9999390	101	0.4583321	-61.0
2440.0000305	4880.0000610	101	0.6666679	61.0
2445.0000000	4890.0000000	101	0.8750000	0
2449.9999695	4899.9999390	102	0.0833321	-61.0
2455.0000305	4910.0000610	102	0.2916679	61.0
2460.0000000	4920.0000000	102	0.5000000	0
2464.9999695	4929.9999390	102	0.7083321	-61.0
2470.0000305	4940.0000610	102	0.9166679	61.0
2475.0000000	4950.0000000	102	0.1250000	0
2479.0000305	4959.9999390	102	0.3333321	-61.0

신호에 의하여 동작하는  $\Sigma-\Delta$  모듈레이터를 설계하였다. 표 1은 분수형-N 분주기에 의한 주파수 생성계획을 나타낸 것이다.

5. PLL 공통 회로

PFD, CP, LPF 등 PLL 공통 회로 역시 PLL의 위상 잡음 및 스프 특성에 영향을 미치므로 이들 잡음을 최소화하는 방향으로 설계하였다. 특히 PFD의 기준 클럭의 주파수를 잡음 특성을 고려하여 6MHz로 결정함으로써 기준 스프(reference spurs)가 채널 중심주파수로부터 6MHz 영역 바깥에서 발생하게 하였다. 그밖에 위상잡음을 최소화하기 위하여 저역필터는 저주파 및 고주파 잡음 흡수 특성이 우수한 3차 필터로 설계하였다. 표 2는 PLL 설계에 사용된 각종 변수이다.

표 2. PLL 회로의 성능 변수  
Table 2. Performance parameters of the PLL circuit.

Reference frequency	6MHz
Loop bandwidth	300KHz
VCO gain	200MHz/V
N division ratio	72, 75, 76, 100, 101, 102

IV. 레이아웃 설계

설계된 회로도에 대하여 0.18 $\mu$ m 2-poly 6-metal CMOS 아날로그 기술을 이용하여 레이아웃 설계를 하였다. 그림 6은 설계한 광대역 방식 회로의 칩 도면으로서 I/O 패드(pad)를 포함한 크기는 1.1\*0.7mm<sup>2</sup>이고, 패드를 제외하면 1.0\*0.4mm<sup>2</sup>이다. 센서노드 SoC를 위한 실용화 설계 시에는 패드 등 불필요한 면적을 줄여서 IP 화함으로써, 면적을 현재의 2/3 이하로 줄일 수 있을 것으로 예상된다. 그림에서 왼쪽 부분은 Verilog로 설

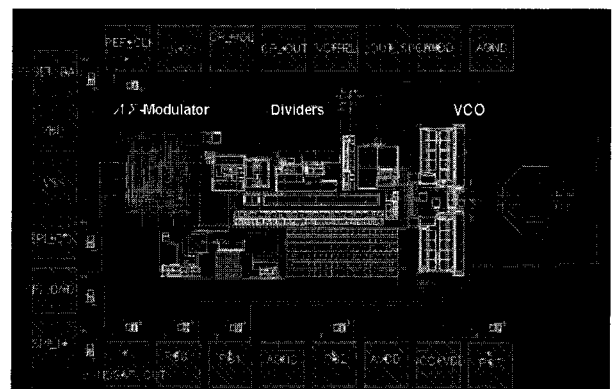


그림 6. 설계된 칩의 레이아웃 도면  
Fig. 6. Layout of designed chip.

계되어 합성된  $\Sigma$ - $\Delta$  모듈레이터이고, 중간 부분은 각종 분주기이며, 오른쪽은 LC를 포함한 VCO에 해당한다. 협대역 방식 회로의 칩 도면도 캡-뱅크와 분주기를 제외한 나머지는 광대역 방식과 동일하다.

본 설계에서는 단일 칩 구성을 위하여 특별한 회로 및 레이아웃 설계 방법을 적용하였다. 즉, 회로는 잡음 방지를 위하여 차동(differential)회로 구조를 기본적으로 적용하였으며, 각 블록에는 가드링(guard ring)을 설치하여 물리적으로 완전 분리하였다. 그밖에 두 회로의 전원(VDD) 및 접지(ground) 패드도 완전 분리하였다<sup>[6-7]</sup>.

### VI. 모의실험 결과

그림 7은 캡-뱅크 및 제어전압에 따른 협대역 방식으로 설계된 VCO의 발진주파수를 나타낸 모의실험 결과로서, 4015~5388MHz(1373MHz, z 구간, 중심 주파수 대비 29.2%)의 주파수영역에서 동작하는 우수한 특성을 보여 주었으며, 실제 동작영역인 4340~4967MHz에 비해 낮은 주파수 영역은 325MHz, 높은 주파수 영역은 421MHz의 여유가 있다. VCO는 구간에 따라 129~248MHz/V의 비교적 작은 변화 폭의 주파수 이득을 갖는다.

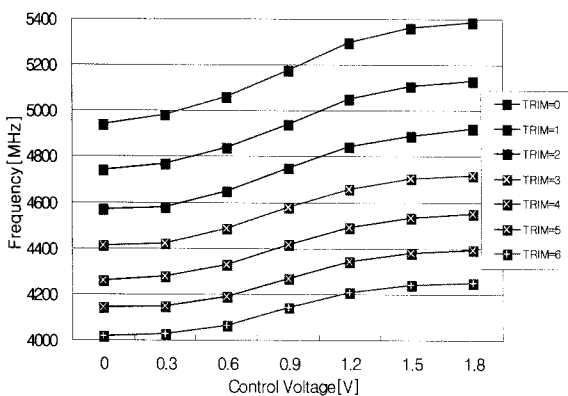


그림 7. 캡 뱅크 및 제어전압에 따른 VCO 발진주파수 (협대역)

Fig. 7. VCO frequency variation versus cap.-bank and control voltage(narrow band).

그림 8은 캡-뱅크 및 제어전압에 따른 광대역 방식으로 설계된 VCO의 발진주파수를 나타낸 모의실험 결과로서, 3440~5170MHz(1730MHz, z 구간, 중심 주파수 대비 40.2%)의 매우 넓은 주파수영역에서 동작하는 특성을 보여 주었으며, 실제 동작영역인 3472~4967MHz에 비해 낮은 주파수 영역은 32MHz, 높은 주파수 영

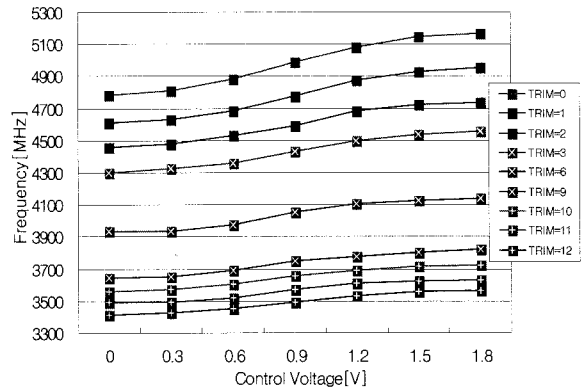


그림 8. 캡 뱅크 및 제어전압에 따른 VCO 발진주파수 (광대역)

Fig. 8. VCO frequency variation versus cap.-bank and control voltage(wide band).

역은 203MHz의 여유가 있다. 그러나 공정변수 변화 등을 고려해 보면 주파수 여유가 약간 부족하며, 특히 낮은 주파수 영역에서는 과도한 캡-뱅크 값으로 인하여 주파수 이득이 낮게 나타난다. 설계에서 낮은 주파수 영역보다 높은 주파수 영역에서 여유를 더 둔 것은 실제 칩으로 제작했을 때 기생성분에 의하여 전체적으로 주파수가 낮은 쪽으로 이동(shift down)하는 현상을 고려했기 때문이다. VCO는 구간에 따라 67~216MHz/V의 주파수 이득을 갖는다.

그림 9는 분할비가 1/5(사용 주파수 5.5GHz)로 설정된 협대역 방식용 분주기에 대하여 듀티 비 모의실험을 한 결과로서 듀티 비가 약 57.4%로 나타났다. 이

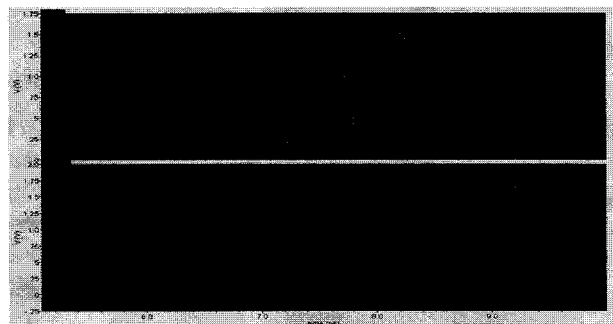


그림 9. 1/5 분주기 회로의 모의실험 결과

Fig. 9. Simulation result of 1/5 divider circuit.

결과는 아주 양호한 값은 아니지만 회로 개선 등을 통하여 55% 이하로 낮춘다면 사용에는 문제가 없을 것으로 본다. 같은 조건의 동작 상태에서 분할비가 1/4로 설정된 광대역 방식용 분주기의 듀티 비는 47.6%로 50%에 가까운 양호한 결과가 얻어졌다.

그림 10은 광대역 방식의 주파수합성기 전체회로를

모의실험을 한 결과로서 위로부터 VCO 출력, 프리스케일러 출력 및 VCO의 제어전압 출력파형, 1/4 분주기 출력을 나타내고 있다. VCO 제어전압의 변화를 통하여 볼 수 있듯이 초기 안정화(acquisition) 시간은 약 12 $\mu$ s이며, 채널 변환 시 수렴(locking) 시간은 약 7.5 $\mu$ s로 비교적 양호한 결과가 나타났다.

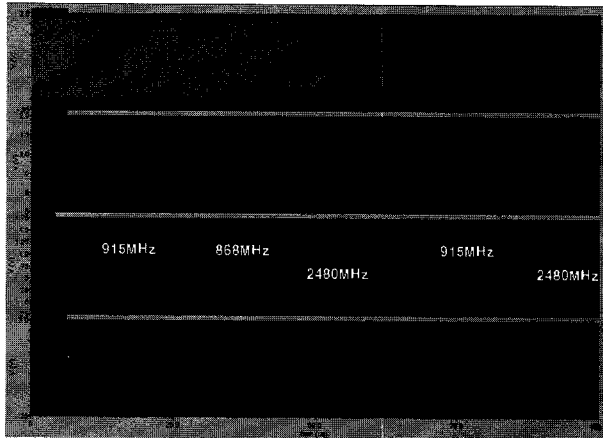


그림 10. PLL 회로의 모의실험 결과  
Fig. 10. Simulation result of PLL circuit.

- IEEE Communication, com-28, No. 11, pp.1848-1858, Nov. 1980.
- [4] 이강윤, "RF 주파수 합성기술", 전자공학회지, 제35권 1호, pp.33-43, 2008년 1월.
- [5] 오근창, 김경환, 박종태, 유근중, "2.4GHz ISM 대역 응용을 위한 2.4GHz Fractional-N 주파수합성기의 설계", 전자공학회논문지, 제45권 SD편 제6호 pp.634-641, 2008년 6월.
- [6] 이길재, 채상훈, "광통신 모듈용 155.52 MHz 클럭 복원 리시버의 구현", 한국통신학회논문지, 제26권, 제12C호, 2001년 12월.
- [7] 채상훈, 김태런, 권광호, "광통신 모듈용 단일 칩 CMOS 트랜시버의 설계", 전자공학회논문지, 제41권, SD편, 제2호, 2004년 2월.

## VII. 결 론

본 연구에서는 868.3MHz 유럽 주파수대역과 902~926MHz 북미 주파수대역 및 ISM 밴드로서 세계 공용으로 사용 가능한 2.45GHz 대역의 모든 주파수를 수용하는 5.0GHz 분수형-N 주파수합성기를 협대역 방식과 광대역 방식의 2종류로 설계한 다음 모의실험을 통하여 특성을 비교 분석해 보았다. 두 주파수합성기 모두 주어진 사양 내에서 동작하였으나, 협대역 방식은 듀티비가 약간 초과하여 나타났으며, 광대역 방식은 VCO의 주파수 대역 여유가 충분치 않은 아쉬움이 있었다. 본 연구에서는 향후 두 방식 모두 칩으로 제작하여 실제의 특성을 비교 분석한 다음 문제가 없는 방식에 대해서는 IP로 사용할 예정이다.

## 참 고 문 헌

- [1] 김지은, 김세한, 정운철, 김내수, "USN 센서노드 기술 동향", ETRI 전자기술 동향분석, 제22권 제3호 pp.90-103, 2007년 6월.
- [2] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
- [3] F. Gardner, "Charge-pump phase locked loops",

저 자 소 개



**강 호 용**(정회원)  
 1989년 부산대학교 전자공학과  
 학사 졸업  
 2003년 충남대학교 정보통신  
 공학과 석사 졸업  
 1988년 12월~1993년 12월  
 대우통신 반도체연구소

1994년 1월~2000년 5월 대우전자 ASIC Center  
 2000년~현재 한국전자통신연구원 USN전송기술  
 연구팀 선임연구원  
 <주관심분야 : USN MAC/PHY, VLSI설계, 광가  
 입자망(FTTH) MAC/PHY>



**김 내 수**(정회원)  
 2000년 한남대학교 컴퓨터공학과  
 박사 졸업  
 1986년~1990년 국방과학연구소  
 1990년~현재 한국전자통신연구원  
 RFID/USN연구본부 USN  
 전송기술연구팀장  
 (책임연구원)

<주관심분야 : RFID/USN, 위성통신, 컴퓨터  
 네트워크>



**채 상 훈**(평생회원)  
 1981년 경북대학교 전자공학과  
 학사 졸업  
 1983년 부산대학교 전자공학과  
 석사 졸업  
 1992년 부산대학교 전자공학과  
 박사 졸업

1983년 3월~1997년 8월 한국전자통신연구원  
 반도체 연구단 책임연구원

2004년 9월~2006년 8월 University of Florida  
 연구교수

1997년 9월~현재 호서대학교 전자공학과 정교수  
 <주관심 분야 : 광통신 및 RF용 아날로그/혼합형  
 ASIC 설계, 전력소자 및 태양전지 연구 개발>