

Mobile 기기에서의 디지털 융합기술

김경호(삼성전자)

1. 서론

SoC(System-on-Chip) 기술의 비약적인 발전에 힘입어 다양한 종류의 Mobile 기기들이 출현하게 되었다. 가장 대표적인 Mobile 기기는 휴대전화로서, 음성 서비스 기반의 2G 및 데이터 서비스가 가능한 3G를 넘어서 휴대 인터넷을 지원하는 4G까지 급격한 기술 진보를 보이고 있다. 이렇게 통신 서비스의 종류가 다양화 되고 급격한 속도로 변화해 가는 추세를 따르기 위해서는, 많은 기능을 동시에 수용하고 개발 기간을 최소화 할 수 있는 SoC 기술이 필수적이라고 할 수 있다. CMOS 기술이 빠른 속도로 고 집적화 됨에 따라 다 기능의 SoC 구현이 가능하게 되었지만, 고 집적화 될수록 디자인에 소요되는 시간 및 Wafer 제작에 드는 비용이 급격히 증가하게 되는 역 효과가 나타나고 있다. 이런 문제점은 Mobile 기기의 발전 방향의 큰 흐름인 서비스 융합에 대한 걸림돌로 작용할 수 있으므로, 이에 대한 대비책이 마련 되어야 한다.

한편, 휴대 전화 외의 Mobile 기기는 PDA, MP3R, PMP 등 기능 및 Contents의 종류에 따

라 다양화 되었다. 그리고, 다양한 기능들을 한 단말기로 수행할 수 있는 복합 Mobile 기기들의 출현도 Mobile 기기의 Trend로 자리잡고 있다. 국내에서는 와이브로(WiBro) 서비스를 시작으로 휴대 인터넷의 상용화가 시작되었고 DMB(Digital Multimedia Broadcasting)로 불리는 휴대 방송이 보편화 됨에 따라 단말기 간의 영역이 존재하지 않는 기술의 융합이 급속도로 진전되고 있다. 그 외에도 각종 센서 및 바이오 기술도 단말기로 흡수 되고 있는 추세이므로 기술의 융합은 현재 반도체 기술에 국한되지 않는 차원으로 확장되고 있다. 이런 기술의 융합은 기본적으로 Mobile 기기 내에 다양한 SoC들을 수용해야 한다. 그리고, 각 SoC는 서비스의 종류에 따라 상당히 광대역의 데이터를 처리해야 되는데, 이는 기존의 일대일의 단순한 저속의 인터페이스를 탈피하여 고속이면서 다양한 SoC들을 연동 시킬 수 있는 칩간, 기기간 인터페이스를 요구하게 된다. 그리고, Mobile기기의 특성상 저전력은 필수적으로 고려해야 할 대상이다. 특히, 기존의 하드웨어 관점에서의 저전력 기술을 뿐만 아니라 기술 융합에 따르는 소프트웨어의 영향

이 심각하게 고려되어야 한다.

이처럼 Mobile기기에서의 기술 발전 방향은 서비스 융합과 기술 융합으로 요약할 수 있으며, 이에 대비하기 위해서 해결해야 할 문제점들이 많이 있음을 알 수 있다. I 장의 Mobile 기기에서의 디지털 융합기술에서는 서비스 융합 및 기술 융합의 경향 및 예를 간략히 소개한다. II 장의 디지털 융합 핵심기술에서는 I 장의 추세를 따르기 위해 미리 고려하고 준비해야 될 기술들을 나열하고 향후 고려해야 할 사항들을 설명한다. 서비스 융합을 위해서는 크게 SDR(Software Defined Radio)기술, Reconfigurable 하드웨어 기술 및 RDR(Reconfigurable Digital Radio) 기술을 다루었고, 기술 융합을 위해서는 고속 인터페이스 기술과 저전력 기술을 다루었다.

II. 본 론

1 Mobile 기기에서의 디지털 융합기술

가. 서비스 융합

국내외에 3세대 이동 통신 서비스가 확대되면서 한 지역에서 사용하던 Mobile기기를 다른 지역의 다른 시스템에서 그대로 사용할 수 있는 자동 로밍 기능이 점차적으로 요구된다. 즉, 차세대 시스템 단말기에서는 비동기 시스템(GSM, WCDMA, 3GPP Evolution)과 동기시스템(CDMA, 3GPP2 Evolution) 그리고 mobile WIMAX 및 WLAN 등의 모든 무선 표준 시스템에 언제, 어디서나 접속 가능한 Mobile 기기를 요구한다. 이러한 기술은 멀티 모드 멀티밴드 Mobile기술로 압축되어 표현

될 수 있는데, 소프트웨어적으로 다양한 주파수를 수신할 수 있는 SDR 플랫폼과 2G/3G/3.5G/4G 간의 끊김 없는 통화기능을 제공하기 위한 빠른 핸드오버 기술을 필요로 하며, 이러한 기능은 현재 논의되고 있는 많은 4G 차세대 표준화 회의에서 주요 이슈로 논의되고 있다.

한 예로 비동기 시스템의 진화방향인 SAE(System Architecture Evolution) 표준화에서는 하나의 Mobile 터미널로 3GPP 액세스 시스템 뿐만 아니라 non-3GPP 계열의 시스템으로도 이동성을 제공하는 All-IP(Internet Protocol) 시스템 설계를 목표로 3.9G 표준화를 진행하고 있으며, 2010년경 상용화를 목표로 현재 여러 통신사업자 및 Mobile 기기 회사에서 관련 기술이 개발되고 있다. 3GPP 계열의 진화된 네트워크에서는 하나의 Mobile 기기가 서로 다른 시스템을 이동하며, 끊기지 않은 멀티미디어 서비스를 제공 받을 수 있게 되며, 사용자는 장소의 구애를 받지 않고 언제 어디서나 양질의 IP 서비스를 받을 수 있게 된다. 사용자가 네트워크에서 제공받는 서비스 또한 각각의 통신시스템이 하나의 All-IP(Internet Protocol) 네트워크로 융합되어 Ubiquitous 서비스를 제공받게 되며, 사용자는 접속된 액세스 네트워크에 상관없이 특정 Traffic 서비스를 언제 어디서든 제공 받을 수 있게 된다. 이러한 융합 서비스에서는 서로 다른 형태의 IP Traffic이 사용자 대 서버, 사용자 대 사용자, 사용자 대 그룹 Traffic 형태로 혼합되어 다루어 지게 된다. 그리고 제공받는 서비스(예를 들면, Voice over IP, Web Browsing, Mobile Commerce)와 Traffic의 형태에 따라 QoS(Quality of Service) 레벨을 차등 적용하여

Traffic을 효과적으로 관리하게 된다.

이처럼 진화된 네트워크에서 융합된 서비스를 이동 중 하나의 단말로 제공 받기 위해서는 서로 다른 액세스 네트워크에 접속 가능한 멀티 액세스 기능을 Mobile 기기는 반드시 포함해야 한다. 따라서 서로 다른 주파수대역과 기저대역 Processing을 지원하기 위해서, 멀티밴드 멀티모드 동작이 가능한 SDR 플랫폼 및 재설정 가능한 Architecture 설계 그리고 Reconfigurable Digital Radio 기술을 필요로 하게 된다.

나. 기술 융합

최근 Mobile 기기의 융합 기술 경향은 기기 간 구분이 모호해 졌다는 점이다. 휴대폰을 게임기, Multimedia Player, 디지털 카메라, 캠코더 등으로 사용할 수 있고, 음악을 듣고 영화를 볼 수 있는 카메라도 대중화 되었으며 MP3 플레이어로는 간단한 게임과 e-Book도 즐길 수 있다. 이것은 반도체 집적 기술의 발달로 여러 멀티미디어 기능을 원활히 수행할 수 있는 다기능, 고성능 Mobile 프로세서가 대중화 되었고 그 종류도 매우 다양하기 때문이다.

이와 같이 한 Mobile 단말기에서 온갖 종류의 Multimedia Application 및 통신 기능을 수행하기 위해서, 많은 종류의 센서와 부품 및 전용 칩들이 집적되게 되었고 이들간의 고속 데이터 교환이 하나의 중요한 이슈가 되기 시작하고 있다. 칩 내의 성능은 매우 빠른 속도로 발전하고 있으나, 칩 간 그리고 기기간의 인터페이스는 그 발전 속도가 더디었기 때문이다. 또한 단말기에 내장되는 기능 소자의 수뿐 아니라, 칩 위에 집적되는 트랜지스터 및 메모리 용량이 기하급수적으로 증가하고 있

다. 이러한 성능적, 양적 증가는 필연적으로 단말 칩의 전력소비 증가를 초래하게 된다. 하지만 배터리에서 제공되는 전력용량은 크게 늘어나지 못하고 있으며, 항상 부족한 것이 현실이다. 따라서 단말 칩 설계에 있어서 가장 중요한 요소가 바로 저전력 설계이다. 다음 장에서는 이러한 기술 융합으로 발생하는 이슈인 고속 인터페이스 기술과 저전력 설계기술에 대해서 다룰 것이다.

2. 디지털 융합 핵심기술

가. Software Defined Radio

단말 개발 업체의 관점에서 SDR의 역할은 기능검증을 위한 원형(prototype) 단말의 역할을 넘어서 칩 크기 감소와 개발기간 단축을 통하여 경쟁력을 갖고자 하는데 있다. 하드웨어 기반의 다중모뎀 ASIC의 경우 다양한 표준을 지원하기 위해서는 칩 크기가 급격히 증가하는 것에 반하여, SDR 기반의 다중모뎀에서는 5개 이상의 표준을 지원하는 경우 하드웨어기반의 ASIC 대비 크기에 있어서 경쟁력을 갖고 있다고 알려져 있다^[1]. 또한 빠르게 변하는 표준에 대응 하기 위하여 Hardware기반의 모뎀은 매번 표준이 변화할 때 마다, RTL 코드 재설계, FPGA검증, Silicon Fabrication Re-spin을 거치면서 상당한 개발기간을 요하지만, SDR기반의 단말 모뎀은 프로세서의 성능이 지원하는 한도에서 소프트웨어 재설치를 통하여 빠르고 저비용으로 대응이 가능하다는 장점이 있다. 새로운 feature가 나올 때 마다 칩을 다시 만드는 것이 아닌 소프트웨어 업그레이드를 통하여 개발일정을

단축할 수 있는 것은 개발자의 관점에서 보았을 때 SDR의 가장 큰 매력이라고 할 수 있다. 상기와 같은 SDR의 주요 장점 외에 사업자의 관점이나 사용자의 관점에서도 무수한 장점을 가지고 있으나 소비전력, 계산량의 한계로 아직 상용화의 벽을 넘지 못하고 있다.

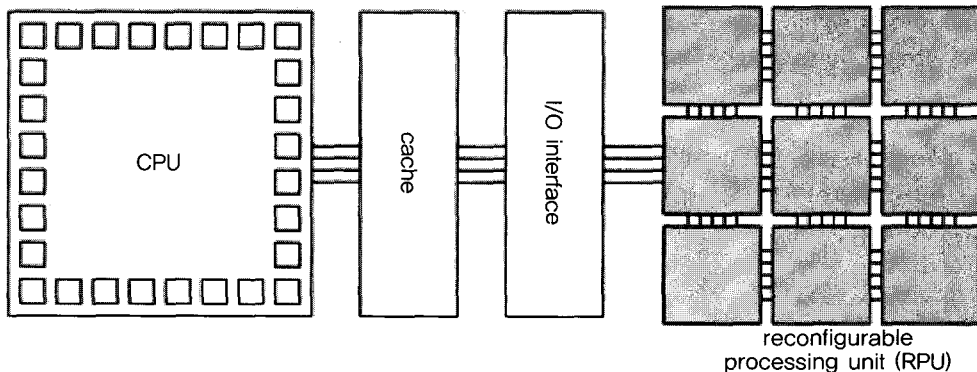
전형적인 하드웨어 기반의 모뎀에 대비하여 SDR 기반의 모뎀은 SIMD(Single Instruction Multiple Data) 구조의 DSP 기반과 다수의 재구성 가능한 PU(Processing Unit)들로 구성된 RP(Reconfigurable Processor) 기반으로 나누어질 수 있다. DSP기반은 또한 모든 기능을 DSP에서 Software로 처리하는 Full DSP방식과 물리계층의 기능을 Hardware로 구현한 HW assisted DSP방식으로 나뉜다.

Full DSP방식은 모뎀 솔루션들 중 유연성이 가장 뛰어난 방식이며, SandBridge, picoChip사와 같은 업체가 이러한 방식으로 접근하고 있다. 그러나 현재 DSP는 모든 기능을 Software로 처리하기엔 어려움이 있어 연산량이 많고 규격 변동이 적은 기능들을 하드웨어로 처리하고 Flexibility를 최대한으로 요구하는 부분은

DSP로 처리하는 Hardware assisted DSP 방식이 선호되고 있다.

Reconfigurable Processor는 하나 또는 그 이상의 프로세서와 메모리 그리고 이들을 연결시켜주는 Reconfigurable Fabric을 가진 구조로 이루어져 있다. 가장 일반적이고 상용화에 근접한 구조가 <그림 1>과 유사한 구조를 가진다.

RP의 핵심인 Fabric은 Granularity에 따라 크게 두 가지 종류가 있다. FPGA와 같이 비트수준 재구성을 할 수 있는 Fine-grained 구조와 ALU처럼 보다 큰 워드단위로 재구성할 수 있는 Coarse-grained 구조로 나뉜다. 구조적 측면에서의 추세는 Coarse-grained Fabric이 속도와 소모전력 면에서 유리하기 때문에 주로 연구 개발되고 있다. 또한 콤팩트나 Embedded DSP처럼 특정기능을 가지는 모듈과 범용 로직 리소스를 결합한 이중 구조가 추세이다. Icera, Morpho, NXP사와 같은 SDR업체들이 이 방식의 대표적인 예이다. SDR 기반 단말모뎀 상용화에 있어서 가장 문제가 되고 있는 부분 중의 하나가 소비전력이다. 실제로 Adaptix, Morpho 등의 업체에서 SDR 기반 기지국 모뎀을 상용화 하는데 성공한 것은 전력소모에



<그림 1> Reconfigurable System

대한 부담이 적은 기지국에서 가능하였으며, 아직까지 휴대단말용으로는 상용화에 성공한 사례가 없는 실정이다.

SDR 모델의 성능을 평가하기 위해 각 회사들은 MIPS(Million Instruction per Second), MMACS(Million Multiply-Accumulate operation per second), MOPS(Million Operation per second) 등 여러 기준의 Index자료를 제시하며, 타사 대비 성능 우위에 있음을 주장한다. 실제로 이러한 수치는 SDR칩의 동작 속도에(MHz)에 따라 결정되므로, 소비전력을 같이 비교해야 한다. 현재 대부분의 DSP는 약 10MOPS/mW 정도의 성능을 내고 있으며, 3G 표준의 경우 100MOPS/mW를 요구한다^[2]. 이는 모델의 소비전력을 300mW로 가정했을 때 약 30GOPS이상의 성능을 요구하는 것이다.

이동통신 시장에서 SDR에 대한 관심은 계속 증가되고 있는 추세이며, 이러한 관심은 SDR에서 진화된 개념인 Cognitive Radio로 이어가고 있다. 하지만, 휴대 이동 단말용으로 아직 상용화에 성공한 경우는 발표되지 않고 있으나 기지국용으로 상용화에 성공한 사례는 발표된 바가 있다. 제한된 배터리 전력을 이용하는 휴대 이동 단말에서 SDR용 프로세서는 얼마큼 전력소모를 최소화 하는가에 그 성공여부가 있는 것으로 여기어지고 있으며, 최소한의 전력소모로 최대한의 성능을 내기 위해 전세계적으로 다양한 연구가 진행되고 있다. 다양한 표준이 존재하게 될 미래에 SDR 기반 단말모델은 유연성과 확장성을 바탕으로 하드웨어 기반 모델 대비 가격 경쟁력에서 우위를 점할 것으로 예상되며, 4G로 가는 가교기술로서 그 역할을 할 것으로 예상된다.

나. RDR(Reconfigurable Digital Radio)

단말기용 RF IC는 현재 Quad-Band GSM Transceiver와 같이, 하나의 IC로 다양한 RF 주파수를 지원할 수 있는 Multiband RF가 상용화되어 있다. 이러한 RF IC는 입출력 Amplifier와 같이 주파수에 따라 특성 변화가 심한 블록은 각각의 band에 대하여 개별적으로 설계되어 있으며, 광대역 특성을 가지는 회로들은 공용으로 사용하는 구조를 가지고 있다. Multiband RF와 더불어 이를 Digital Domain에서 구현하기 위한 연구 또한 끊임없이 이루어지고 있다.

RDR은 하나의 Transceiver chain을 사용하여 서로 다른 주파수, Signal bandwidth 그리고 Modulation 방식을 지원할 수 있는 것을 이야기 한다. Variable Gain Amplifier나 Low Pass Filter 등과 같은 Analog 회로를 Digital로 구현하게 되면, Direct conversion 구조에서 전통적으로 가지고 있는 문제점인 DC-offset과 I/Q 신호 간의 Phase 및 Amplitude Mismatch 역시 감소시킬 수 있다.

Analog baseband 부분인 Low Pass Filter와 Variable Gain Amplifier 뿐만 아니라 Down-/Up-converter 역시 digital domain에서 처리하는 구조를 제시되었다^[3]. 이를 위해서는 RF Nyquist Rate으로 동작하는 ADC (Analog-to-Digital Converter)를 필요로 하게 된다. ADC의 발전 추세는 2년에 6dB 정도의 SNDR(Signal-to-Noise-and-Distortion Ratio) 향상을 예상할 수 있다^[4]. 따라서 Mitola가 제시한 이론^[3]을 구현하기 위해서는, 고사양의 ADC가 가장 큰 걸림돌이 된다고 할 수 있겠다.

고성능의 ADC를 필요로 하지 않는 구조로써는, I/Q신호를 신호처리를 통해 Amplitude 신호와 Phase 신호로 분리하고 이를 각각

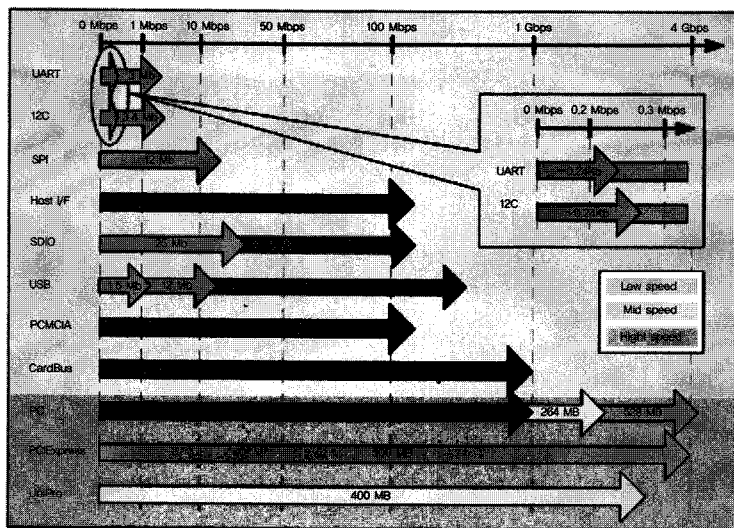
처리한 후에 다시 합성하는 Polar Transmitter 구조나⁶⁾, Windowed Integration Sampler를 이용해 Anti-alias Filtering을 이용하여 Analog Baseband를 Digital화 하는 연구가 계속 되고 있다⁵⁾. 따라서, 향후 RF Amplifier와 ADC 혹은 DAC를 제외한 나머지 모든 부분을 Digital화 하는 노력은 계속 될 것이며, 이로 인하여 CMOS 공정 변화에 따라 얻을 수 있는 이익을 극대화 할 뿐 아니라 개발 기간 단축 역시 기대할 수 있을 것이다.

다. High speed interface

최근 Mobile 기기에서 하향링크 및 상향링크 서비스 속도에 대한 소비자의 욕구가 증가되면서 이를 지원하기 위한 Baseband MODEM의 처리 능력도 향상되고 있다. 3GGP Alliances에서는 이동 중에 고속 데이터 수신을 목적으로 LTE(Long Term Evolution) 표준화를 진행하고 있고 2010년경에 상용화를 할 경우 하향링크 기준으로 100Mbps 이상의 데이터 서비스가

요구된다. 또한 최근 휴대 단말의 기능 다양화 (Multimedia 지원, DMB 등) 및 고성능 추세로 휴대 단말 내부에 관련 기능의 칩이 내장되고, 내장된 칩과 휴대 단말의 host 칩과 연결이 중요한 부분으로 부각되기 시작했다. 더불어 휴대 단말의 슬림화의 요구도 증가하여 칩간의 적은 핀 수로 고속의 데이터와 상대적으로 적지만 컨트롤 및 로그 정보를 주고 받기 위한 인터페이스가 중요한 부분이 되고 있다.

일반적으로 Modem 칩에서 사용하는 인터페이스로는 UART, I2C, SPI(Serial Parallel Interface)과 같은 저속 인터페이스와 SDIO, USB, PCMCIA, CardBus 등과 같은 고속 인터페이스로 나눌 수 있다 <그림 2>. UART는 최대 전송 속도는 1Mbps로서 칩 자체의 진단 목적이나 AP(Application Processor)와의 Command 채널로 활용된다. I2C는 Modem 칩이 RFIC를 제어하거나 AP가 Modem 칩을 조절하는 용도로 사용되며 역시 1Mbps이하의 속도로 사용된다. AP와의 데이터 전송 용도로 가장 일반적으로



<그림 2> Reconfigurable System

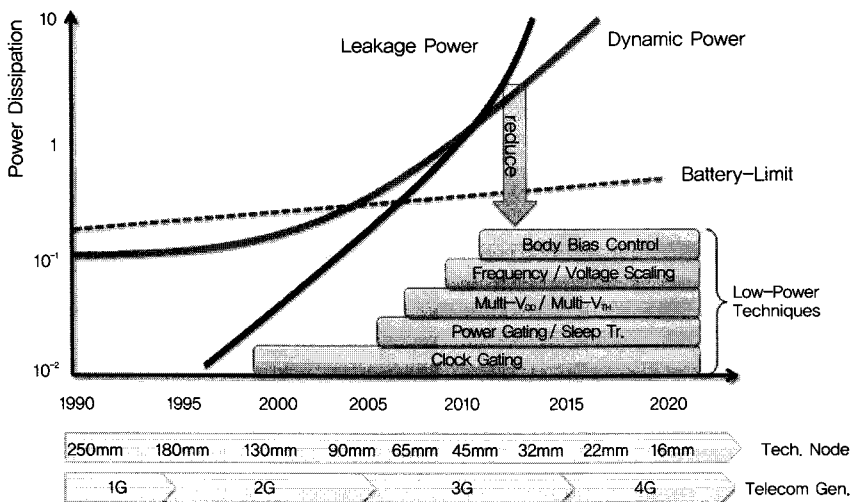
사용되는 직렬 인터페이스는 SPI 이다. (최대 전송 속도 = 20Mbps) 더 높은 속도를 요구하는 Application 용도의 인터페이스 기술로는 SDIO, USB, PCMCIA, CardBus 등이 있다. 전송 속도는 Clock 속도와 데이터 버스 비트 수에 의해 결정된다. SDIO와 USB는 PCMCIA나 Cardbus와 달리 적은 수의 핀으로(USB는 4핀, SDIO는 5~6핀) 각각 최대 200Mbps 및 480Mbps까지 지원 가능하다. (실제적으로는 100Mbps 정도로 사용되는 것이 일반적이다.) PCMCIA, Card BUS는 일반적으로 실장 면적이 충분하고 고속을 요구하는 기기에 적용 사용된다. 예를 들어서 Mobile WiMAX를 지원하는 휴대용 기기의 인터페이스 기술로 채택되어 사용되고 있다. 1Gbps 이상을 요구하는 기기에 적용 될 수 있는 PCI Express, MIPI(Mobile Industrial Processor Interface) 기술도 속속 개발되고 있다. 두 기술 모두 1Gbps 이상의 전송 속도를 지원하면서 사용되는 핀수도 최소화 시킨

것이 주요 특징이다.

MIPI Alliance에서는 위에서 언급한 모든 인터페이스 기술을 하나의 표준으로 통합하는 작업을 진행하고 있다. 고속 인터페이스가 요구되는 Display, MODEM, Graphic, Camera 기기를 위해서 UniPro(Unified Protocol)라는 통합 프로토콜 표준을 진행하고 있고 저속 인터페이스를 위해서는 LML(Low speed Multipoint Link)이라는 통합 프로토콜 표준을 진행하고 있다. 이러한 개방된 표준 인터페이스 기술이 완성되는 시점에서 저전압을 이용한 LVDS (Low Voltage Differential Signaling) 기술과 접목되어 보편화 될 것이다.

라. Low Power

무선 통신 기술의 발전으로 전송 대역폭이 날로 증가함으로써 단말 모뎀에서 처리되어야 하는 데이터의 양과 전력 소비량도 그와 비례하여 꾸준히 증가하고 있다. 최근 MIMO



〈그림 3〉 전력 증가 추세

〈표 1〉 구현 수준별 저전력 기술 [7] [8]

Device	Circuit/Logic	Architecture	System/Runtime
<ul style="list-style-type: none"> · Tr/Interconnect Sizing · VTCMOS · Multi-Vt · Multi-Tox · SOI · High-K · Metal Gate · Dual Gate · FinFET/3D Tr 	<ul style="list-style-type: none"> · MTCMOS · Clock Gating · Multi-VDD · State Assignment · Don't Care Opt. · Path Balancing · Encoding · Retiming · Pre-computation · Tr Reordering 	<ul style="list-style-type: none"> · Low-Power Memory · Parallelism & Pipelining · GALS · Power Aware H/W and S/W partitioning · Buffer Size Opt. 	<ul style="list-style-type: none"> · Adaptive Voltage Scaling · Body Bias Control · DVFS · Instruction-Level Opt. · Control-Data Flow Transformation · Approximate signal processing

(Multiple Input Multiple Output) 기술의 도입으로 다수개의 Antenna, Power Amplifier 및 Transceiver가 사용됨으로써, 그 전력 소비가 배가되고 있다. 또한 휴대기기의 경박단소화 추세로 인하여, 칩에서 발생하는 열을 외부로 방출하기 위한 공간이 거의 사라지게 되어 단말 칩의 저전력 설계가 절실히 요구된다.

〈그림 3〉은 Mobile 기기에서 소모되는 전력량을 반도체 공정 Node 및 통신 세대의 발전에 따라, Dynamic 전력과 Leakage 전력을 구분하여 나타낸 것이다. 배터리 용량은 크게 늘리지 못하지만, 필요로 하는 Dynamic 전력과 불필요하게 소모되는 Leakage 전력이 빠른 추세로 증가하게 될 것이다. 따라서 이를 감소시키기 위한 여러 가지 저전력 기술들이 제안되고 적극적으로 상용 칩들에 적용되고 있다.

〈표 1〉은 직간접적으로 적용 가능한 저전력 기술들을 SoC의 각 구현 수준에 따라 분류한 것이다. 대부분의 기술들은 시스템의 성능과 칩 면적, 소프트웨어 개발 등에

영향을 미치지 때문에, 그 전력감소 효과와 이로 인한 System Overhead를 정확히 파악하여 적용해야 한다. 최신의 Technology node 공정을 사용하게 될 경우, Dynamic 전력은 상당히 감소시킬 수 있으나, Leakage 전력이 크게 증가하여 많은 문제가 되고 있으며, 이를 위한 Device 및 Circuit 수준의 다양한 저전력 기술들이 제안되고 있다. [7, 8]

Device 및 Circuit 수준의 저전력 기술들은 현재 공정 기술 및 EDA Tool의 발달로 많은 효과를 거두고 있다. 하지만 Architecture 및 System 수준에서의 Power-Aware Design 방법론이 Physical 수준의 저전력 기술들보다 더 효과가 크다. 따라서 Mobile SoC 설계의 모든 단계에서 저전력 설계가 이루어져야 하며, 표준, Protocol 및 Architecture 설계에서부터 시작되는 Top-down 방식의 저전력 설계가 요구된다.

III. 결론

본 고에서는 Mobile 기기에서 최근 활발히 진행되고 있는 멀티미디어 및 통신 서비스의 융합 과정의 경향과 이러한 다중 서비스를 하나의 기기에서 모두 지원하기 위한 디지털 기술 융합의 동향과 그 요구사항들을 살펴보았다. Mobile 기기에서의 궁극적인 융복합 모델 형태로 볼 수 있는 Software-Defined-Radio의 여러 구현 방식을 예시하였고 그 장단점에 대해 진단해 보았다. 또한 고속 복합 Mobile 기기에서 심각한 문제가 되는 고속 인터페이스 기술과 저전력 설계 기술들에 대해 알아보았다.

다양한 표준이 존재하게 될 가까운 미래에 SDR 기반의 다중 복합 단말 모델은 차세대 4G 통신기술을 가능케 하는 가교 기술이다. 하드웨어 기반의 다중 단말 모델과 비교하여 개발 기간과 비용 면에서 우월하며, 앞에서 제시한 시스템 수준의 저전력 설계 기술과 고속 인터페이스 기술들을 적극 활용한다면 수년 내에 상용화 단말 수준으로 구현될 것으로 전망 된다.

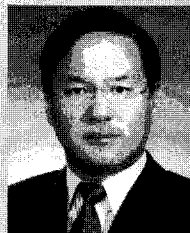
참고문헌

- [1] U.Ramacher. Software-Defined Radio Prospects for Multistandard Mobile Phones. Computer. IEEE Computer Society. Oct 2007.
- [2] Y.Lin et al. SODA: A High-Performance DSP Architecture for Software-Defined Radio. IEEE Micro. IEEE Computer Society. Jan-Feb. 2007.
- [3] J. Mitola, "The software radio architecture",

IEEE Communications Magazine, May 1995, pp. 26-38.

- [4] R. Walden, "Analog-to-digital converter survey and analysis", IEEE J. on Selected Areas in Communications, pp.539-550, April 1999.
- [5] R. Bagheri, et al., "An 800-MHz-6-GHz Software-Defined Wireless Receiver in 90-nm CMOS", IEEE J. of Solid-State Circuits, pp. 2860-2876, Dec. 2006
- [6] R. Staszewski, et al., "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS", IEEE J. of Solid-State Circuits, pp. 2278-2291, Dec. 2004
- [7] D. Sylvester, et al., "Computer-Aided Design for Low-Power Robust Computing in Nanoscale CMOS," The Proc. of IEEE, vol. 95, No. 3, pp 507-529, Mar. 2007
- [8] Nam-Sung Woo, "SoC for Mobile Solution," Keynote in IEEE ISOC 2007.

저자소개



김 경 호

1984년 2월 연세대학교 전자공학 학사
 1987년 2월 KAIST 전기전자공학 석사
 1991년 2월 KAIST 전기전자공학 박사
 2006년 2월 IEEE Sensor 멤버
 현재 삼성전자 통신연구소 상무

주관심 분야 : 차세대 무선 통신, 무선엔지니어링, 디지털 신호처리, WLAN이동통신용 모델링, 단말 무선 부품