

나노급 다결정 실리콘 기판 위에 형성된 니켈실리사이드의 물성과 미세구조

김종률^{1*}, 최용윤¹, 송오성¹

Property and Microstructure Evolution of Nickel Silicides on Nano-thick Polycrystalline Silicon Substrates

Jong-Ryul Kim^{1*}, Young-Youn Choi¹ and Oh-Sung Song¹

요약 10nm Ni/30 nm와 70nm poly Si/200nm SiO₂/Si(100) 구조로부터 니켈실리사이드의 열적안정성을 연구하기 위해 캐속열처리기를 이용하여 실리사이드화 온도 300~1100℃에서 40초간 열처리하여 실리사이드를 제조하였다. 준비된 실리사이드의 면저항값 변화, 미세구조, 상 분석, 표면조도 변화를 각각 사점면저항측정기, FE-SEM, TEM, HRXRD, SPM을 활용하여 확인하였다. 30 nm 다결정실리콘 기판 위에 형성된 실리사이드는 900℃ 까지 열적안정성이 있었다. 반면에 70 nm 다결정실리콘 기판 위에 형성된 실리사이드는 기존연구결과와 동일한 700℃ 이상에서 고저항상인 NiSi₂로 상변화 하였다. HRXRD로 확인한 결과, 30 nm 두께의 기판 위에 니켈실리사이드는 900℃ 고온에서도 NiSi상이 유지되다가 1000℃에서 NiSi₂로 상변화 하였다. FE-SEM 과 TEM 관찰결과, 30 nm 두께의 다결정실리콘 기판에서는 700℃의 저온처리에는 잔류 다결정실리콘 없이 매우 균일하고 평탄한 40 nm의 NiSi가 형성되었고, 1000℃에는 선풍 1.0 μm급의 미로형 응집상이 생성됨을 확인하였다. 70 nm 두께의 다결정실리콘 기판에서는 불균일한 실리사이드 형성과 잔류 다결정실리콘이 존재하였다. SPM결과에서 전체 실험구간에서의 RMS 표면조도 값도 17nm 이하로 CMOS공정의 FUSI게이트 적용의 가능성을 보여주었다. 다결정실리콘 게이트의 높이를 감소시키면 니켈실리사이드는 상안정화가 용이하며 저저항구간을 넓힐 수 있는 장점이 있었다.

Abstract We fabricated thermally-evaporated 10 nm-Ni/30 nm and 70 nm Poly-Si/200 nm-SiO₂/Si structures to investigate the thermal stability of nickel silicides formed by rapid thermal annealing(RTA) of the temperature of 300~1100℃ for 40 seconds. We employed for a four-point tester, field emission scanning electron microscope(FE-SEM), transmission electron microscope(TEM), high resolution X-ray diffraction(HRXRD), and scanning probe microscope(SPM) in order to examine the sheet resistance, in-plane microstructure, cross-sectional microstructure evolution, phase transformation, and surface roughness, respectively. The silicide on 30 nm polysilicon substrate was stable at temperature up to 900℃, while the one on 70 nm substrate showed the conventional NiSi₂ transformation temperature of 700℃. The HRXRD result also supported the existence of NiSi-phase up to 900℃ for the Ni silicide on the 30 nm polysilicon substrate. FE-SEM and TEM confirmed that 40 nm thick uniform silicide layer and island-like agglomerated silicide phase of 1 μm pitch without residual polysilicon were formed on 30 nm polysilicon substrate at 700℃ and 1000℃, respectively. All silicides were nonuniform and formed on top of the residual polysilicon for 70 nm polysilicon substrates. Through SPM analysis, we confirmed the surface roughness was below 17 nm, which implied the advantage on FUSI gate of CMOS process. Our results imply that we may tune the thermal stability of nickel monosilicide by reducing the height of polysilicon gate.

Key Words : Ni silicide, silicide, fluxtronics, nano-thick, thermal stability.

본 논문은 2007년도 정부(과학기술부)의 재원으로 한국 과학재단의 지원을 받아 수행된 연구임
(No. R01-2007-000-20468-0).

¹서울시립대학교 신소재공학과

*교신저자: 김종률(sngh1211@uos.ac.kr)

1. 서론

실리사이드는 실리콘과 천이금속이 정량적인 화학비로 결합한 중간상 물질로서, CMOS(complementary metal oxide semiconductor) 소자의 트랜지스터 게이트 상부와

소오스/드레인 상부에 선택적으로 형성시켜 배선층과의 접촉저항을 감소시키고자 사용되어, 최근에는 대부분의 고급 CMOS소자에 채용되는 추세이다. 또한 실리사이드는 금속과 반도체간의 오믹컨택을 유지시켜 트랜지스터의 속도를 향상시키는 역할 외에도 금속 배선층과의 확산방지층 역할을 하여 트랜지스터의 수명을 연장시키고, 공정적 측면에서는 트랜지스터와 금속배선층 사이를 연결하기 위한 ILD(inter layer dielectric)층 건식식각에서 게이트와 소오스/드레인간의 높이 차이를 해결할 수 있는 에치 스톱핑 층(stopping layer) 역할을 할 수 있어 나노급 선폭을 가진 소자에서도 점점 중요한 단위공정이 되고 있다 [1~3].

게이트 상부와 소오스/드레인 상부에만 선택적으로 형성되어야 하는 실리사이드는 살리사이드(salicide : self-aligned silicide) 공정으로 구현되는데, 살리사이드는 말 그대로 마스크 없이 자체적으로 실리사이드가 위치하게 하는 공정이다. 살리사이드 공정의 개요는 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에 전이금속을 성장시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화 시키고 잉여의 금속을 제거하는 공정으로 이미 대부분의 최소선폭 0.25 μm 이하의 CMOS 단위공정으로 채택되고 있다. 게이트 선폭이 작아지면서 실리사이드 물질도 초기의 WSi_x 가 개발된 이후 [4] TiSi_2 [5], CoSi_2 [6]가 사용되었으며 최근 들어 NiSi 가 가장 많이 쓰이고 있다 [7,8]. 니켈모노실리사이드는 낮은 온도 ($\sim 450^\circ\text{C}$)에서도 형성이 가능하므로 작은 열응력을 가질 수 있고, 하나의 니켈과 실리콘이 반응하므로 실리사이드 반응시의 부피팽창이 작은 특성을 가지므로 나노급 박막을 요구하는 ULSI에 매우 적합한 특징을 가졌다. 그러나 실리사이드공정 이후 후속 공정온도가 700°C 이상이면 NiSi 가 고저항의 NiSi_2 로 상변화 되어 후속 공정온도를 700°C 이하로 한정시켜야 하는 문제가 있었다. 그럼에도 불구하고 이러한 문제점을 극복하기 위해 Zr, Ir 등과 같은 3원소를 첨가에 의해 안정화 온도가 넓어지는 연구 보고 [9,10]가 계속되고 있으므로 앞으로도 NiSi 는 나노급 CMOS소자의 실리사이드로 계속 채용될 전망이다.

실리사이드와 관련된 최근의 연구로는 다결정실리콘으로 만들어진 통상의 게이트를 전부 살리사이드 공정으로 실리사이드화 함으로써 게이트의 전극 비저항을 다결정실리콘의 1/3정도로 감소시키려는 FUSI (fully silicide) 게이트가 활발하다 [11,12]. 50 nm 선폭을 가진 FUSI 게이트를 위해서는 다결정실리콘 층의 두께가 30~70 nm 정도가 예상되고 있다.

따라서 본 연구에서는 0.1 μm 이하의 트랜지스터의 최적화된 FUSI 게이트 높이로 예측하기 위해 70 nm 와 30

nm 두께의 다결정실리콘 층에 10 nm 두께의 Ni을 열증착기로 성장하고 니켈 실리사이드화 함으로써 실리사이드화 온도에 따른 전기저항의 변화와 수직단면미세구조의 변화를 확인하여보았다.

2. 실험방법

실험에 사용된 기판은 직경 100 mm, 두께 550 μm 의 p-type(100) 단결정실리콘 웨이퍼로서 세척을 마친 기판 전면에 200 nm의 열산화막을 성장 시켰다. 저압 화학 기상증착기(low pressure chemical vapor deposition : LPCVD)를 사용하여 다결정실리콘을 기판 전면에 30 nm, 70 nm의 두께로 성장하여 다결정실리콘으로 구성된 게이트를 상정하였다. 각 기판에 자연 산화막을 제거하기 위해 시편은 증착 직전에 RCA세정과 HF 세정을 이용하여 유기불순물과 자연산화막을 완전히 제거한 후 Ni을 10 nm 두께로 열증착기(thermal evaporator)를 이용하여 연속적으로 증착시켜 그림 1과 같이 최종적으로 10 nm-Ni/(30 nm와 70 nm)-poly Si/200 nm-SiO₂/single-Si 구조의 시편을 준비하였다. 완성된 시편들은 10^{-3} torr의 진공에서 7쌍의 할로겐램프로 구성된 쾌속열처리기(rapid thermal annealing : RTA)를 활용하여 $300\sim 1100^\circ\text{C}$ 의 조건에서 40초간 열처리하여 실리사이드가 생성되도록 하였다. 열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80°C 에서 30%-황산(H_2SO_4)에 10분간 담가 처리하였다.

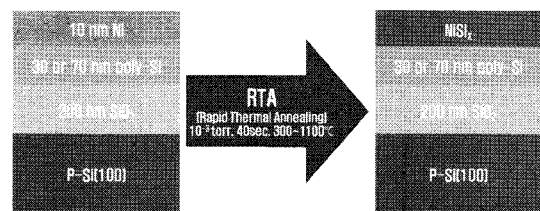


그림 1. 니켈실리사이드 시편 준비 공정.

완성된 시편은 각 구조별, 실리사이드화 온도별로 전기저항 변화를 확인하기 위해서 사점전기저항측정기(four point probe, (주)창민, CMT-SR1000N)를 이용하여 상하좌우중심(TCBRL) 위치에서 면저항(sheet resistance : Rs)을 측정하고 평균값으로 판단하였다.

시편상부에 형성된 실리사이드 형상을 확인하기 위해서 Hitachi사의 FE-SEM(field emission scanning electron microscopy)을 이용하여 미세구조를 관찰하였다. 전처리 공정으로는 시편의 전도성을 좋게 하기 위해 표면에 Pt 코팅을 15 nm 두께로 실시 후 FE-SEM의 메인 챔버에 장

입하여 15 kV 가속전압을 사용하여 배율 ×10000에서 관찰하였다.

TEM을 이용하여 준비된 시편들의 수직단면을 관찰하였다. 수직단면 관찰용 TEM 시편 제작방법은 2×10 mm로 자른 두 조각의 실리사이드 층이 완성된 실리콘 시편을 실리사이드면이 서로 마주보도록 접착제로 접착하여 직경 3 mm 인 황동 튜브에 맞도록 초음파로 잘라내어 튜브 내경에 맞도록 접착시켰다. 시편이 장입된 황동 튜브의 양쪽을 정밀 연마기로 연마하여 최종 두께가 20 μm 가 되도록 하여 디스크형 가공을 완료하였다. 두께가 얇아진 디스크형 시편을 다시 딤플러를 이용하여 디스크 중심부에 위치한 실리사이드층의 단면부의 두께가 0.25 μm 가 되도록 하였다. 최종적으로 디스크시편은 PIPS(precision ion polishing system)을 사용하여 시편의 중심부가 전자빔에 투명한 100 nm 두께가 되도록 정밀 연마를 실시하였고, 시편을 JEOL 200 kV 투과전자현미경에 장입하여 실리사이드 층을 명시야상(bright field image)으로 관찰하여 두께와 미세구조를 확인하였다.

생성된 상을 확인하기 위해서 X-선 회절분석(BRUKER)을 이용하였다. X선 소소스는 니켈 필터를 통과시켜 얻은 Cuka로 파장은 1.5406 Å이며, 전류는 30 mA, 가속전압은 40 kV이었다. 완성된 시편이 나노급 박막인 점을 고려하여 θ를 3°로 고정된 glancing 모드로 측정하였고, 스캔영역은 JCPDS(joint committee powder diffraction standards)카드 상에 나타나있는 니켈실리사이드를 고려하여 2θ를 20~80° 범위에서 700℃~1000℃ 40초간 열처리한 시편의 상을 분석하였다. 얻어진 XRD curve에서 JCPDS 카드를 이용하여 상을 분석하였다.

실리사이드 공정에 따른 실리사이드층의 표면조도의 변화를 확인하기 위해 SPM(scanning probe microscope, PSIA XE-100)을 이용하여 5×5 μm² 범위를 접촉방식(contact mode)으로 스캔하여 RMS(root mean square)를 측정함으로써 실리사이드 박막의 표면의 균일성을 정량화하였다. 측정된 표면조도 값은 실리사이드화 온도에 따라 나타내었고 XE-100의 소프트웨어를 이용하여 각 시편의 RMS값은 1 μm 길이의 5개 수평선(horizontal line)을 설정하여 이들의 평균값으로 결정하였다.

3. 실험결과 및 토의

그림 2는 게이트를 상정한 30 nm 와 70 nm-poly 위에 10 nm Ni을 증착하여 RTA로 300~1100℃, 40초간 실리사이드 형성하여 면저항값을 그래프로 나타내었다. 70 nm 다결정실리콘 층의 상부에 생성된 니켈실리사이드 면

저항은 이미 잘 알려진 바와 같이 450~700℃에서만 저저항을 보이고 그 외에 영역에서는 300Ω/□ 이상의 큰 면저항을 보였다 [7,8]. 한편 30 nm 다결정실리콘 층에 생성된 니켈실리사이드는 300~900℃까지 50Ω/□ 이하의 저저항을 보이다가 950℃이상에서 고저항으로 변화되는 특징이 있었다. 이는 니켈모노실리사이드의 안정화 구간을 크게 하기 위해서 기존의 제3원소의 삽입 등의 방법이 아니라 다결정실리콘 게이트의 높이가 30 nm 정도로 낮아지면 기존 70 nm 이상의 다결정실리콘 기판에 비해 200℃이상 개선될 수 있다는 것을 의미한다. 이러한 개선의 원인은 후에 보일 미세구조와 HRXRD 데이터와 같이 다결정실리콘기판의 두께 감소에 의해 상변태를 위한 구동력이 작아질 수 있기 때문으로 판단되었다. 또한 30 nm 다결정실리콘 기판을 채용하면 300℃까지의 저온에서도 저저항 니켈실리사이드가 형성되어 플렉트로닉스(fluxtronics) 용도의 저온용 기판에 채용될 수 있는 저온실리사이드 공정개발이 가능함을 의미하였다.

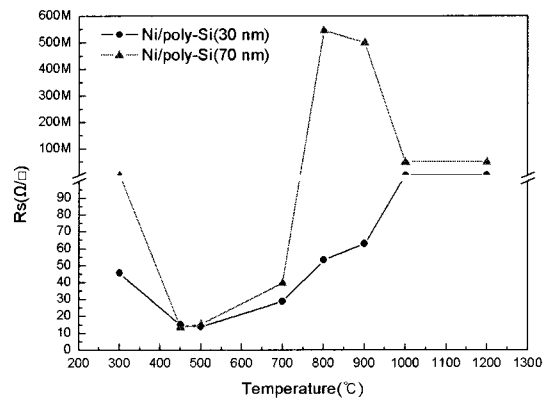
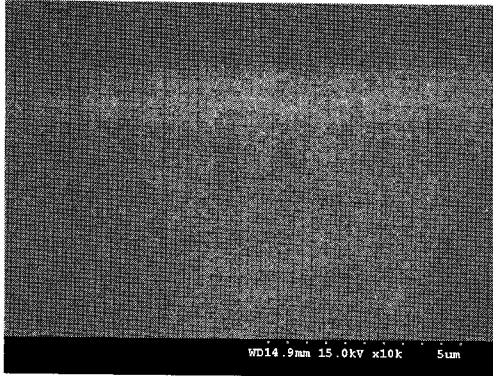


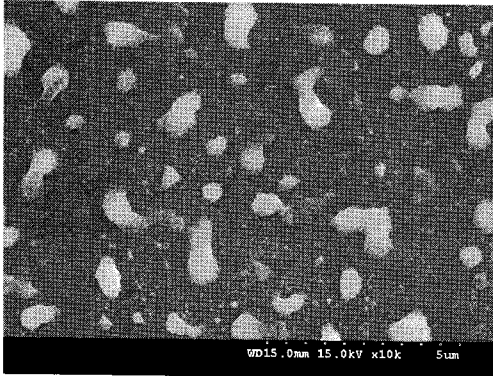
그림 2. 두께 30 nm와 70 nm 다결정실리콘기판 위에 형성된 니켈실리사이드의 쾌속열처리온도에 따른 면저항값 변화.

그림 3에는 30 nm와 70 nm 두께의 다결정실리콘 기판 위에 생성된 니켈실리사이드의 FE-SEM 이미지를 나타내었다. (a)의 30 nm 두께의 700℃로 쾌속열처리한 경우는 매우 균일한 표면임을 보이며 고배율에서도 특징지를 만한 응집상이 나타나지 않았다. 동일한 방법으로 800℃와 900℃로 쾌속열처리한 경우의 FE-SEM 이미지 관찰 결과로 700℃와 거의 비슷한 이미지를 보였다. (b)의 1000℃로 쾌속열처리한 니켈실리사이드는 폭 1.0 μm 정도의 괴상 응집상이 관찰되었으며 매우 작은 100 nm 정도의 구형 응집상들도 함께 관찰되었다. 이러한 실리사이드 응집상의 출현으로 실리사이드가 전기적으로 고립되어 면저항값이 급격하게 증가된 것으로 판단되었다. (c)의 70

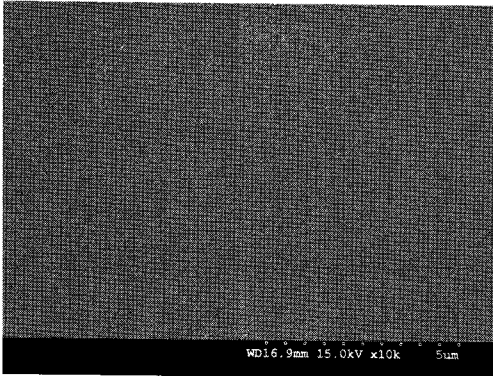
nm 두께의 700℃ 처리한 니켈실리사이드는 (a)와 마찬가지로 매우 균일한 표면을 나타내었다. 그러나 (d)와 같이 1000℃로 처리한 경우는 100 nm 정도의 폭을 가진 미로형 평면상을 확인하였다. 이러한 실리사이드의 미로형 평면상 구조가 발생하여 앞서 보인 (b)와 같이 고온에서 실리사이드의 응집으로 인한 면저항값이 급격하게 증가되며 NiSi₂ 상구조로 변태된다고 판단되었다.



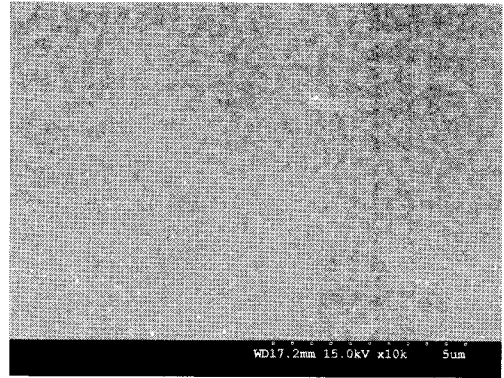
(a)



(b)



(c)



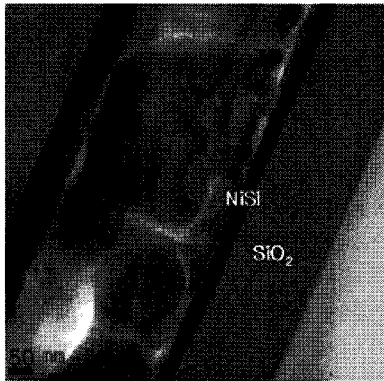
(d)

그림 3. 다결정실리콘기판 위에 형성된 니켈실리사이드의 FE-SEM 이미지 ;

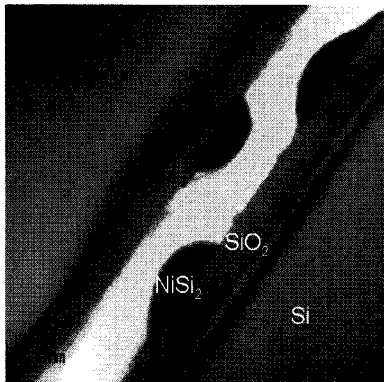
- (a) 30nm 다결정실리콘기판, 700℃ 처리,
- (b) 30nm 다결정실리콘기판, 1000℃ 처리,
- (c) 70nm 다결정실리콘기판, 700℃ 처리,
- (d) 70nm 다결정실리콘기판, 1000℃ 처리.

그림 4는 그림 3에서 확인한 30 nm, 70 nm 두께의 다결정실리콘 기판 위에 형성된 동일한 니켈실리사이드들의 수직단면 투과전자현미경 이미지를 나타내었다. (a)의 30 nm 두께의 700℃로 쾌속열처리한 경우는 약 40 nm의 매우 균일한 NiSi가 형성되었음을 보이고 모두 SiO₂와의 계면에 남아있는 다결정실리콘 없이 NiSi로 되어 FUSI 게이트로서의 가능성을 보였다. (b)의 30 nm 두께의 1000℃로 쾌속열처리한 경우는 폭 1 μm 정도의 니켈실리사이드 응집상이 관찰되었고, 고배율로 확인한 결과는 각 응집상들은 10 nm 정도의 실리사이드가 관찰되었으며 부분적으로 연결이 단락되어 있음을 확인하였다. 또한 각 실리사이드 응집상과 SiO₂계면사이에는 잔류된 다결정실리콘은 없었다. 따라서 앞서 보인 30 nm에서 1000℃에서의 고저항은 이렇게 고립된 실리사이드 상이 서로 전기적으로 고립된 미세구조를 가지기 때문이라고 확인할 수 있었다. 또한 나노급 선폴을 가진 FUSI 게이트에서는 이러한 응집효과가 매우 불리할 것으로 예상되었다. (c)의 70 nm 두께의 다결정실리콘기판을 700℃로 처리한 경우는 약 20 nm의 NiSi가 다결정실리콘 상부에 불균일하게 생성됨을 보이고 있다. (a)와 비교하여 잔류 다결정실리콘이 약 50 nm 남은 것을 보이며 따라서 통상의 살리사이드 공정조건으로 70 nm 정도의 다결정실리콘 게이트를 FUSI 게이트화 하는 것은 매우 어렵다고 예상되었다. (d)의 70 nm 두께의 다결정실리콘기판은 1000℃로 처리한 경우를 나타내었다. 약 30 nm의 NiSi₂가 다결정실리콘 상부에 생성되었고 약 100 nm 정도의 주기를 가진 응집현상이 보

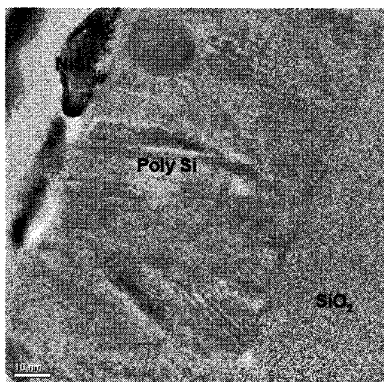
이지만, 앞서 보인 (b)의 과도한 응집상과는 확연히 구분되었다. 따라서 나노급 다결정실리콘 기판에서 실리사이드화 처리를 하는 경우에는 잔류 다결정실리콘이 남는 문제와 응집현상이 발생하므로 니켈실리사이드를 FUSI 게이트로 상정하여 30 nm 높이의 다결정실리콘 게이트에 제조하는 경우는 공정온도를 700°C이하의 저온으로 처리하는 것이 바람직하였다.



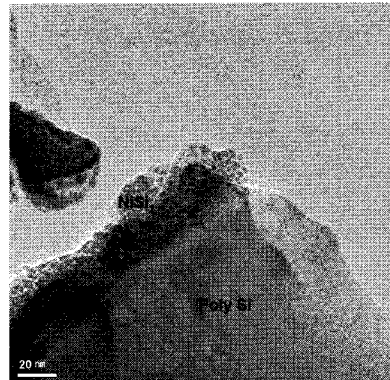
(a)



(b)



(c)



(d)

그림 4. 30 nm와 70 nm-poly/200 nm-SiO₂ 기판위에 형성된 니켈실리사이드의 수직단면 투과전자현미경 이미지 ; (a) 30 nm 다결정실리콘 기판, 700°C 처리, (b) 30 nm 다결정실리콘 기판, 1000°C 처리, (c) 70 nm 다결정실리콘 기판, 700°C 처리, (d) 70 nm 다결정실리콘 기판, 1000°C 처리.

그림 5에는 각각 30 nm 두께의 다결정실리콘 기판 위에 700°C, 800°C, 900°C 그리고 1000°C로 형성된 니켈실리사이드와 70 nm 두께의 다결정실리콘 기판 위에 700°C와 1000°C로 형성된 니켈실리사이드의 생성된 상을 정확한 판별을 위해 2θ = 40°~60° HRXRD 결과를 나타내었다. (a)에는 30 nm 두께의 다결정실리콘 기판 위에 형성된 니켈실리사이드는 모두 56°의 Si(311) 피크(●표시)를 제외하고, 700°C, 800°C, 그리고 900°C 열처리구간에서는 47.79°에서 저저항상인 NiSi(211) 피크(▲표시)가 관찰되었으나, 1000°C에서는 앞서 설명한 HRXRD 피크와 다른 48.29°에서 고저항상인 NiSi₂(220) 피크(▼표시)가 나타났다. (b)에는 70 nm 두께의 다결정실리콘 기판 위에 형성된 니켈실리사이드는 (a)와 같은 모두 56°의 Si(311) 피크, 700°C 47.79°에서 저저항상인 NiSi(211) 피크, 그리고 1000°C 48.29°에서 고저항상인 NiSi₂(220) 피크가 동일하게 관찰되었다. 30 nm 두께 다결정실리콘 기판 위에 형성된 니켈실리사이드는 기존 연구보고[9]에서 70 nm 두께 다결정실리콘 기판에서 열처리온도가 700°C 이상이면, 저저항상인 NiSi에서 고저항상인 NiSi₂의 상변화 한다는 사실과 다르게 900°C의 고온에서도 NiSi로 유지됨을 확인하였다. 따라서 앞서 보인 30 nm 다결정실리콘 기판에서 면저항이 급격히 증가하는 것은 니켈실리사이드의 응집에 의한 고립된 섬 구조의 미세구조를 가지기 때문이라고 판단되었다.

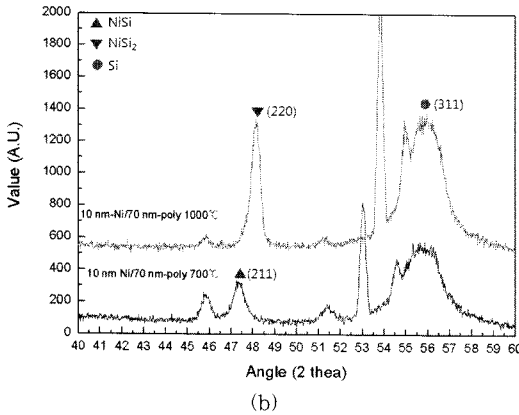
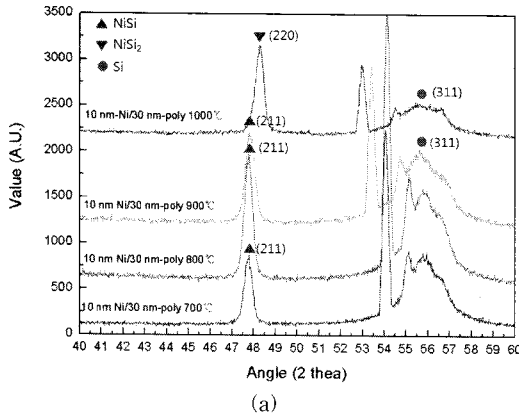


그림 5. 30nm, 70nm 두께의 다결정실리콘기판위에 형성된 니켈실리사이드의 상분석 ;
(a) 10 nm Ni/ 30 nm poly-Si 구조에 RTA 처리,
(b) 10 nm Ni/ 70 nm poly-Si 구조에 RTA 처리.

그림 6에는 각각 30 nm 와 70 nm 두께의 다결정실리콘 기판 위에 300°C에서 1000°C까지 형성된 니켈실리사이드의 RMS 표면조도를 SPM으로 측정된 결과를 나타내었다. 30 nm 다결정실리콘 기판 위에 형성된 실리사이드의 경우 300°C~700°C 최소 13 nm 에서 최대 17 nm 의 RMS 값을 보였고, 70 nm 다결정실리콘 기판 위에 형성된 실리사이드의 경우 최소 12 nm 에서 최대 17 nm의 RMS 값을 보였다. 이때 전 실험범위에서의 RMS 값의 변화는 온도에 따라 큰 변화가 없음을 확인하였다. 따라서 나노급 다결정실리콘 기판 위에 형성된 니켈 실리사이드는 나노급 공정에 유리한 17 nm 이하의 RMS 표면조도를 가짐을 확인하였다.

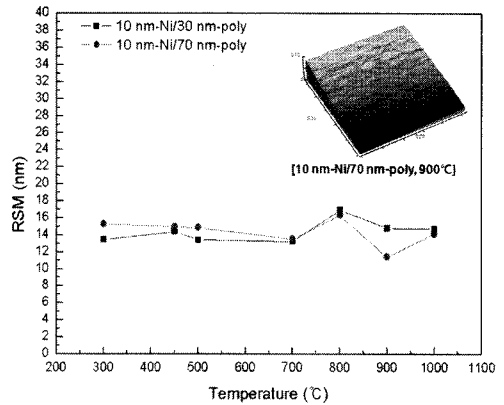


그림 6. 30nm, 70nm 두께의 다결정실리콘기판위에 형성된 니켈실리사이드층의 RTA 처리온도에 따른 표면 RMS의 변화.

4. 결론

0.1 μm 이하 선포를 가진 나노급 다결정실리콘 게이트의 니켈실리사이드 공정 적합성을 확인하기 위해서 30 nm와 70 nm 두께로 다결정실리콘 게이트를 가정하여 300°C~1100°C 범위에서 처리하여 나노급 니켈실리사이드를 성공적으로 제조하였다. 면저항값 측정시 30 nm 두께의 다결정실리콘에는 70 nm 두께의 다결정실리콘이 70°C 이상에서 NiSi로 상변화로 인한 높은 면저항값과 다른 300°C의 저온에서부터 900°C의 고온까지 50 Ω/\square 이하의 넓은 열적안정구간을 보였다. XRD 상분석을 통하여 900°C의 고온에서도 30 nm 두께의 다결정실리콘 위에 형성된 니켈실리사이드는 NiSi 상을 유지함을 확인하였다. FESEM과 TEM 수직단면 이미지를 통해서 70 nm 두께의 다결정실리콘 기판에 형성된 니켈실리사이드가 잔류 다결정실리콘 층 상부에 10~20 nm로 불균일하게 형성됨에 비해서 30 nm 두께의 다결정실리콘에 형성된 실리사이드는 SiO₂ 위에 잔류 다결정실리콘 없이 매우 균일한 40 nm 실리사이드가 형성되고, 1000°C인 경우 1 μm 폭의 응집상을 가지는 특징을 확인하였다. SPM 분석결과 30 nm와 70 nm 두께의 다결정실리콘에 형성된 니켈실리사이드는 RMS 표면조도값이 모두 17 nm 이하로 향후 CMOS device에 실리사이드 공정으로 적합할 수 있었다.

참고문헌

[1] K. C. Saraswat, and F. Mohammadi, IEEE Trans. Electron Devices. ED-29, (1982) 645.

[2] J. Chen, J. P. Colinge, D. Flandre R. Gillon, J. P. Raskin, and D. Vanhoenacker, J. Electrochem. Soc., 144, (1997) 2437.

[3] A. Kasuya, G. Milczarek, I. Dmitruk, Y. Barnakov, R. Czajka, O. Perales, X. Liu, K. Tohji, BJeyadevan, K. Shinoda, T. Ogawa, T. Arai, T. Hihara and K. Sumiyama, Colloids, and Surfaces A, 202, (2002) 291.

[4] J. P. Gambino, and E. G. Colgan, Materials Chemistry and Physics, 52, (1998) 99-113.

[5] J. Lutze, G. Scott, and M. Manley, IEEE Electron Device Lett., 21(4), (2000) 155.

[6] J. B. Lasky, J. S. Nakos, O. J. Cain, and P. J. Geiss, IEEE Trans. Electron Devices, 38(2), (1991) 262.

[7] B. A. Julies, D. Knoesen, R. Pretorius, and D. Adams, Thin Solids Films, 347, (1999) 201-207.

[8] S. H. Zhang, O. Mikael, Critical Reviews in solid state and Material Science, 28, (2003) 1-129.

[9] W. Huang, L. Zhang, Y. Gao, and H. Jin, Microelectronic Engineering, 84, (2007) 678-683.

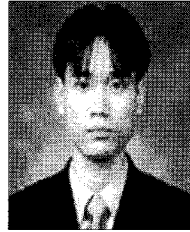
[10] O. Song, and K. Yoon, Mater. Int., 13(3), (2007) 229-234.

[11] J. A. Kittl, A. Lauwers, M. A. Pawlak, M. J. H. Dal, A. Veloso, K. J. Anil, G. Pourtois, C. Demeurisse, T. Schram, B. Brijs, M. Potter, C. Vrancken, K. Maex, Microelectronic Engineering, 82, 441 (2005)

[12] J. A. Kittl, M. A. Pawlak, A. Lauwers, C. Demeurisse, T. Hoffmann, A. Veloso, K. G. Anil, S. Kubicek, M. Niwa, M. J. H. van Dal, O. Richard, M. Jurczak, C. Vrancken, T. Chiarella, S. Brus, K. Maex, and S. Biesemans, Microelectronic Engineering, 83, (2006) 2117-2121.

최 용 윤(Young-Youn Choi)

[정회원]



- 1999년 3월 : 부경대학교 화학공학과 (공학사)
- 2005년 8월 : 서울시립대학교 신소재공학과(공학석사)
- 2007년 2월 ~ 현재 : 서울시립대학교 신소재공학과 박사과정

<관심분야>

반도체 재료, 자성 재료

송 오 성(Oh-Sung Song)

[종신회원]



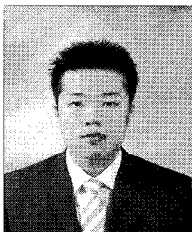
- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1989년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학과 (공학박사)
- 1997년 9월 ~ 현재 : 서울시립대학교 신소재공학과 교수

<관심분야>

반도체 재료, 자성 재료, 보석재료

김 종 루(Jong-Ryul Kim)

[준회원]



- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 8월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>

반도체 재료, 자성 재료, 철강 재료