

## P형 in-situ 도핑 폴리실리콘 막질에 관한 연구

### Study on P-type in-situ doped Polysilicon Films

오정섭<sup>1,a</sup>, 이상은<sup>1</sup>, 노진태<sup>1</sup>, 이상우<sup>1</sup>, 배경성<sup>1</sup>, 노용한<sup>2</sup>

(Jung-Sup Oh<sup>1,a</sup>, Sang-Eun Lee<sup>1</sup>, Jin-Tae Noh<sup>1</sup>, Sang-Woo Lee<sup>1</sup>, Kyoung-Sung Bae<sup>1</sup>, and Yonghan Roh<sup>2</sup>)

#### Abstract

This paper reports physical properties of in situ boron doped silicon films made from boron source gas and silane (SiH<sub>4</sub>) gas in a conventional low-pressure chemical vapor deposition vertical furnace. If the p-type polysilicon is formed by boron implantation into undoped polysilicon, the plasma nitridation (PN) process is added on the oxide in order to suppress boron penetration that can be caused during the thermal treatments used in fabrication. In-situ boron doped polysilicon deposition can complete p-type polysilicon film with only one deposition process and need not the PN process, because there is not interdiffusion of dopant at the intermediate temperatures of the subsequent steps. Since in-situ boron doped polysilicon films have higher work function than that of n-type polysilicon and they are compatible with the underlying oxide, they may be promising materials for improving memory cell characteristics if we make its profit of these physical properties.

**Key Words** : P-type, in-situ doped, Polysilicon, Work function

#### 1. 서 론

메모리 소자의 집적도 향상을 위해 MOSFET 소자가 소형화(scaling down) 됨에 따라 MOSFET 소자의 소스(source) 와 드레인(drain) 사이의 누설 전류(short channel effect)가 소자 소형화의 가장 큰 장애중의 하나로 여겨져 왔다. 즉, 소자의 크기가 작아질수록 게이트가 두 단자 사이에 흐르는 전류의 크기를 제대로 조절하지 못하게 되는데 이러한 문제를 해결하기 위해 최근에 dynamic random access memory에서는 FinFET 과 같은 구조적인 방법이 연구되고 있다[1].

한편, 종래의 기억소자에 게이트 전극으로 n형 폴리실리콘이 사용되어 왔으나 n형 폴리실리콘에 비해 일함수(work function)가 높은 p형 폴리실리

콘을 도입함으로써, 채널(channel)에 불순물 함유량을 높이지 않고도 문턱전압(threshold voltage)을 상향 조정하여 셀 트랜지스터의 I<sub>off</sub> (off current)를 효과적으로 제어할 수 있다[2].

이러한 p형 폴리실리콘 적용에 있어서 두 가지 방법이 있는데 하나는 진성 비정질 실리콘에 붕소 화합(boron source)가스의 이온주입을 적용하여 붕소를 도핑 하는 방법과[3], 다른 하나는 폴리실리콘 형성 시 붕소화합가스와 SiH<sub>4</sub> 가스를 사용하여 B in-situ 증착을 진행하는 방법이 있다[4-6]. 만약 이온주입을 적용할 경우 후속 공정에 반드시 들어가야 하는 열처리로 인해 막내의 초기 불순물 농도가 변화되어 소자에 주요 결점을 만드는 요인이 되기도 한다. 또한 게이트 산화막으로의 붕소 침투를 억제하기 위해 게이트 산화막 성장 후 plasma nitridation (PN)을 추가해야하는 공정적 부담이 생긴다[7,8]. 반면 in-situ 붕소 도핑 폴리실리콘을 적용할 경우 PN이나 열처리 공정이 필요 없을 뿐만 아니라, low pressure chemical vapor deposition (LPCVD) furnace 장비에서 conformal하게 도핑이 가능해 더욱더 효율적으로 폴리실리콘 막질을 형성할 수 있다[6].

1. 삼성전자(주) FAB3팀, Flash PM센터, 공정개발팀 (경기도 화성시 반월동 삼성전자(주)화성사업장)  
2. 성균관대학교 마이크로소자 LAB  
a. Corresponding Author : jungsup.oh@samsung.com  
접수일자 : 2008. 1. 10  
1차 심사 : 2008. 1. 18  
심사완료 : 2008. 2. 19

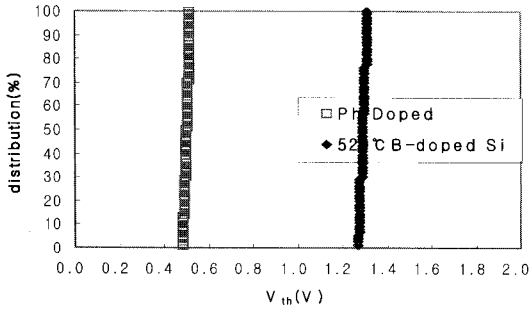


그림 1. n형 vs p형 폴리실리콘 적용시의  $V_{th}$  shift.  
 Fig. 1.  $V_{th}$  shift after changing from n-type to p-type polysilicon.

본 연구에서는 열처리 단계가 필요 없을 뿐만 아니라, 도핑층을 형성하는 공정 단계도 줄일 수 있고 conformal하게 도핑이 가능한 In-situ 붕소 도핑 폴리실리콘에 대해서 막의 성장속도, 도핑 특성, 결정성과 표면형상 등의 물리적 특성을 평가하였다.

## 2. 실험

P형 폴리실리콘을 만들기 위해 붕소화합가스를 이용한 이온주입 공정을 우선적으로 평가하였으며 이온주입에 따른 산화막으로의 붕소 침투를 방지하기 위해 폴리실리콘 증착 전에 PN(plasma nitridation) 공정을 추가하였다.

In-situ B 도핑 폴리실리콘 적용 시에는 200 mm 웨이퍼를 사용하는 low pressure chemical vapor deposition (LPCVD) vertical furnace를 이용하여 증착 온도와 반응 가스 유량 등을 변화시키면서 형성된 막을 평가하였다. P형 폴리실리콘은 silane( $\text{SiH}_4$ )과 붕소화합가스를 사용하여 형성하였으며, 증착 온도는 520 °C에서 580 °C까지 변화를 주면서 막질의 표면 거칠기뿐만 아니라 특정 온도의 막 결정성을 평가하였다. 막의 증착 조건에 따른 결정성은 X-ray diffraction (XRD) 으로 관찰하였으며 막의 붕소 농도는 secondary ion mass spectroscopy (SIMS) 분석을 통해 확인하였다.

## 3. 결과 및 고찰

### 3.1 이온주입

P형 폴리실리콘을 적용하기 위해 단결정(100) 실리콘 웨이퍼 위에 산화막을 성장하고 undoped 폴리실리콘을 증착한 후 붕소화합가스를 이용한

이온주입으로 p형 폴리실리콘을 형성하였다.

붕소 이온주입 공정을 적용하는 p형 폴리실리콘의 경우 후속 열처리 공정 진행시에 발생할 수 있는 산화막으로의 붕소 침투를 억제하기 위해 산화막 성장 후 plasma nitridation (PN) 공정을 추가하였다. 그림 2의 time dependent dielectric breakdown (TDDB) 특성 data에서도 알 수 있는 바와 같이 PN을 적용하지 않은 샘플에서는 붕소 침투에 의한 산화막의 열화로 단기 breakdown이 발생하는 것으로 확인되었다[9]. 따라서, 이온주입에 의한 p형 폴리실리콘 형성시 PN 공정 추가는 필수적인 것으로 조사되었다.

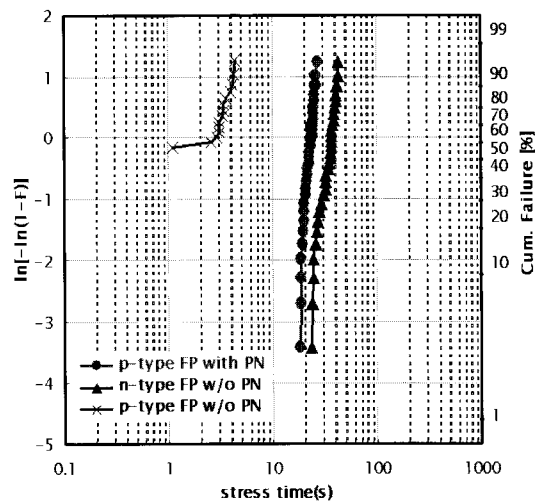


그림 2. PN 유무에 따른 이온주입 후 산화막 TDDB 결과.

Fig. 2. Oxide TDDB result as plasma nitridation (PN) process adds or not after ion implantation.

### 3.2 In-situ 붕소 도핑 폴리실리콘 증착

P형 폴리실리콘을 만드는 또 다른 방법은 low pressure chemical vapor deposition (LPCVD) vertical furnace 장비에서 붕소화합가스와 silane ( $\text{SiH}_4$ ) 가스를 이용하여 in-situ 붕소 도핑 폴리실리콘을 증착하는 것이다. 이는 기존의 증착공정과 이온주입공정을 결합한 것으로 한번의 증착공정으로 p형 폴리실리콘을 완성할 수 있다.

그림 3은 p형 폴리실리콘 형성 시 furnace 내부의 온도를 520 °C로 유지하고 붕소화합가스 유량

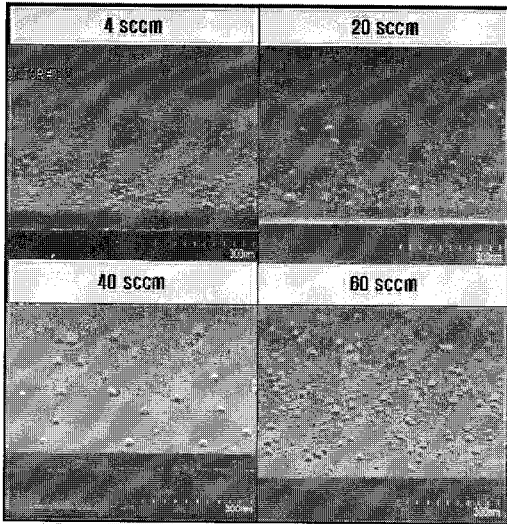


그림 3. 붕소화합가스 유량별 폴리실리콘 표면 거칠기의 tilt V-SEM.

Fig. 3. Tilt V-SEM of the polysilicon surface roughness for boron source gas flowrate.

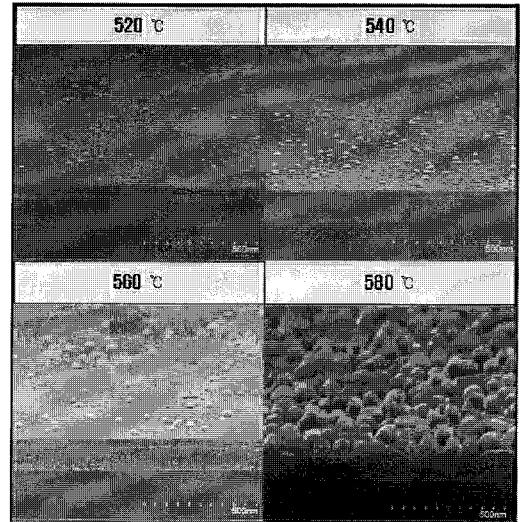


그림 5. 폴리실리콘 증착 온도별 표면 거칠기의 tilt V-SEM.

Fig. 5. Tilt V-SEM of polysilicon surface roughness for deposition temperature.

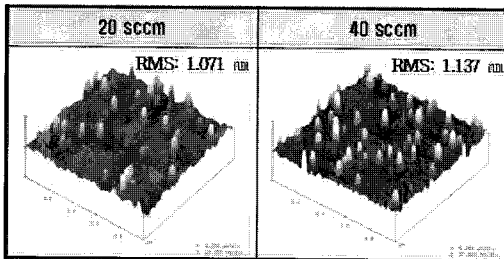


그림 4. 붕소화합가스 20/40 sccm AFM 분석결과.

Fig. 4. AFM result for boron source gas 20 sccm and 40 sccm.

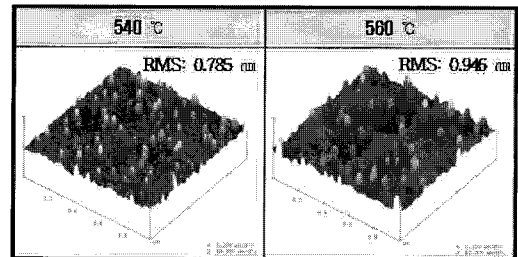


그림 6. 증착 온도 540/560 °C의 AFM 분석결과.

Fig. 6. AFM result for deposition temperature 540 and 560 °C.

에 따른 실리콘 막의 표면 거칠기의 변화를 vertical scanning electron microscopy (V-SEM) 으로 관찰한 사진이다. 붕소화합가스 유량이 4 sccm 이하의 미소량일 경우 비정질 상을 나타내지만 붕소화합가스 유량 증가에 따라 island growth 현상이 발생하여 비정질 상내에 국부적인 결정화상이 형성되는 것으로 예상된다.

또한 그림 4의 atomic force microscopes(AFM) 결과에서도 알 수 있듯이 붕소화합가스 유량이 20 sccm 일때의 RMS 값은 1.071 nm이지만 40 sccm

일 때의 RMS는 1.137로 증가 하는 것으로 보아 붕소화합가스의 증가는 P형 폴리실리콘 막질의 표면 거칠기를 증가시키는 것으로 확인됐다.

그림 5는 30 sccm의 붕소화합가스 유량을 유지한 상태에서 공정 온도에 따른 Si막의 표면 거칠기를 나타낸다. V-SEM 사진에서 보이는 것처럼 온도 상승 시 island growth 현상이 더욱 가속화되는 것으로 확인된다. 이것은 폴리실리콘 증착 과정 중  $\text{SiH}_4$ 이 열분해하여 산화막에 흡착될 때 붕소화합가스의 활성화 에너지가 낮아  $\text{SiH}_4$  가스가

완전히 열분해 되기 전에 낮은 온도에서 결정화가 진행되기 때문에 국부적으로 island growth가 발생 되는 것으로 보인다. 특히 580 °C 이상의 고온에서는 SiH<sub>4</sub> 가스에서 열분해가 급격히 진행되어 실리콘의 양이 많아 island growth된 씨드(seed) 주위로 실리콘의 흡착이 더욱 잘 이루어져서 표면 거칠기가 급격히 증가하는 것으로 나타난다.

그림 6의 AFM 결과를 비교해 보면 560 °C에서 증착된 막질은 island growth 현상은 적지만 RMS가 0.946 nm로 표면 거칠기가 높은 반면 540 °C의 증착 온도에서는 island growth 현상에 비해 RMS가 0.785 nm로 표면 거칠기가 상대적으로 양호하다. 따라서 증착 온도의 증가는 표면 거칠기를 더욱 증가시키는 요소로 확인됐다.

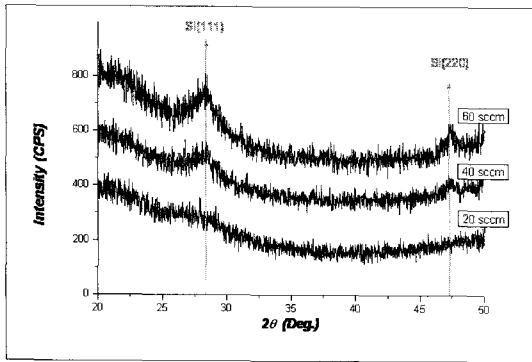


그림 7. p형 폴리실리콘의 붕소화합가스 유량별 결정화 정도 (XRD).

Fig. 7. Crystallization of p-type polysilicon due to boron source gas flowrate.

표 1. XRD의 반치폭과 폴리실리콘 막질의 두께.  
Table 1. FWHM of the XRD patterns and the thickness of the polysilicon film.

sample	FWHM (°)	폴리실리콘 두께 (Å)
20 sccm	측정불가	425
40 sccm	2.45	395
60 sccm	3.2	419

그림 7은 붕소화합가스 유량별 in-situ 붕소 도핑 폴리실리콘 막의 결정화 정도를 나타내는 X-ray diffraction (XRD) 결과이고, 표 1은 XRD 측정값에서 산출한 full width half maximum

(FWHM) 이다. 폴리실리콘 증착 진행 중에 붕소화합가스 유량이 20 sccm 정도의 소량에서는 무정질 막질에 가깝지만 60 sccm 까지 증가 시킬수록 Si(111)과 Si(220) peak의 intensity가 커지는 것으로 보아 붕소화합가스 유량의 증가는 폴리실리콘 결정화 형성에 중요한 요소로 작용하는 것을 알 수 있다.

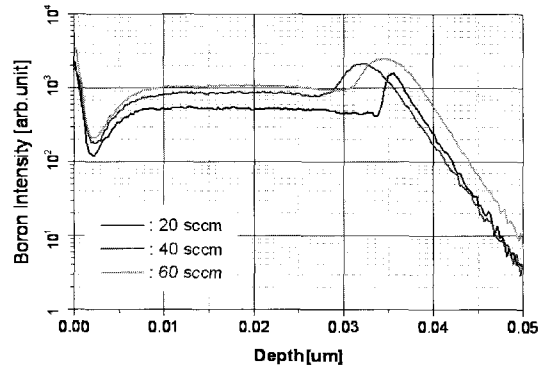


그림 8. P형 폴리실리콘의 붕소화합가스 유량별 붕소 농도 (SIMS).

Fig. 8. Boron concentration of p-type poly Si. due to boron source gas flowrate.

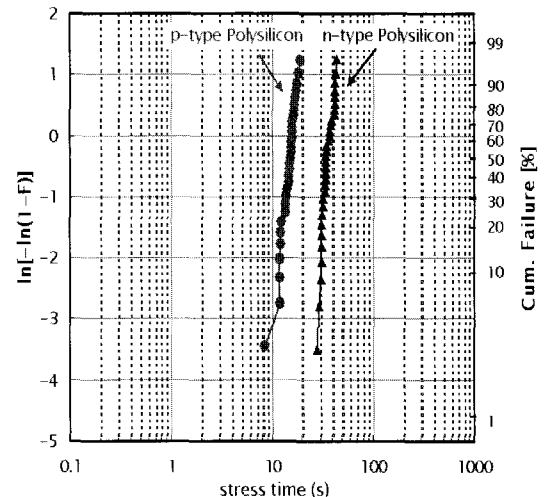


그림 9. n형 vs p형 in-situ 폴리실리콘의 TDDB 특성 결과.

Fig. 9. Charge to breakdown for comparing p-type in-situ polysilicon with n-type polysilicon.

그림 8은 붕소화합가스 유량 증가에 따른 in-situ 붕소 도핑 실리콘의 막내 붕소 profile을 secondary ion mass spectroscopy (SIMS)로 분석한 결과이다. 먼저 붕소가 막내에 conformal하게 도핑 되는 것을 알 수 있고, 또한 붕소화합가스 유량이 증가함에 따라 막내 붕소 농도가 증가하며, 적은 양의 붕소화합가스 유량에도 매우 많은 양의 붕소가 막내에 고용되는 것을 알 수 있다.

그림 9는 일반 n형으로 폴리실리콘을 증착했을 때와 p형 in-situ 도핑 폴리실리콘을 증착했을 때의 산화막 TDDB 특성을 나타낸 그래프이다. P형을 in-situ 붕소 도핑 폴리실리콘으로 증착 하였을 경우 n형과의 일함수 차이로 인하여 산화막의 QBD 값이 다르지만 tail 현상이 없는 것으로 보아 산화막 특성이 유지되고 있음을 알 수 있다[6].

#### 4. 결 론

P형 폴리실리콘을 제작하기 위하여 붕소 이온주입 방법과 in-situ 붕소 도핑 방법에 대하여 실험하였다. 붕소 이온주입 방법은 산화막으로의 붕소 침투 억제를 위해 반드시 plasma nitridation (PN) 공정이 추가되어야 하지만, 붕소화합가스인  $\text{SiH}_4$  가스를 이용하여 in-situ 붕소 도핑 폴리실리콘을 증착하는 방법은 PN이나 열처리 공정이 필요 없어 공정측면에서나 소자측면에서 더욱 효과적임을 알 수 있다.

P형 in-situ 도핑 폴리실리콘은 붕소화합가스 유량 증가에 따라 600 °C 이하의 온도에서도 결정화가 가속됨은 물론 island growth도 함께 증가하므로 향후 표면 거칠기 개선을 위한 공정 최적화가 필요하다. 또한 in-situ 붕소 도핑 폴리실리콘은 막질에 conformal하게 붕소가 도핑되며 붕소화합가스의 활발한 반응성으로 인해 적은 양의 가스 유량에도 많은 양의 붕소가 고용된다. P형 in-situ 도핑 폴리실리콘은 하부 산화막과의 호환성이 좋아서 이러한 막질의 물리적 특성의 이점을 이용하면 FinFET 과 같이 3D 트랜지스터에 유용한 활용이 될 것으로 예상 된다.

#### 참고 문헌

- [1] Y. J. Ahn, B. J. Cho, H. S. Kang, C.-H. Lee, C. Lee, J.-M. Yoon, T. Y. Kim, E. S. Cho, S.-K. Sung, D. G. Park, K. N. Kim, and B.-I. Ryu, "Test structure for performance evaluation of 3 dimensional FinFET", Proc. IEEE 2005 Int. Conf. on Microelectronic test structures, Vol. 18, 2005.
- [2] S.-K. Sung, S.-H. Lee, B. Y. Choi, J. J. Lee, J.-D. Choe, E. S. Cho, Y. J. Ahn, D. U. Choi, C.-H. Lee, D. H. Kim, Y.-S. Lee, S. B. Kim, D. G. Park, and B.-I. Ryu, "SONOS-type FinFET Device using P+ Poly-Si Gate and High-k Blocking Dielectric Integrated on Cell Array and GSL/SSL for Multi-Gigabit NAND Flash Memory", in VLSI Symp. Tech. Dig., p. 86, 2006.
- [3] C. Y. Lin, C. Y. Chang, and C. Hsu, "Suppression of boron penetration in BF<sub>2</sub>-implanted p-type gate MOSFET by trapping of fluorine in amorphous gate", IEEE Trans. Electron Devices, Vol. 42, No. 8, p. 1503, 1995.
- [4] C. M. Maritan, L. P. Berndt, N. G. Tarr, J. M. Bullerwell, and G. M. Jenkins, "Poly silicon emitter p-n-p transistors", IEEE Trans. on Electron Devices, Vol. 36. No. 6, 1989.
- [5] M. Boukezzata, B. Birouk, F. Mansour, and D. B. Daspet, "Second-oxidation properties of thin polysilicon films grown by LPCVD and heavily in situ boron-doped", Thin Solid Films, Vol. 335, No. 1-2, p. 70, 1998.
- [6] B. Caussat, E. Scheid, B. de Mauduit, and R. Berjoan, "Influence of dopant concentration and type of substrate on the local organization of low-pressure chemical vapour deposition in situ boron doped silicon films from silane and boron trichloride", Thin Solid Films, Vol. 446, No. 2, p. 218, 2004.
- [7] J. Y. C. Sun, C. Wong, Y. Taur, and C. H. Hsu, "Study of boron penetration through thin oxide with p+-polysilicon gate", Symp on VLSI Technol Tech Dig., p. 17, 1989.
- [8] J. R. Pfister, F. K. Baker, T. C. Mele, H.-H. Tseng, P. J. Tobin, J. D. Hayden, J. W. Miller, C. D. Gunderson, and L. C. Parrillo, "The effects of boron penetration on p+ polysilicon gates PMOS devices", IEEE Trans. Electron Devices, Vol. 37, p. 1842, 1990.
- [9] Y. Okazaki, S. Nakayama, M. Miyake, and T. Kobayashi, "Characteristics of Sub-1/4- $\mu\text{m}$  gate surface channel PMOSFET's using a multilayer gate structure of boron-doped poly-Si on thin nitrogen-doped poly-Si", IEEE Trans. on Electron Devices, Vol. 41, No. 12, 1994.