
UHF대역 RFID 태그를 위한 저전력 고성능 아날로그 회로 설계

심현철* · 차충현* · 박종태* · 유종근*

Design of Low-Power High-Performance Analog Circuits for UHF Band RFID Tags

Hyun-chul Shim* · Chung-hyeon Cha* · Jong-tae Park* · Chong-gun Yu*

본 논문은 인천대학교 2006년 자체 연구비 지원에 의하여 연구 되었으며,
IDEC 지원에 의해서도 일부 수행되었음

요 약

본 논문에서는 UHF(860~960MHz)대역 RFID 태그(tag) 칩을 위한 저전력 고성능 아날로그 회로를 설계하였다. 설계된 아날로그 front-end 블록은 국제표준인 ISO/IEC 18000-6C(EPCglobal class1 generation2) 표준규격을 따르며, 성능테스트를 위한 메모리 블록을 포함하고 있다. 모든 회로를 1V에서 동작하도록 하여 세부 회로들의 전력소모를 최소화 하였으며, 보다 정확한 복조를 위해 전류모드 슈미트 트리거를 포함한 ASK 복조기를 제안 하였다. 제안된 복조기는 0.014% 복조오차를 갖는다. 설계된 회로를 0.18 μ m CMOS 공정 변수를 이용하여 모의실험 한 결과 최소 0.2V_{peak} 입력으로 동작 가능하며, 1V 전원전압에서 2.63 μ A의 전류소모를 갖는다. 칩 면적은 0.12mm² 이다.

ABSTRACT

This paper describes a low-power high-performance analog front-end block for UHF(860~960MHz) band RFID tag chips. It satisfies ISO/IEC 18000-6 type C(EPCglobal class1. generation2.) and includes a memory block for test. For reducing power consumption, it operates with an internally generated power supply of 1V. An ASK demodulator using a current-mode schmitt trigger is proposed and designed. The proposed demodulator has an error rate as low as 0.014%. It is designed using a 0.18 μ m CMOS technology. The simulation results show that the designed circuit can operate properly with an input as low as 0.2V_{peak} and consumes 2.63 μ A. The chip size is 0.12mm²

키워드

UHF, RFID, Tag, 저전력, Current-mode ASK demodulator

I. 서 론

최근 UHF대역 RFID 시스템은 표준화를 완료하고, 센서 태그 및 모바일 RFID 등의 응용 시스템을 주축으로

u-KOREA 사회 구현에 큰 역할을 하고 있다. 특히 모바일 RFID 시스템은 이동통신 단말기와 접목하여 많은 부가가치 창출의 가능성을 보여주고 있어 이목이 집중되고 있으며, 이에 대한 표준화를 두고 많은 연구 및 개발

이 이루어지고 있다.

본 논문에서는 UHF대역 RFID의 국제표준인 ISO/IEC 18000-6C 표준[1]을 만족하는 태그 칩을 위한 저전력 고성능 아날로그 회로를 설계 하였다. 설계된 아날로그 회로는 성능 테스트를 위해 메모리 블록을 포함하고 있으며, 태그의 인식률과 경제성을 위해 저전력 및 칩 면적의 최소화에 중점을 두고 설계하였다. 또한 보다 적은 오차로 데이터 신호를 복원하기 위해 진류모드 슈미트 트리거를 이용한 ASK 복조기를 제안하였다.

설계된 전체 회로는 0.18 μm CMOS 공정 변수를 이용한 모의실험을 통해 그 동작을 검증하였다.

II. 회로설계

그림 1은 설계한 UHF대역 RFID 태그용 아날로그 회로의 전체 블록 다이어그램으로 설계된 회로는 크게 아날로그 블록과 성능 테스트를 위한 메모리 블록으로 구성된다.

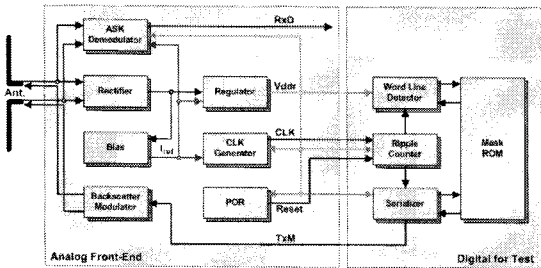


그림 1. 설계된 회로의 블록 다이어그램
Fig. 1. Block diagram of the designed circuits

아날로그 블록은 정류기(rectifier), 레귤레이터(regulator), ASK 복조기(demodulator), bias, 클럭발생기(clock generator), POR(Power on Reset), 역확산 변조기(backscatter modulator)등으로 구성되며, 리더로부터 들어오는 RF신호를 DC전압으로 변환하여 안정된 전원전압, bias전류, 클럭 등을 공급하는 역할을 한다. 메모리 블록은 Mask ROM, Ripple counter, Word line detector, Serializer등으로 구성되며, POR의 리셋신호에 의해 메모리에 저장된 데이터를 역확산 변조기를 통해 리더로 보내게 된다.

2.1 정류기

그림 2는 설계된 정류기의 회로도이다.

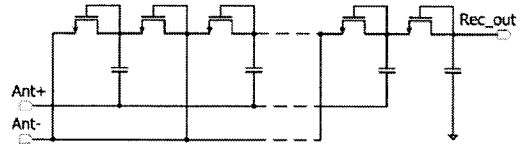


그림 2. 설계된 정류기의 회로도
Fig. 2. Schematic of the designed rectifier

설계된 정류기는 문턱전압으로 인한 승압 제한을 최소화하기 위해 낮은 문턱전압을 갖는 MOSFET을 사용하여 구현하였으며, 6단으로 구성하였다. 설계된 정류기는 부하가 없을 때 0.3V_{peak}의 반송파 입력으로 약 2.5V의 DC전압을 얻는다.

2.2 레귤레이터

정류기에 의해 생성된 DC전압은 리더와 태그 사이의 거리에 따라 DC전압의 변화가 크기 때문에 레귤레이터를 통해 안정화하여 태그의 전원전압으로 사용하여야 한다. 그림 3에 설계된 레귤레이터의 회로도를 나타내었다. 설계된 오차증폭기는 높은 이득을 위해 2단 구조로 설계하였으며, 충분한 phase margin을 갖도록 하였다. 설계된 오차증폭기는 76dB의 이득과 69°의 phase margin을 갖는다. 설계된 레귤레이터는 부하 없을 때 1.5V 공급전압에서 11.3 μA 의 전류소모를 보인다.

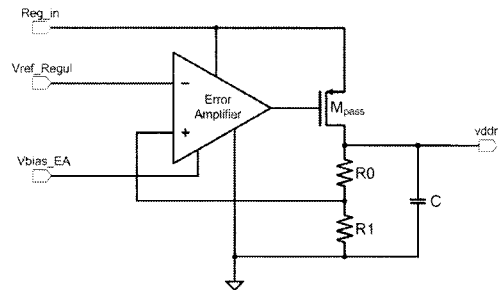


그림 3. 설계된 레귤레이터의 회로도
Fig. 3. Schematic of the designed regulator

2.3 Bias

집적회로내의 회로들이 안정적인 동작을 하기 위해서는 전원전압이나 온도 변화 또는 외부환경요인의 변화에도 안정된 기준전압 또는 기준전류를 발생시켜 주

는 회로가 필수적이다. 본 논문에서는 CMOS 공정을 사용하여 면적이나 전력소모와 같은 추가적인 비용을 최소화하면서도 좋은 특성을 갖는 기준전압 및 기준전류 발생회로를 설계하였다.

그림 4는 설계된 bias의 회로도이다. 설계된 bias는 간단한 구조의 V_T (threshold voltage)에 비례하는 전류 발생기와 V_t (thermal voltage)에 비례하는 전류 발생기로 구성되며, 두 전류 발생기에서 발생되는 전류를 합하여 온도 변화에 무관한 전류를 생성하게 된다. 이때 V_T 에 비례하는 전류 성분과 V_t 에 비례하는 전류 성분을 공급전압에 무관하게 생성하는 것이 관건이다. 이를 위해 MOS 트랜지스터를 subthreshold 영역에서 동작하게 함으로써 V_t 에 비례하는 전류를 얻고, threshold reference self-biasing 회로를 이용해 V_T 에 비례하는 전류를 얻도록 설계하였다.

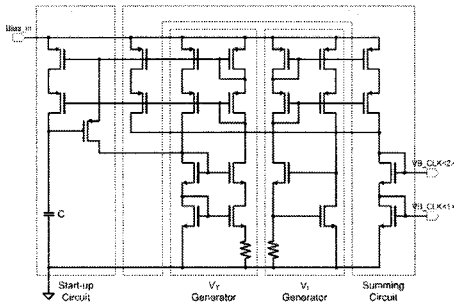


그림 4. 설계된 저전력 bias의 회로도
Fig. 4. Schematic of the designed low-power bias

그림 5에 설계한 bias의 (A)공급전압과 (B)온도 변화에 따른 기준 전류의 특성을 나타내었다. 설계된 bias의 기준전류는 0°C ~ 100°C의 온도범위에서 약 2.5μA의 변화량을 갖으며, 1V ~ 5V의 공급전압 변화에 대하여 약 11nA의 변화량을 갖는다. 설계된 bias는 1.5V 공급전압에서 2.4μA의 전류소모를 보인다.

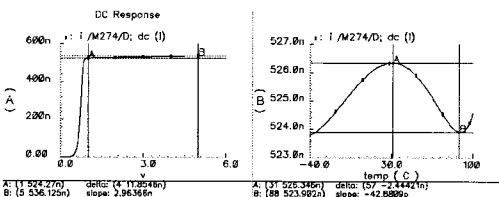


그림 5. (A)공급전압 변화와 (B)온도 변화에 따른 기준전류 특성

Fig. 5. Dependence of the bias current on the variation of (A) supply voltage (B) temperature

2.4 ASK 복조기

그림 6은 기존의 ASK 복조기이다. 기존의 ASK 복조기의 복조방식은 포락선 검출기에 의해 검출된 포락선 신호와 저역통과 필터에 의한 포락선신호의 평균화된 신호를 비교기를 통해 포락선신호와 평균화된 신호를 비교하여 전력신호에 함께 실려 오는 데이터신호를 복조하게 된다[2].

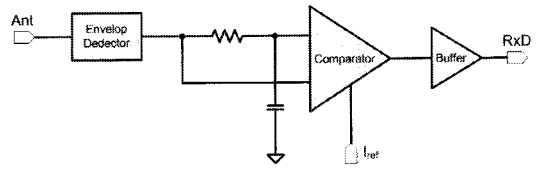


그림 6. 기존의 ASK 복조기
Fig. 6. Conventional ASK demodulator

이때 포락선신호의 평균화된 신호를 얻기 위해 큰 시정수를 갖는 저역통과 필터가 필요하게 되며, 비교기 또한 오프셋 오차, 전달지연, 입력 노이즈에 의한 복조 오차가 발생하게 된다.

본 논문에서는 기존의 큰 시정수를 갖는 저역통과 필터로 인한 면적문제와 비교기로 인한 복조오차를 줄이기 위해 적은 전류소모를 갖는 전류모드 슈미트트리거 [3]를 이용한 ASK 복조기를 제안하였다. 제안된 ASK 복조기의 회로도를 그림 7에 나타내었다.

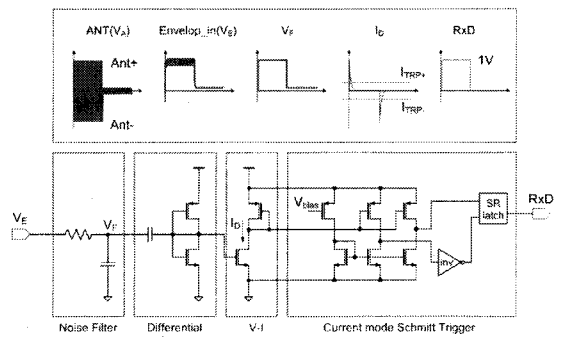


그림 7. 제안된 ASK 복조기
Fig. 7. Proposed ASK demodulator

제안된 ASK 복조기는 포락선 검출기, 노이즈 필터, 미분회로[4], 전압-전류 변환회로, 전류모드 슈미트트리거로 구성되며, ASK 변조된 RF신호로부터 풀 스윙(full swing) 비트열을 얻기 위해 포락선 검출된 신호

(Envelop_in)를 미분하여 톱니파(I_b)를 생성하고 생성된 톱니파를 전류모드 슈미트트리거를 통해 데이터신호(RxD)를 복조한다.

설계된 전류모드 슈미트트리거는 SR latch에 의해 낮은 기준전류원 이하의 입력이 들어올 때 1을 출력으로 갖고, 높은 기준전류원 이상의 입력이 들어올 때 0을 출력으로 갖는다. 그리고 중간 값을 갖는 전류가 입력 될 때는 출력이 이전 값을 유지하게 되어 변조된 파형으로부터 데이터를 복조한다. 노이즈 필터는 포락선 검출된 신호의 잡음을 줄이기 위한 필터로, 능동소자로 구성되어 면적을 최소화 하였다.

제안된 복조기는 기존의 큰 시정수를 갖는 저역통과 필터의 필요성을 제거하고 노이즈 필터를 능동소자로 구현하여 기존의 복조기 보다 적은 면적을 갖으며, 1V 전원전압에서 0.98 μ A 전류소모로 0.014%의 복조오차를 갖는다.

기존의 복조기와 제안된 복조기의 복조오차를 비교하여 그림 8에 나타내었다. 제안된 복조기는 기존의 복조기에 비해 0.8 μ A 적은 전류소모로 0.163% 더 정확히 복조하며, 입력신호(V_A)의 진폭변화에도 일정한 복조오차를 갖는다. 비교에 사용된 기존의 복조기는 1.78 μ A 전류소모로 0.177% 복조오차를 갖는다.

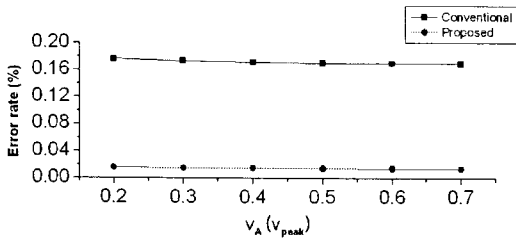


그림 8. 기존의 복조기와 제안된 복조기의 복조오차
Fig. 8. The error rate of between the conventional and proposed demodulators

2.5 PSK 변조기

UHF대역 RFID 시스템은 ASK 혹은 PSK 방식의 역확산 변조를 통해 태그의 저장된 정보를 리더로 보내며, PSK 방식의 경우 입력 임피던스의 허수 성분만 변화시켜 태그에 입력되는 전력이 리더에서 보낸 데이터와 무관하게 되어 높은 DC전력효율과 역확산 전력을 얻을 수 있다. 따라서 본 논문에서는 높은 DC전력효율과 역확산 전력을 위해 PSK 방식으로 변조기를 설계했으며[5], 설계된 회로의 회로도를 그림 9에 나타내었다.

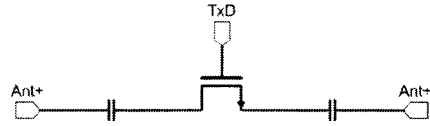


그림 9. 설계된 PSK modulator의 회로도
Fig. 9. Schematic of the designed PSK modulator

2.6 클럭 발생기

그림 10은 설계된 클럭발생기의 회로도이다. 온도변화에 관계없는 안정된 클럭을 디지털 블록에 공급하기 위해 앞서 설계된 bias에서 발생되는 전류를 사용하였다. 또한 저전력 이면서 간단한 구조를 갖는 Current starved ring oscillator를 사용하여 전류소모 및 면적을 최소화 하였다.

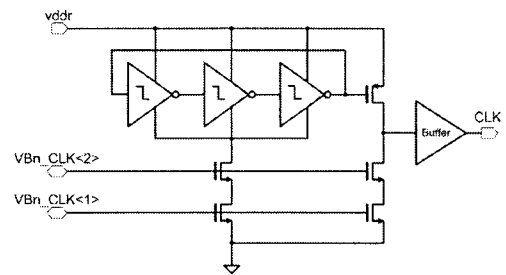


그림 10. 설계된 클럭발생기의 회로도
Fig. 10. Schematic of the designed clock generator
설계된 클럭발생기는 적은 전력으로 가장 많은 주파수로 분주가 가능한 1.92MHz를 생성하도록 설계하였으며, 1V 전원전압에서 0.45 μ A의 전류소모를 갖는다.

2.7 Power on Reset

그림 11은 설계된 POR의 회로도이다. POR은 태그의 전압이 정상상태에 이를 때 태그가 정상적인 동작을 시작하도록 디지털 블록에 리셋신호를 보내는 역할을 한다.

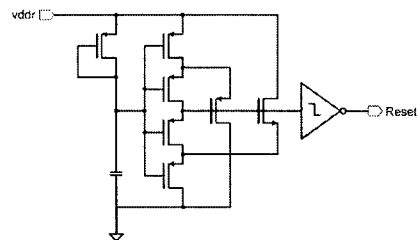


그림 11. 설계된 POR의 회로도
Fig. 11. Schematic of the designed POR

설계된 POR 회로[6]는 커패시터에 충전된 전압이 슈미트 트리거의 upper trip 포인트와 만날 때 리셋 신호를 생성하게 되며, 1V 전원전압에서 1.2 μ A의 전류를 소모한다.

2.8 메모리 블록

메모리 블록은 사용자의 ID 및 정보를 저장하기 위한 블록으로 읽고 쓰기가 가능한 EEPROM과 이를 제어하기 위한 디지털 블록으로 구성되어야 한다. 하지만 본 논문에서는 설계된 아날로그 블록의 성능 테스트를 위해 64bit의 Mask ROM으로 구현하였다. 그림 12는 설계된 메모리 블록의 블록 다이어그램으로, Ripple counter의해 제어되며, NMOS 트랜지스터만으로 메모리 코어를 구현하였다. 설계된 메모리 블록은 1V 전원전압에서 1.36 μ A의 전류소모를 갖는다.

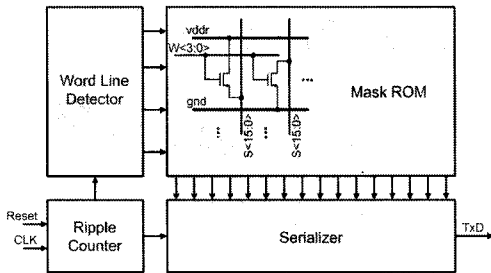


그림 12. 설계된 메모리 블록의 블록 다이어그램
Fig. 12. Block diagram of the designed memory block

III. 모의실험 결과

설계된 회로를 0.18 μ m CMOS 공정변수를 사용하여 Cadence spectre 시뮬레이션 한 결과를 그림 13, 14, 15에 나타내었다.

그림 13은 설계된 회로의 모의실험결과를 나타내며, 0.3V_{peak}의 RF신호가 태그에 입력될 때를 가정하여 수행하였다. 0.3V_{peak}의 CW(Continuous Wave)신호 입력이 정류기에 의해 2.3V까지 승압(A)되고, 약 3 μ s에서 태그 내부의 전원전압(B)이 1.002V로 안정화되며, 원하는 주파수의 클럭(C)을 발생한다. 그리고 충분히 클럭이 안정화 되었다고 예상되어지는 약 50 μ s에서 리셋신호(D)가 발생되고, 이와 동시에 디지털 블록이 동작을 시작하여 메모리에 저장된 데이터(E)가 PSK 변조기로 전달되는 것을 확인할 수 있다.

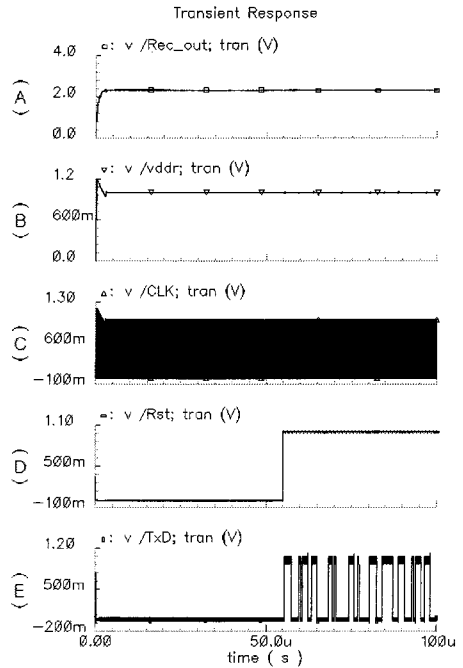


그림 13. 설계된 아날로그 블록의 출력파형
Fig. 13. Output waveforms of the designed analog front end

그림 14(A)는 레귤레이터에 의해 생성되는 태그 내부의 전원전압 파형을 확대한 파형으로, 1.68mV의 흔들림을 보인다. 그림 14(B)는 클럭 발생기에서 발생하는 클럭의 파형을 확대한 것으로, 원하는 주파수인 1.92MHz(519.13ns)의 클럭이 발생하는 것을 확인할 수 있다.

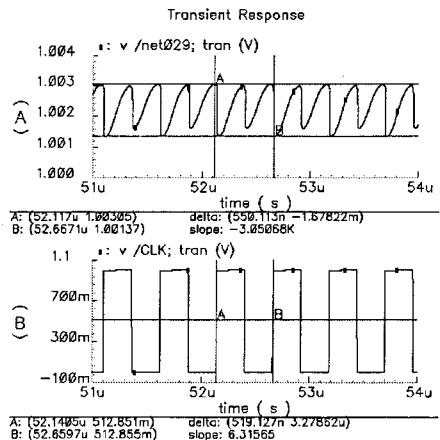


그림 14. (A) 안정화된 전원전압, (B) 확대된 클럭 파형
Fig. 14. (A) The regulated voltage, (B) The enlarged clock waveform

그림 15는 ASK 복조기의 각 노드의 파형으로, V_A 는 안테나 입력되는 90% 변조된 ASK 변조신호, V_E 는 포락선 검출기에 의해서 검출된 포락선 신호를 노이즈 필터를 통해 노이즈가 억압한 포락선 신호, I_D 는 미분회로에 의한 I_{LH} 과 I_{HL} 에서만 피크를 갖는 신호, V_R 은 ASK 복조기에 의해 복조된 데이터 신호파형이며, $0.2V_{peak}$ 입력신호가 수신될 때의 결과파형이다. 동작 확인을 위해 임의의 파형(CW-001001)을 인가하였다.

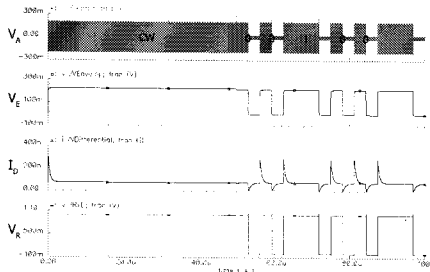


그림 15. 제안된 ASK 복조기의 각 노드 파형
Fig. 15. Node waveforms of the proposed ASK demodulator

설계된 아날로그 회로의 성능과 기존에 발표된 RFID 태그 칩[7~10] 성능을 표 1에 비교하여 요약하였다. 설계된 아날로그 회로는 1V 전원전압에서의 $2.63\mu A$ 전류소모를 보이며 $0.12mm^2$ 의 면적을 갖는다. 다른 아날로그 회로들 보다 전력소모 및 면적에서 우수한 특성을 보인다. 또한 저전력 고성능의 bias회로 설계를 통해 BGR(Bandgap Reference)의 필요성을 제거 하여 이전연구[10] 보다 $7.77\mu A$ 의 전류소모를 줄일 수 있었으며, 면적 또한 줄일 수 있었다.

그림 16은 설계된 아날로그 블록의 레이아웃 도면이다. 칩의 면적은 $370\mu m \times 336\mu m$ 이다.

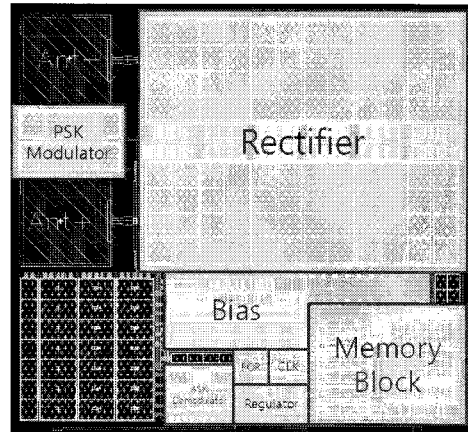


그림 16. 설계된 아날로그 블록의 레이아웃 도면
Fig. 16. Layout of the designed analog front-end

IV. 결론

본 논문에서는 UHF대역 RFID 태그를 위한 저전력 고성능 아날로그 회로를 설계하였다. 태그의 인식률을 높이기 위해 설계된 모든 회로들을 태그 내부에서 발생하는 1V 전원전압으로 동작 가능하도록 설계하였으며, 저전력의 bias 설계를 통한 BGR의 필요성을 제거하였다. 또한 보다 정확한 데이터 복조를 위해 전류모드 슈미트 트리거를 이용한 ASK 복조기를 제안하였다. 제안된 ASK 복조기는 1V 전원전압에서 $0.98\mu A$ 전류소모를 갖으며, 0.014% 복조오차를 갖는다.

설계된 아날로그 회로는 성능테스트를 위해 메모리 블록을 포함하고 있으며, $1.36\mu A$ 의 전류 소모를 갖는다. 설계된 전체회로는 1.5V의 공급전압에서 약 $15.1\mu A$ 의 전류소모를 보이며, 설계된 레귤레이터에 의해 발생하는 1V의 전원전압에서 $2.63\mu A$ 의 전류소모를 갖는다. 칩 면적은 $0.12mm^2$ 이다.

표 1. 성능 비교

Table. 1 Performance comparison

Categories	[7]	[8]	[9]	[10]	This work
Process	$0.25\mu m$	$0.35\mu m$	$0.5\mu m$	$0.18\mu m$	$0.18\mu m$
ASK Demodulator	-	-	-	$1.06\mu A$	$0.98\mu A$
POR	-	-	-	$2.45\mu A$	$1.2\mu A$
CLK Generator	$1.2\mu A$	-	-	$1.56\mu A$	$0.45\mu A$
Operation Voltage	1.5V	1.5V	1.5V	1V	1V
Total Power Consumption	$5.14\mu W$	-	$2.7\mu W$	$10.4\mu W$	$2.63\mu W$
Chip Size	$0.42mm^2$	$0.41mm^2$	$0.26mm^2$	$0.3mm^2$	$0.12mm^2$

참고문헌

- [1] EPC Global Radio-Frequency Identity Protocols Class-1 Generation2 UHF RFID, Version 1.0.9 2005
- [2] Zheng Zhu, Behnam Jamali, Peter H. Cole, "An HF/UHF RFID Analogue Front-end Design and

Analysis" Auto-ID Centre White Paper Series, no. 1, 2005

- [3] S.R. Ramirez Chavez "Mixed-mode Schmitt trigger equivalent circuit", *Electronics Letters*, vol 31, no 3, pp. 152 ~ 154, 2 Feb. 1995
- [4] 박지만 외, "접촉/비접촉 겸용 IC 카드를 위한 Type-B RF 회로 설계", 2001년도 한국 통신학회 하계 종합학술대회 논문집(하), 2001
- [5] Udo Karthaus, Martin Fischer, "Fully Integrated Passive UHF RFID Transponder IC With 16.7 μ W Minimum RF Input Power", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1602 ~ 1608, Oct. 2003
- [6] 오원석, 유종근, "CMOS RFID 트랜스폰더 Chip 설계" *Proceeding of KICS summer conference*, vol. 21, No. 2, pp. 1346-1349, 2000
- [7] Namjun Cho, Seong-Jun Song, Sunyoung Kim, Shinho Kim, Hoi-Jun Yoo, "A 5.1 μ W UHF RFID Tag Chip intergrated with Sensors for Wireless Environmental Monitoring", *IEEE International symposium on Circuits and Systems*, pp. 279 ~ 282, 2005
- [8] Nhan Tran, Bomson Lee, Jong-Wook Lee, "Development of Long-Rang UHF-band RFID Tag chip Using Schottky Diodes in Standard CMOS Technology", *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 281 ~ 284, 2007
- [9] W. Jeon, J. Melngailis, R. W. Newcomb, "CMOS Passive RFID Transponder with Read-Only Memory for Low Cost Fabrication", *IEEE International Proceedings of SoC Conference*, pp. 181 ~ 184, 2005
- [10] 심현철, 김경환, 박종태, 유종근 "900MHz 수동 RFID 태그를 위한 저전력 고성능 CMOS 아날로그 회로 설계" 2007년도 SoC 학술대회, 2007

저자소개

심 현 철(Hyun-chul Shim)



2006.2 인천대학교 전자공학과 학사
2006.3 ~ 현재 인천대학교 대학원
전자공학과 석사과정

※관심분야: RFID 리더 및 태그 설계, 고성능 PLL 설계

차 충 현(Chung-hyeon Cha)



2007.2 인천대학교 전자공학과 학사
2007.3 ~ 현재 인천대학교 대학원
전자공학과 석사과정

※관심분야: 고성능 CDR 설계, CMOS Analog IC 설계

박 종 태(Jong-tae Park)



1981.2 경북대학교 전자공학과 학사
1983.8 연세대학교 전자공학과 석사
1987.2 연세대학교 전자공학과 박사

1983.8 ~ 1985.8 금성반도체(주) 연구소 연구원
1991.1 ~ 1991.12 MIT Post Doc.
2000.7 ~ 2001.8 UC Davis 방문교수
1987.3 ~ 현재 인천대학교 전자공학과 교수
※관심분야: CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유 종 근(Chong-gun Yu)



1985.2 연세대학교 전자공학과 학사
1987.2 연세대학교 전자공학과 석사
1993.12 Iowa State University 전기
및 컴퓨터공학과 Ph.D.

1989.9 ~ 1991.8 Texas A&M Univ. 전기공학과 연구조교
1994.3 ~ 현재 : 인천대학교 전자공학과 교수
※관심분야: CMOS Analog/Mixed-mode IC 설계, RFIC 설계