

밸리-필 정류기의 전류 THD 개선

(Current THD Improvement of Valley-Fill Rectifier)

최남열 · 이지환*

(Nam-Yeol Choi · Chi-Hwan Lee)

요 약

본 연구는 밸리-필 정류기를 이용한 전류 THD 개선 방법을 제시한다. 제안된 회로는 밸리-필 정류기와 부스팅 인덕터를 결합한 구조를 가지며, AC/DC 변환과 PFC를 동시에 수행한다. PWM 스위칭에 따른 부스팅 효과로 입력 전류를 제어하여 밸리-필 정류기의 특성을 개선한다. 이 결과는 낮은 전류 THD를 보장한다. 동작 모드와 전류 THD를 분석하고, 최적 부스팅 인덕터를 결정한다. 밸리-필 정류기와 부스팅 인덕터를 채용한 100[W] AC/DC 컨버터를 제작하였고, 시뮬레이션과 실험으로 제안된 방법의 타당성을 검증하였다.

Abstract

A method for improving current THD of Valley-fill rectifier is proposed in this paper. The proposed topology combines a boosting inductor with Valley-fill rectifier which carry out AC/DC conversion and PFC simultaneously. The boosting effect by PWM switching makes low THD current and improve of Valley-fill rectifier. The operation modes and THD of input current are analyzed as applied the boosting inductor, and the optimum value of boosting inductor is determined. A 100[W] single-stage converter has been designed and tested. Experimental results are presented to verify the validity of the proposed method.

Key Words : Valley-fill rectifier, THD, PFC

1. 서 론

오늘날 거의 모든 전자기기들은 60[Hz] 상용 교류 전원에서부터 전력을 공급받고 50[%]이상이 여러 종류의 전력 변환기를 사용한다. 대부분의 전력변환 기들은 커패시터 입력형 방식을 사용하고 비선형적

인 특성으로 인해 비정현 입력전류를 가지며, 이로 인해 다른 기기에 문제를 유발하고 낮은 역률을 나타낸다. 최근 생산설비의 안정성과 효율 향상을 위해 전원 품질에 대한 기준이 세계적으로 정립되고 규제가 강화되고 있다. 이러한 규제에 대응하고자 여러 형태의 역률 개선회로가 개발되어 전력 변환기에 적용되어 사용되고 있다.

역률 개선회로는 입력전류를 입력 전압과 동상인 형태로 만듦으로써 입력 전류의 고조파 성분과 전원 라인에서 발생하는 손실을 감소시킨다. 단일 스위치

* 주저자 : 위덕대학교 전자공학부 부교수
Tel : 054-760-1613, Fax : 054-760-1619

E-mail : chlee@uu.ac.kr
접수일자 : 2007년 8월 20일
1차심사 : 2007년 8월 23일, 2차심사 : 2007년 9월 27일
심사완료 : 2007년 10월 15일

벨리-필 정류기의 전류 THD 개선

로 구성된 AC/DC 컨버터는 PFC+DC/DC 2단 구조와 비교하여, 낮은 원가에서 IEC 1000-3-2와 같은 고조파 규제를 만족시키는 적절한 방법이다[1]. 일반적인 2단 구조에서, PFC는 정현파 입력전류를 얻고 정류전압을 제어하며, 전압제어기는 부하에 가해지는 출력전압을 제어한다. 따라서 PFC용 능동 스위치와 전압제어기용 능동스위치가 각각 독립적으로 사용되고 부수적인 제어회로가 많아진다. 이에 비해 단일 스위치 컨버터는 출력전압 제어루프만 가지며, 입력전류는 독립적으로 제어될 수 없다. 대부분의 단일 스위치 컨버터들은 원가절감의 이유로 전자식 안정기와 같은 저 전력 응용부분에 사용된다. 필연적으로 나타나는 입력전류 왜곡으로 인해 전류 THD는 약 100[%] 내외이며, 고조파 규제를 만족시킬 수 없다. 전파 정류기를 사용한 경우 역률이 0.65 이하이고 전류 THD는 90[%] 이상이다[2]. 단일 스위치 컨버터에서는 이러한 결점들을 보완하기 위해 주로 브리지 회로전단이나 후단에 LC 필터를 추가하지만 상용 주파수영역의 인덕터 및 콘덴서는 큰 체적과 무게를 가진다[3].

역률 개선을 위한 널리 알려진 또 다른 방법은 벨리-필 정류기이다. 이 회로는 전파 정류기와 2개의 전해콘덴서, 그리고 3개의 정류다이오드로 구성된다. 벨리-필 정류기의 동작은 저장 콘덴서의 충전-방전 사이클이 전환되는 시점에서 다이오드의 스위칭으로 이루어지며 첨두 전압의 1/2이 맥동전압으로 나타난다. 이 회로에서는 콘덴서 충전 전류가 크게 나타나므로 전류 THD 개선을 위해 충전 경로에 인덕터나 적절한 저항을 삽입하거나 브리지 전단에 인덕터를 추가하기도 한다[4-6]. 벨리-필 회로와 인덕터, 플라이백 변압기 보조 권선을 사용한 컨버터에서는 플라이백 변압기의 구조가 복잡해지고, 체적과 무게가 증가된다[7]. 단일 스위치 구조로 입력전류를 제어하기 위해 백-부스터 형태인 SEPIC을 사용하여 전류 THD의 개선을 시도하지만, 출력에 120[Hz] 맥동성분이 나타나며 출력전압 제어특성이 나빠지는 문제를 보였다[8].

본 논문에서는 벨리-필 정류기에 직렬로 인덕터를 부가하여 부스팅 효과를 얻고 전류 THD를 개선시키는 방법을 제안한다. 제안된 회로는 파워드 컨

버터 및 벨리-필 정류기를 결합하고 브리지 다이오드 후단에 부스팅 인덕터를 부가하여 백 컨버터를 구성한다. 제안된 회로에서 나타나는 입력전류 모양에 따른 전류 THD를 시뮬레이션을 통해 계산하고 컨버터의 1차측 전류 파형으로부터 전류 THD를 최소로 하는 입력전류 모양을 설정한다. 입력 전압조건에 따른 제안된 회로의 동작해석과 부스팅 인덕터의 크기에 따른 전류 THD의 변화를 분석하고, 부스팅 인덕터와 저장 커패시터간의 에너지 전달 관계로부터 최적 부스팅 인덕터의 선정방법을 제시한다. 시뮬레이션 및 100[W] 컨버터의 실험으로 제안된 방법의 타당성을 보이고 역률 97[%], 전류 THD 26[%]를 얻어 IEC1000-3-2 Class C 표준을 만족하였다[9]. 또한 출력 전력 가변 실험에서 낮은 부하에서도 안정된 성능을 나타내었다.

2. 벨리-필 정류기 개선

전류 THD 개선을 위한 단일 스위치 구조의 AC/DC 컨버터를 설계한다. 일반적인 벨리-필 정류기와 브리지 다이오드 후단에 위치한 부스팅 인덕터가 결합된 구조로 이루어지고 단일 능동 스위치로 출력전압을 제어한다. 입력전류에 나타나는 펄스형태의 커패시터 충전전류를 적절한 용량의 부스팅 인덕터로써 제어할 수 있고 전체 입력전류 THD를 개선한다.

2.1 단일 스위치 컨버터의 구성

그림 1은 본 연구에서 제안된 회로의 구조를 보인다. 벨리-필 정류기, 부스팅 인덕터 L_B 그리고 1개의

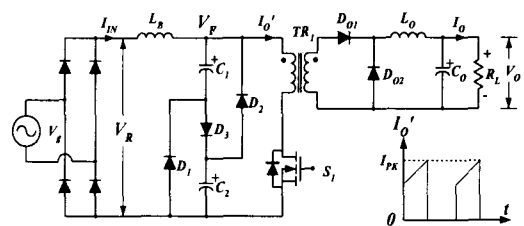


그림 1. 제안된 회로의 구조
Fig. 1. Structure of the proposed circuit

능동 스위치로 구성되고, 포워드 타입 변압기로 연결된다. 그림 1에서 V_R 은 정류전압, V_O 는 직류 출력 전압을 나타내고 I_O' 는 출력전류 I_O 의 변압기 1차측 등가전류이다. I_{PK} 는 부스팅 인덕터 전류 I_{LB} 의 첨두치이다.

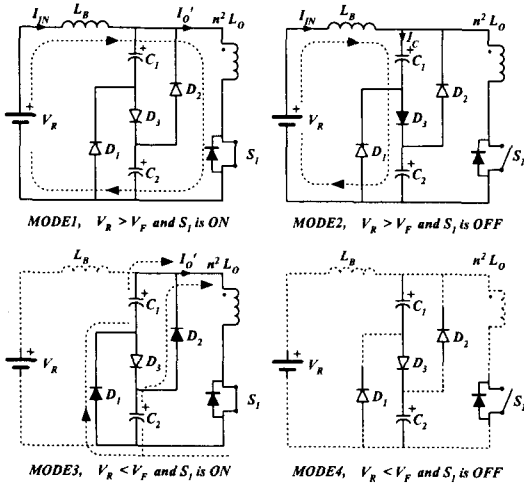


그림 2. 스위칭 사이클에 따른 모드별 회로 동작
Fig. 2. Circuit operation diagrams within switching mode

그림 2는 정상상태에서의 스위칭 사이클에 따른 회로 동작 모드를 나타내며 다음과 같이 설명된다.

Mode 1 : 회로의 전압 조건이 $V_R(t) \geq V_F(t)$ 일 때, 능동 스위치 S_1 은 전도 상태이며, 입력전류 I_{IN} 은 부스팅 인덕터 L_B 와 변압기를 거쳐 흐른다. 이 때 출력다이오드 D_{O1} 이 전도되며, 부스팅 인덕터 L_B 에는 인덕터 전류 I_{LB} 의 첨두치 I_{PK} 가 저장된다.

Mode 2 : S_1 은 차단 상태이며, 모드 1때 L_B 에 저장된 전류가 D_3 을 거쳐 C_1 과 C_2 에 충전된다. 출력다이오드 D_{O1} 은 차단상태이며, D_{O2} 가 전도된다.

Mode 3 : 회로의 전압조건이 $V_R(t) < V_F(t)$ 일 때, S_1 이 전도 상태이며 C_1 과 C_2 의 양단 전압 V_{C1} , V_{C2} 는 $V_F(t)$ 과 같다. C_1 과 C_2 는 등가적으로 병렬연결이 되며, D_1 과 D_2 를 통해 개별적인 방전경로를 구성

한다. 이 때의 부스팅 인덕터 L_B 는 전도상태가 아니므로 I_{LB} 와 I_{IN} 은 0이다. 출력다이오드 D_{O1} 이 전도되고, D_{O2} 는 차단된다.

Mode 4 : S_1 과 변압기 1차측 모든 다이오드들과 출력다이오드 D_{O1} 은 차단되고 D_{O2} 는 전도상태이다. L_B 는 모드3과 동일하게 전도상태가 아니며 I_{LB} 와 I_{IN} 은 0이다.

2.2 입력 전류 분석과 부스팅 인덕터 설계

그림 3은 제안된 회로에서 나타나는 V_F 전압과 평균입력전류 모양을 보인다. 그림 3 (a)의 V_F 전압은 밸리-필 출력전압과 부스팅 인덕터 L_B 에 의한 부스팅 전압 $V_B(t)$ 의 합으로 나타난다. ΔV_F 는 부하에 공급되어 소모된 방전전류에 의한 변화량이며, 구간 $[\alpha, \theta]$ 에서의 부스팅 전압과 구간 $[\theta, \pi/2]$ 동안 커패시터 충전전류 및 구간 $[\pi/2, \beta]$ 동안의 부스팅 전압으로 충전된다. 부스팅에 의한 밸리-필 전압 상승은 전파정류 전압에 비해 매우 작아 무시할 수 있으므로 부스팅 구간은 근사적으로 다음과 같이 정의할 수 있다.

$$\alpha \approx \frac{\pi}{6}, \quad \beta \approx \frac{5\pi}{6} \tag{1}$$

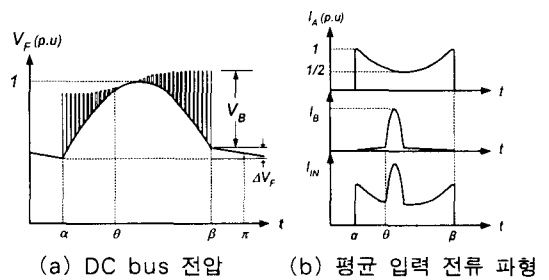


그림 3. DC bus 전압과 입력전류 파형
Fig. 3. Waveforms of DC bus

ΔV_F 와 커패시터 충전-방전전류의 관계식은 다음과 같다.

$$\Delta V_F = \left| \frac{1}{C_{ch}} \int_{\alpha}^{\beta} i_{ch} dt \right| = \left| \frac{1}{C_{ds}} \int_{\beta}^{\pi+\alpha} i_{ds} dt \right| \tag{2}$$

밸리-필 정류기의 전류 THD 개선

여기서 i_{ch} 는 구간 $[a, \beta]$ 에서의 커패시터 충전전류이고, i_{ds} 는 구간 $[\beta, \pi+\alpha]$ 에서의 커패시터 방전전류이다. C_{ch} 는 충전경로, C_{ds} 는 방전경로의 등가커패시턴스이며 그림 4에서 커패시터 충전과 방전시의 등가회로를 보인다. 그림 4 (a)는 커패시터 충전시 등가회로이며 mode2일 때, 그림 4 (b)는 커패시터 방전시 등가회로로 mode3일 때를 각각 나타낸다. $C_1=C_2$ 일 때, C_{ch} 와 C_{ds} 는 다음과 같다.

$$C_{ch} = \frac{1}{2} C_1, \quad C_{ds} = 2 C_1 \quad (3)$$

그림 3 (b)에서는 구간 $[a, \beta]$ 에서 나타나는 포워드 평균 입력전류 I_A 와 커패시터 충전전류 I_B 의 모양을 보인다.

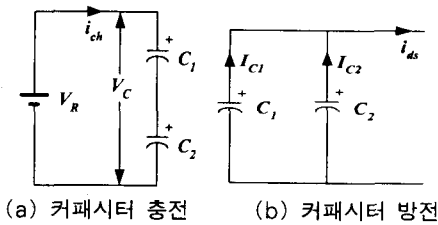


그림 4. 커패시터 충전-방전 등가회로
Fig. 4. Equivalent circuits of capacitor charge and discharge mode

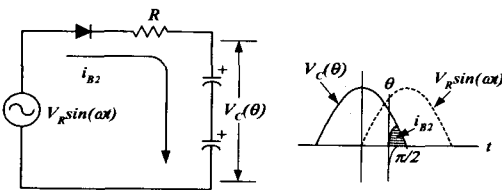


그림 5. 점호각 충전전류 I_{B2} 의 파형 그림
Fig. 5. Waveforms of critical angle charging current I_{B2}

전류 I_A 의 크기는 스위치의 전도시간에 관계하지만, 정류전압의 침두치와 최소전압의 비율이 약 1/2이므로, I_A 최대값과 최소값의 비율은 1/2이다. 전류 I_B 는 부스팅 인덕터 L_B 에 의한 충전전류 I_{B1} 및 정류기 출력전압 $V_R(t)$ 가 직렬 구성된 커패시터 양단전압 $V_C(t)$ 보다 커지는 점호각 θ 부터 유입되는 전류

I_{B2} 로 구성되고, 그림 5에서 등가회로와 파형 그림으로 나타내었다. 그림 5에서 R 은 커패시터와 직렬로 구성된 등가저항이며 점호각 충전전류 I_{B2} 는 다음과 같이 표현된다.

$$\begin{aligned} I_{B2} &= \frac{V_R \sin(\omega t)}{R - jX_C} - \frac{V_C(\theta)}{R} e^{-\frac{t-\theta/\omega}{RC}} \\ &\approx \frac{V_R \sin(\omega t)}{R - jX_C} - \frac{V_R \cos \theta}{R} e^{-\frac{t-\theta/\omega}{RC}} \\ &\approx \omega C_{ch} V_R \cos(\omega t) - \frac{V_R \cos \theta}{R} e^{-\frac{t-\theta/\omega}{RC}} \end{aligned} \quad (4)$$

$$t = \left[\frac{\theta}{\omega}, \frac{\pi/2}{\omega} \right]$$

식 (4)로부터, 점호각 충전전류 I_{B2} 는 커패시터 정전용량 C_{ch} 와 점호각 θ 로써 결정되고, $V_C(\theta)$ 를 구간 $[a, \theta]$ 동안 충분히 상승시킨다면 점호각 충전전류 I_{B2} 는 제거될 수 있다. 제안된 회로에서 점호각 충전전류 I_{B2} 가 제거되는 부스팅 인덕터 L_B 의 인덕턴스와 저장 커패시터 C_1, C_2 의 정전용량을 선정하기 위해 컨버터 PWM 스위칭 주파수는 입력전압의 주파수에 비해 매우 크고, 출력전압 V_O 는 일정하다고 가정한다. 식 (2)는 식 (1)에서 근사화된 회로상수를 적용하여 다음과 같이 다시 쓸 수 있다.

$$\Delta V_F = \frac{1}{C_{ds}} I_{AP} \frac{T}{2} \cdot \frac{1}{3} \quad (5)$$

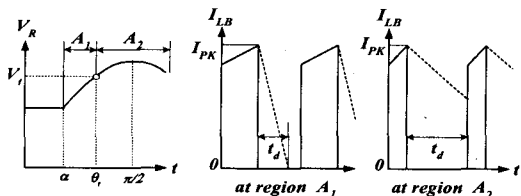


그림 6. L_B 의 전류 파형 그림
Fig. 6. Waveforms of I_{LB}

여기서 I_{AP} 는 평균입력전류 I_A 의 침두치이며, T 는 공급전원 V_g 의 주기이다. 그림 6은 PWM 스위칭 주기 동안의 인덕터 전류 I_{LB} 의 파형을 보인다. 일반적으로 큰 출력인덕터 L_o 의 영향으로 인덕터전류 I_{LB} 의 침두값 I_{PK} 는 일정하며, V_R 의 변화에 따라 PWM 스

위칭 펄스폭이 변화한다. 임계각 θ_c 는 전류 I_{LB} 의 하강시간이 증가하여 연속전류가 되는 시점이다.

그림 6의 충전시간 t_d 는 mode 2에서 저장커패시터 C_1, C_2 로 에너지가 전달되는 시간이며, 이 때에 부스팅 인덕터 L_B 에 인가되는 전압 V_{LB} 는 다음과 같다.

$$V_{LB} = V_C - V_R = V_C - V_{RP} \sin \theta = L_B \frac{I_{PK}}{t_d(\theta)} \quad (6)$$

여기서 정류전압의 첨두치 $V_{RP} \approx V_C$ 이므로 충전 시간 $t_d(\theta)$ 는 다음과 같이 정의된다.

$$t_d(\theta) = \frac{L_B \cdot I_{PK}}{V_C - V_{RP} \sin \theta} \approx \frac{L_B \cdot I_{PK}}{V_{RP}(1 - \sin \theta)} \quad (7)$$

임계각 θ_c 보다 낮은 불연속 전류 구간 A_1 과 연속 전류 구간 A_2 에 해당하는 충전시간은 그림 6에서와 같이 나타난다. 충전전류는 구간 A_1 에서는 삼각형 형태이며 구간 A_2 에서는 사다리꼴 모양이다. 임계각 $\theta_c = \pi/3$ 라 가정하면, 구간 A_1 및 A_2 는 동일한 간격을 가지며 구간 A_1 의 삼각형 면적을 구간 A_2 의 사다리꼴 면적에 합하고, 이것을 크기 $I_{AP} \times t_d$ 직사각형으로 둘 수 있다. 이때 충전 전하량 Q_1 은 다음과 같다.

$$Q_1 \approx 2 \int_{\theta_c}^{\pi/2} I_{PK} \frac{(1-d_m)}{f_s} d\theta \quad (8)$$

$$= 2 \left[I_{PK} \frac{(1-d_m)}{f_s} f_s \frac{T}{2} \frac{(\pi/2 - \pi/3)}{\pi} \right]$$

여기서 d_m 은 평균 듀티비이다. 식 (8)의 충전전하량은 방전전하량과 동일해야하므로 다음의 식으로 표현할 수 있다.

$$Q_2 = C_{ch} \cdot (2 \Delta V_F) \leq Q_1 \quad (9)$$

부스팅에 의해 점호각 충전전류 $I_{B2} = 0$ 가 되는 조건은 $Q_1 \geq Q_2$ 이다. 임계각 $\theta_c = \pi/3$ 을 만족하는 부스팅 인덕터 L_B 의 크기를 식 (7)로부터 구할 수 있다.

$$L_B = \frac{(1-d_m)}{f_s} \frac{V_{RP}(1 - \sin \pi/3)}{I_{PK}} \quad (10)$$

식 (10)을 만족하는 경우, 임계각 $\pi/3$ 의 L_B 를 기준으로 점호각 충전전류 I_{B2} 가 사라지게 되는 L_B 의 값을 선택할 수 있다. 전체 입력전류 모양을 정현파에 좀 더 가깝게 만들어 전류 THD를 최소로 나타나도록 L_B 의 최적값을 선정한다.

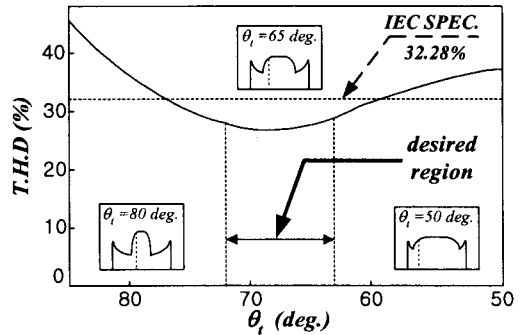


그림 7. 전류 THD와 입력전류 관계
Fig. 7. THD for waveforms of line current

그림 7은 입력전류 모양에 따른 전류 THD를 보인다. 전류 THD와 입력전류 모양의 관계는 프로그램을 사용한 시뮬레이션으로 얻어졌다. 각 임계각에 따른 전체 입력전류 모양을 구하고 이를 한 주기 동안 256개의 이산 데이터로 만든 뒤 DFT 알고리즘을 사용하여 50차까지의 고조파 성분을 계산하고, 이 결과를 적용하여 전류 THD를 계산하였다. 시뮬레이션 결과에서 임계각 θ_c 에 따라 IEC 규제를 만족하는 구간은 대략 $[58^\circ, 75^\circ]$ 이며, 최소 전류 THD 구간은 $[63^\circ, 72^\circ]$ 이다. L_B 에 의한 부스팅 효과는 식 (4)의 $V_C(\theta)$ 를 구간 $[a, \beta]$ 에서 분산하여 상승시키고, 밸리-필 전압 V_F 를 정류전압 V_R 보다 크게 한다. 이것은 PWM 스위칭 차단시간 동안 L_B 에 흐르는 전류가 저장 커패시터로 유입된 결과이다. 구간 $[a, \beta]$ 동안 저장 커패시터로 유입된 전하량이 충분히 크다면, 점호각 충전전류 I_{B2} 는 나타나지 않으며, 임계각 θ_c 는 좀 더 앞서게 된다.

3. 실험 및 고찰

PSpice를 이용하여 시뮬레이션을 행하고 표 1은 시뮬레이션과 실험에 적용된 AC/DC 컨버터의 각

밸리-필 정류기의 전류 THD 개선

파라미터를 나타낸다. 제안된 회로에서 부스팅 인덕터 L_B 의 값을 $0 \sim 140[\mu\text{H}]$ 로 가변 적용하고, 이 때의 입력전류를 시뮬레이션으로 얻었다. 각각의 입력전류를 비교 분석하여 최소 전류 THD를 나타내는 입력전류 모양을 얻는다.

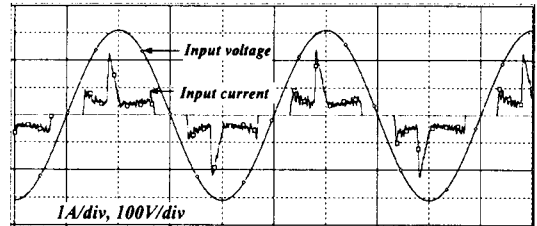
표 1. 적용된 컨버터의 파라미터
Table 1. Parameters of the tested AC/DC converter

Parameter	Value
입력 전압 : V_g	220[V]/60[Hz]
출력 전압 : V_o	28[V]dc/3.5[A]
부하 저항 : R_L	8.3[Ω]
포워드 변압기 권수비 : n	1.56(n_1/n_2)
변압기 1차 인덕턴스 : L_1	12.0[mH]
변압기 2차 인덕턴스 : L_2	4.9[mH]
변압기 결합도 : K	0.999
PWM 스위칭 주파수 : f_s	66[kHz]
부스팅 인덕터 : L_B	0 ~ 140[μH]
저장 커패시터 : C_1, C_2	100[μF]
출력 커패시터 : C_o	470[μF]
출력 인덕터 : L_o	160[μH]

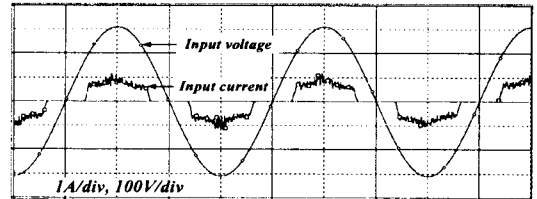
그림 8은 PSpice 시뮬레이션 결과를 보인다. 그림 8 (a)는 L_B 를 채용하지 않았을 때의 입력전류이며 일반적인 밸리-필 정류기의 결과와 동일하다. 그림 8 (b)에서는 커패시터 충전전류가 거의 사라졌고 전체 입력전류는 그림 8 (a)에 비해 좀 더 정현파에 가깝다. 그림 8 (c)에서의 입력전류 파형은 그림 8 (b)에 비해 전도구간이 줄어들었지만, 전체 입력전류의 모양은 정현파에 근접하고 첨두치는 유사하게 나타난다.

본 논문의 실험장치인 AC/DC 컨버터는 시뮬레이션에서와 동일한 파라미터를 사용하였고 입력전압의 변동율은 $220[\text{V}] \pm 10[\%]$ 이내로 제한하였다. 전류 THD와 역률을 측정하기 위해 Voltech사의 PM300을 사용하였고 전체 입력 전류의 파형과 제작된 컨버터의 DC bus 전압 파형은 Tektronix사의 TDS 3014B 오실로스코프로 측정하였다. Voltech사의 PM300은 250[kHz]의 대역폭을 가지며, 50차까지의

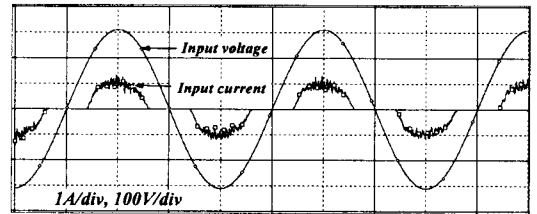
고조파 성분을 합산하여 전류/전압 THD와 역률을 산출한다.



(a) at $L_B = 0$



(b) at $L_B = 70[\mu\text{H}]$



(c) at $L_B = 140[\mu\text{H}]$

그림 8. PSpice 시뮬레이션 결과
Fig. 8. Simulation results of PSpice

그림 9의 결과에서와 같이 L_B 의 증가에 따라 전류 파형의 첨두값이 점차 낮아지고 큰 L_B 의 채용은 그림 10과 같이 커패시터 충전전류가 사라지게 한다. 또한 L_B 값의 증가로 앞에서 정의한 임계각 θ_t 가 점차 앞당겨지는 효과를 볼 수 있다. DC bus 전압은 부스팅에 의한 전압과 밸리-필 전압이 더해진 형태로 나타나고 부스팅에 의한 전압상승이 구간 $[\alpha, \beta]$ 에서 일어남을 알 수 있다. L_B 가 매우 작은 용량이므로 부스팅 된 전압이 입력전압의 첨두치와 유사한 크기를 가진다.

그림 11은 제작된 100[W] 컨버터의 전류 THD와 역률을 보인다. L_B 를 채용하지 않을 경우, 역률은 0.94이고 전류 THD는 33.8[%]를 나타낸다. 이 때는

IEC 1000-3 -2의 고조파 규제를 만족하지 못한다. L_B 가 $70[\mu\text{H}]$ 일 때, 0.97의 역률과 26[%]의 전류 THD를 나타내며, 동일 실험 조건에서 가장 우수한 결과를 보였다. L_B 는 수십 $[\mu\text{H}]$ 의 값을 가지며 이는 포워드 변압기의 1차측 인덕턴스에 비해 매우 작은 값이다. 따라서 컨버터의 동작에는 영향을 미치지 않아 전체 시스템의 안정도를 저하시키지 않는다. 그림 11의 결과는 그림 7의 전류 THD와 입력전류 관계와 동일한 경향을 보인다. 그림 12는 L_B 가 $70[\mu\text{H}]$ 일 때 출력 전력에 따른 전류 THD와 역률을 보인다. 정격 출력의 100[%]에서 70[%]까지는 거의 동일한 결과를 보이고 30[%]이하에서는 0.95이하의 역률과 30[%]이상의 전류 THD를 나타내었다.

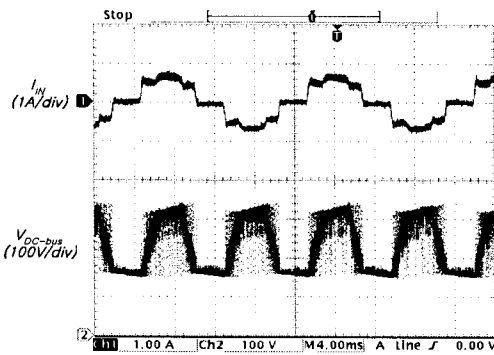


그림 9. L_B 에 대한 입력전류와 DC bus 전압
($L_B=70[\mu\text{H}]$)
Fig. 9. Input current and DC bus voltage waveforms with $L_B=70[\mu\text{H}]$

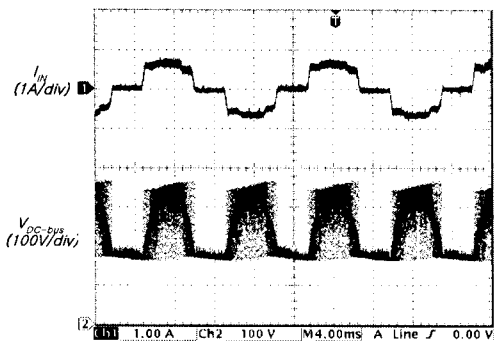


그림 10. L_B 에 대한 입력전류와 DC bus 전압
($L_B=140[\mu\text{H}]$)
Fig. 10. Input current and DC bus voltage waveforms with $L_B=140[\mu\text{H}]$

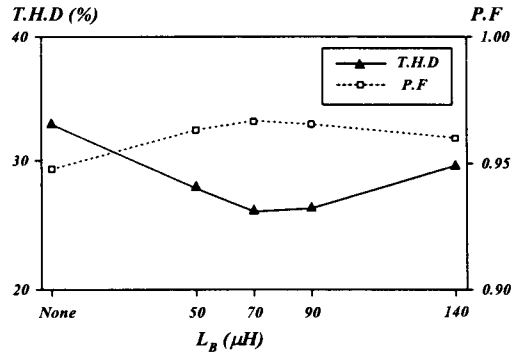


그림 11. 부스팅 인덕터 L_B 에 따른 전류 THD와 역률
Fig. 11. THD and power factor for various L_B ($P_o=100[\text{W}]$)

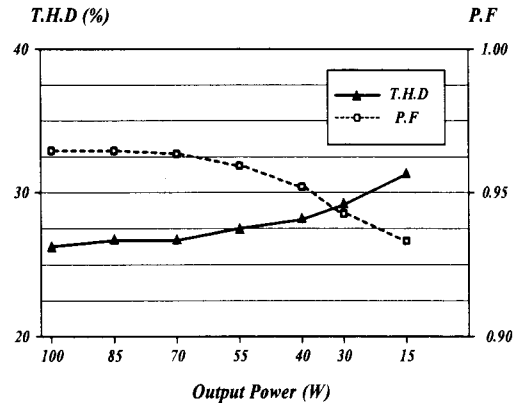


그림 12. 출력 전력에 따른 전류 THD와 역률
($L_B=70[\mu\text{H}]$)
Fig. 12. THD and power factor for varying power at $L_B=70[\mu\text{H}]$

4. 결 론

본 논문에서는 밸리-필 정류기에 부스팅 인덕터를 추가하여 전류 THD를 개선시키는 방법을 제시하였다. 회로의 동작 모드 분석과 시뮬레이션을 통해 전류 THD를 최소로 하는 입력전류 모양을 설정하고, 부스팅 인덕터의 크기에 따른 전류 THD 변화를 고찰하였다. 전압조건에 따른 동작해석과 최적 전류 THD를 위한 부스팅 인덕터 선정 방법을 제시하였고, 밸리-필 정류기의 피크성분의 커패시터 충전전류를 제거하였다. 간단한 구조와 소용량의 인덕터를 채용한 100[W]출력 단일 스위치 컨버터를 설

밸리-필 정류기의 전류 THD 개선

계 및 제작하여 역률 0.97, 전류 THD 26[%]를 달성하였다.

출력 전력에 따른 역률과 전류 THD 측정으로 부하 변동에 대한 컨버터의 동작을 확인하였다. 제안된 방식은 기존의 단일 스위치 컨버터에 비해 낮은 원가로 기기의 체적과 무게를 줄일 수 있으며, 고조파 규제를 만족하는 우수한 성능을 보인다. 컨버터의 설계가 용이하고 구조적으로 안정하여 소형, 중형 전력 시스템에 매우 적합하다고 판단된다.

References

- [1] C. Qiao and K. Smedley, "A topology survey of single-stage power factor corrector with a boost type input-current-shaper" IEEE Applied Power Electronics Conference, APEC'00, pp. 460-467, 2000.
- [2] L. H Dixon, "High power factor pre-regulator for off-line power supplies", Unitrode Power Supply Design Seminar 1988.
- [3] O. García, C. Fernández, J. A. Cobos, J. Uceda, "Universal line voltage single-stage AC/DC converter" proc. of IEEE Applied Power Electronics Conference, APEC'02 .Vol. 1, pp. 237-241, 2002.
- [4] Yong-sik Youn, Gyun Chae and Gyu-Hyeong Cho, "A unity power factor electronic ballast for fluorescent lamp having improved valley fill and valley boost converter" PEPEC'97, pp. 53-59, 1997.

- [5] Keith Billings, Switch-mode Power Supply Handbook, second edition, McGraw-Hill, pp. 4.10-4.13, 1999.
- [6] J. Spangler, B. Hussain, A. K. Behera, "Electronic fluorescent ballast using a power factor correction techniques for loads greater than 300 watts", in Proc. of IEEE Applied Power Electronics Conference, APEC'91, pp. 393-399, 1991.
- [7] P. Parto and K. Smedley, "Passive PFC for fly-back converters", International Power Conversion and Intelligent Motion Conference'99, Chicago, 1999.
- [8] C. A. Canesin and I. Barbi, "A unity power factor multiple isolated outputs switching mode power supply using a single switch", IAS'91, pp. 430-436, 1991.
- [9] IEC 61000-3-2-am1 (2001-8) Amendment 1: "Electromagnetic compatibility (EMC) Part 3-2: Limit-Limit of harmonic current emissions (equipment input current $\leq 16A$ per phase)", IEC, 2001.

◆ 저자소개 ◆

최남열 (崔男烈)

1971년 6월 24일생. 2002년 위덕대학교 전자공학과 졸업. 2004년 위덕대학교 전자공학과 졸업(석사). 현재 에스엘주식회사 근무.

이지환 (李治煥)

1961년 8월 6일생. 1984년 영남대학교 전자공학과 졸업. 1994년 경북대학교 전자공학과 졸업(박사). 현재 위덕대학교 전자공학부 부교수.