

턴-오프 시 PT-IGBT의 애노드 전압 강하 모델링

Modeling of Anode Voltage Drop for PT-IGBT at Turn-off

류세환¹, 이호길², 안형근^{1,a}, 한득영¹

(Sehwan Ryu¹, Hokil Lee², Hyungkeun Ahn^{1,a}, and Deukyoung Han¹)

Abstract

In this paper, transient characteristics of the Punch Through Insulated Gate Bipolar Transistor (PT-IGBT) have been studied. On the contrary to Non-Punch Through Insulated Gate Bipolar Transistor(NPT-IGBT), it has a buffer layer and reduces switching power loss. It has a simple drive circuit controlled by the gate voltage of the MOSFET and low on-state resistance of the bipolar junction transistor. The transient characteristics of the PT-IGBT have been analyzed analytically. Excess minority carrier and charge distribution in active base region, the rate of anode voltage with time are expressed analytically by adding the influence of buffer layer. The experimental data is obtained from manufacturer. The theoretical predictions of the analysis have been compared with the experimental data obtained from the measurement of a device(600 V, 15 A) and show good agreement.

Key Words : PT-IGBT, Buffer layer, Carrier distribution, Modeling

1. 서론

PT-IGBT(Punch Through Insulated Gate Bipolar Transistor)는 스위칭손실을 줄이고 동작주파수를 높이기 위하여 기존의 NPT-IGBT (Non-Punch Through Insulated Gate Bipolar Transistor)의 구조에서 n-드리프트 층에 버퍼 층을 삽입한 구조이다. 하지만 버퍼 층 삽입으로 인해 캐리어 주입 효율이 떨어지고, 베이스 층의 폭을 넓게 만들 수 없어서 최대 항복 전압이 작아지는 특성이 있다. 하지만 공정 상 베이스 층의 소수 캐리어 수명 시간을 조절함으로써 스위칭의 속도를 조절할 수 있다 [1]. 본 논문에서는 PT-IGBT의 과도 특성을 해석을 위해 턴-오프 특성에 가장 영향을 미치는 영역인 n-드리프트 영역에서의 캐리어 분포 및 전하량 분포를 모델링 하였으며, 또한 해석의 정확성을 높

이기 위해 버퍼 층에 관한 수식적인 부분을 추가 하였으며, 이것을 토대로 턴 오프 시 발생하는 애노드 전압 강하 식을 모델링하였다. PT-IGBT의 해석적 모델링을 위해 기존의 NPT-IGBT에 대한 연구[2,4,5,7]를 바탕으로 하였으며, PT-IGBT의 과도 특성 해석은 식의 복잡성으로 인하여 수치해석적인 방법들이 많이 제시[3,6,9]되어 왔으며 또한 이를 간단히 하기 위한 방법으로 버퍼 층의 해석을 배제하고 전압식을 유도하기도 하였다[8]. 최근에는 수직형 구조이외에도 수평형 구조를 가진 IGBT의 개발 및 특성 연구가 많이 이루어지고 있으나[10], 본 논문에서는 일반적으로 사용되고 있는 수직형 PT-IGBT를 수식해석적인 방법이 아닌 해석적 방법으로 턴-오프 시 애노드 전압 강하식을 유도하였으며, 모델의 정확성은 상용 소자(600 V, 15 A)의 실험 데이터와 비교하여 검증하였다.

1. 건국대학교 전기공학과

(서울시 광진구 화양동 1)

2. (주)삼성전자 반도체 총괄 메모리사업부

a. Corresponding Author : hkahn@konkuk.ac.kr

접수일자 : 2007. 10. 12

1차 심사 : 2007. 11. 26

심사완료 : 2007. 12. 6

2. PT-IGBT의 과도 특성 모델

2.1 PT-IGBT의 구조와 동작원리

그림 1은 PT-IGBT의 내부 구조를 나타내고 있다. 그림에서 보면 IGBT는 컬렉터, 베이스, 이미터로

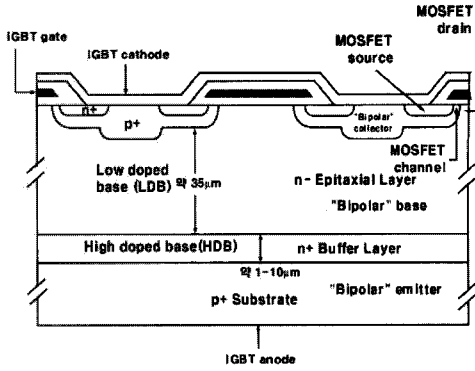


그림 1. PT-IGBT의 내부구조.
Fig. 1. Structure of PT-IGBT.

연결되는 pnp BJT 부분과 드레인, 소스, 게이트로 연결되는 MOSFET 구조로 되어있다. IGBT는 순방향 바이어스 일 때 p+ 기판과 n+ 버퍼 층에는 순방향 바이어스가 n- 드리프트 층과 p+ 컬렉터와는 역방향 바이어스가 인가된다.

게이트에 전압이 인가되면, MOSFET 부분의 채널에 전류가 생성되고, 이 전류가 pnp 트랜지스터의 베이스에 전류로서 주입되면서 소자가 도통하게 된다. 소자를 턴-오프 상태로 하기 위해서는 게이트에 인가된 신호를 0으로 해주면 된다. 이때 순방향 바이어스 차단상태가 되면서 채널전류인 전자 전류가 제거된다. 그러면 컬렉터 베이스 접합에 공핍층은 늘어나면서 애노드-캐소드 전압이 증가하게 된다.

2.2 정상상태에서의 모델

그림 2에서 정상 상태에서의 공핍층의 두께는

$$w_{bcj} = \sqrt{\frac{2\epsilon_{si}(V_{bc} + V_{bi})}{qN_D}} \quad (1)$$

으로 나타낼 수 있고 총 베이스의 폭은

$$W = W_B + W_D \quad (2)$$

으로 나타낼 수 있다.

여기서 V_{bc} 와 V_{bi} 는 베이스-컬렉터 전압강하와 접합 내부 전위를 나타내며, ϵ_{si} 는 실리콘 유전상수, q 는 $1.6 \times 10^{-19} [C]$, N_D 은 드리프트 층의 농도를 나타낸다[11].

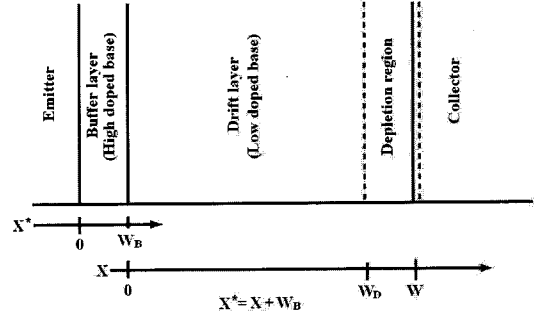


그림 2. 버퍼 층을 갖는 모델을 전개하기 위한 좌표 시스템.
Fig. 2. Coordinate system used in developing the model for buffer layer device.

식(1)에서 주어지는 총 베이스 폭을 이용해서 드리프트 층의 과잉소수캐리어농도를 표현하면

$$\delta p(x) = P_{D0} \frac{\sinh\left(\frac{W-x}{L}\right)}{\sinh\left(\frac{W}{L}\right)} \quad (3)$$

로 주어지고. P_{D0} 은 정상상태 시 $x=0$ 인 곳에서의 소수캐리어를 의미내고, L 은 확산길이를 나타낸다[12].

2.3 과도상태에서의 모델

그림 3에 과도 상태 시의 공핍층의 변화를 나타내었다. 이 때 공핍층의 변화는

$$W_{bcj} \approx \sqrt{\frac{2\epsilon_{si} V_A(t)}{qN_D}} \quad (4)$$

로 표현할 수 있고 식(4)에서 $V_A(t)$ 는 기울기 a 와 시간, t 의 곱으로 표현하고 나머지를 상수로 놓으면

$$W_{bcj} = W_{const} \times \sqrt{at} \quad (5)$$

로 놓을 수 있다. 여기서

$$W_{const} = \sqrt{\frac{2\epsilon_{si}}{qN_D}} \quad (6a)$$

$$a = \frac{8.2 \times 10^9}{\tau_D} + 7.6 \times 10^8 \quad (6b)$$

로 표현할 수 있다. 또한 과잉소수 캐리어의 분포도를 구하면 버퍼 층에서는

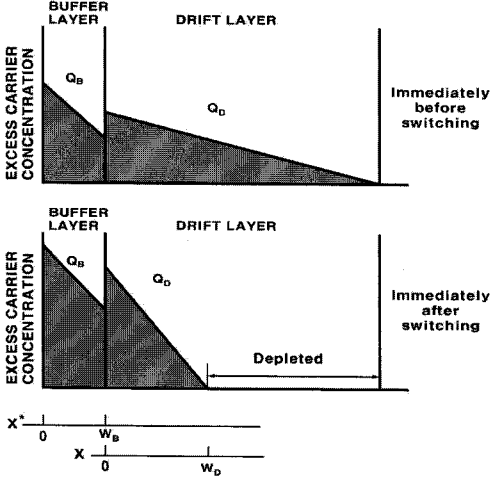


그림 3. 스위칭 전후의 buffer층과 drift층의 과잉 소수 캐리어 분포도.

Fig. 3. Excess minority carrier distribution in buffer layer and drift layer immediately before and immediately after switching.

$$\delta p(x^*) = P_{B0} \left[1 - \frac{x^*}{W_B} \right] + P_{BW} \frac{x^*}{W_B} \quad (7)$$

$$\delta p(x) = P_{D0} \left[1 - \frac{x}{W_D} \right] - \frac{P_{D0}}{W_D} \frac{dW_D}{dt} \left[\frac{x^2}{2} - \frac{W_D x}{6} - \frac{x^3}{3W_D} \right] \quad (8)$$

로 표현할 수 있다. 여기서 P_{B0} 은 정상상태 시 $x^*=0$ 에서의 과잉소수캐리어, P_{BW} 은 $x^*=W_B$ 인 곳에서의 과잉소수캐리어를 의미하며, W_B 는 버퍼층의 폭, W_D 는 드리프트 영역의 폭을 나타낸다. 식(7)과 (8)은 과도상태 해석 시 초기 조건으로 사용하였다.

과도상태 시 시간에 따른 전하량의 변화량을 나타내면

$$\frac{dQ_T}{dt} = -\frac{Q_D}{\tau_D} - \frac{Q_B}{\tau_B} - \frac{P_{B0}N_B}{n_i^2} J_{snc} \quad (9)$$

로 표현할 수 있고, Q_D 와 Q_B 는 드리프트와 버퍼 영역에서의 전하량을 나타낸 것이며, N_B 는 버퍼 층의 캐리어 농도이며, τ_D , τ_B 는 드리프트와 버퍼 영역의 캐리어 수명시간을 의미한다. N_B 는 버퍼 층의 캐리어 농도이며, n_i 는 진성캐리어 농도, J_{snc} 는 역포화 전류밀도를 나타낸다. 시간에 따른 전하량의 변화를 나타내는 식은 식(9)에서부터 얻을 수 있다.

$$Q_T(t) = (Q_T(0) + \tau_D \alpha) e^{-\frac{t}{\tau_D}} - \tau_D \alpha \quad (10)$$

여기서

$$\alpha = -\frac{Q_D}{\tau_D} + \frac{Q_B}{\tau_B} + \frac{P_{D0}N_D}{n_i^2} J_{snc} \quad (11a)$$

$$Q_T(0^+) = q(P_{B0} + P_{BW})L_{pB} \tanh\left(\frac{W_B}{2L_{pB}}\right) + qP_{D0}L_D \tanh\left(\frac{W_D}{2L_D}\right) \quad (11b)$$

$Q_T(0)$ 는 정상 상태 시 전체 전하량을 나타내면, L_{pB} 와 L_D 는 버퍼 층과 드리프트 영역에서의 확산 길이는 나타낸다.

과도 시에 시간에 따른 전압의 변화는 채널전류가 0으로 되고 베이스-컬렉터 가장자리에서의 전자전류는 컬렉터-베이스 공핍 정전용량의 변위전류와 같다는 데에서 유도할 수 있다. 따라서

$$\frac{dV_A}{dt} = \frac{I_T - \left(\frac{4D_{pB}}{W_B^2} Q_B + \frac{4D_{pD}}{W_D^2} Q_D \right)}{\frac{A\epsilon_{si}}{W_{bcj}} \left(1 + \frac{1}{b} \right) \left[1 + \frac{Q_D}{3qN_D A W_D} \right]} \quad (12)$$

I_T 는 정상 상태 시 전체 전류를 나타내며, D_{pB} 와 D_{pD} 는 버퍼 층과 드리프트 영역에서의 확산계수를 나타내며, A 는 소자의 단면적을 나타내는데 이는 실험에 사용한 소자의 단면적을 적용하였다.

식(12)인 경우 애노드 전압강하, V_A 의 값을 얻기 위해서는 수치 해석적인 방법을 적용해서 값을 구해야 하는데 이를 직접적으로 구하기 위해서 $Q/3qN_D W_D \gg 1$ 를 적용하여 식을 표현하면

$$\frac{dV_A}{dt} = \frac{I_T}{\frac{A\epsilon_{si}}{W_{bcj}} \left(1 + \frac{1}{b} \right) \left[\frac{Q_D}{3qN_D A W_D} \right]} - \frac{\frac{4D_{pB}}{W_B^2} Q_B}{\frac{A\epsilon_{si}}{W_{bcj}} \left(1 + \frac{1}{b} \right) \left[\frac{Q_D}{3qN_D A W_D} \right]} - \frac{\frac{4D_{pD}}{W_D^2}}{\frac{A\epsilon_{si}}{W_{bcj}} \left(1 + \frac{1}{b} \right) \left[\frac{1}{3qN_D A W_D} \right]} \quad (13)$$

와 같이 표현할 수 있다. 식(13)로부터 해석적인 $V_A(t)$ 를 구하면

$$V_A = \frac{R_B^2 - 2tR_A R_C - R_B \sqrt{BAC}}{2R_A^2} \quad (14)$$

$$R_A = W_{const}(R_r Q_D + I_T W_{const} t - 4 \frac{D_{pB}}{W_B} Q_B W_{const} t) \quad (15a)$$

$$R_B = W_{D0}(R_r Q_D + 2 I_T W_{const} t + 8 \frac{D_{pB}}{W_B} Q_B W_{const} t) \quad (15b)$$

$$R_C = I_T W_{D0}^2 - 4 D_{pD} Q_D - 4 \frac{D_{pB}}{W_B} Q_B W_{D0}^2 \quad (15c)$$

$$BCA = R_B^2 - 4 R_A R_C t \quad (15d)$$

$$R_r = \frac{r(1 + \frac{1}{b})}{R 3 q A N_B} \quad (15e)$$

와 같이 구할 수 있다.

3. 실험 데이터

그림 4에서 상용 PT-IGBT(600 V, 15 A) 소자의 턴-오프 시 파형을 나타내었다. 그림 4의 파형과 사용된 소자의 물성적 파라미터를 과도 특성 모델에 적용한 결과를 비교함으로써 본 논문에서 제시하는 모델을 검증하였다.

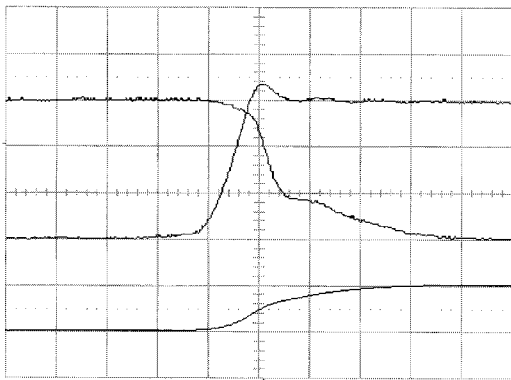


그림 4. PT-IGBT(600V, 15A)소자의 turn -off 시의 파형(x축 : 100 ns, y축 : 100 V).

Fig. 4. Waveform of PT-IGBT(600V,15A) device when device is turned off(x axis : 100 ns, y axis : 100 V).

4. 시뮬레이션 결과 및 고찰

그림 5는 베이스로 표현되는 드리프트 영역과 버퍼 영역에서의 과잉 소수 캐리어의 분포를 나타낸

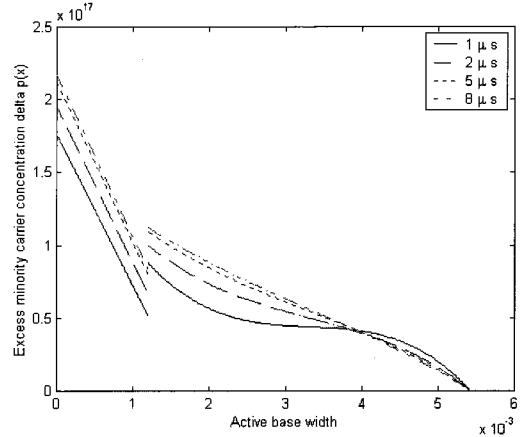


그림 5. 베이스에서의 과잉소수캐리어의 분포도.

Fig. 5. Excess minority carrier distribution in buffer layer and drift layer.

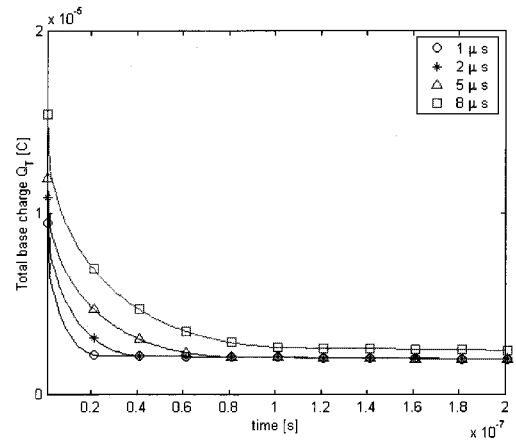


그림 6. 1 μ, 2 μ, 5 μ, 8 μ의 캐리어 수명시간에 따른 과도시의 총 전하량 분포.

Fig. 6. Total charge distribution in transient with carrier lifetime 1 μ, 2 μ, 5 μ, 8 μ.

것이다. 기존의 연구에서는 식의 복잡성 때문에 이런 버퍼 영역의 캐리어 분포를 나타내지 않고 적용한 경우가 많이 있는데 본 논문에서는 이 부분을 추가해서 결과를 얻어냈다.

그림 6은 스위칭 시간에 영향을 주는 캐리어 수명 시간에 따른 총 전하량 분포를 나타낸 것이다. 결국 드리프트 영역에 남아있는 전하가 tail 전류를 형성하게 되는데 수명 시간에 따라 베이스 영역에 남아 있는 전하량 분포를 수명시간에 따라서 가상 실험한 결과이다.

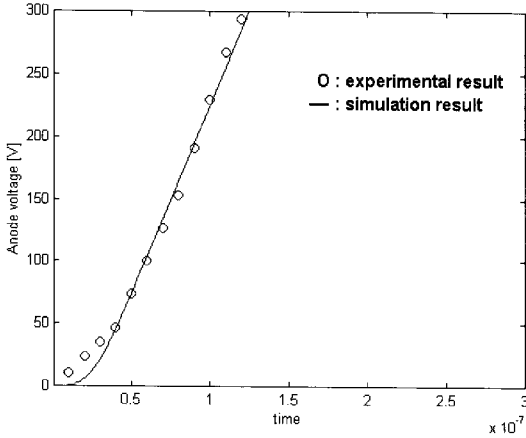


그림 7. 과도시의 수명시간 5 μ s 일 때의 애노드 전압의 실험치와의 시뮬레이션 데이터 비교.
 Fig. 7. Compare with experiment and simulation data of anode voltage in transient carrier lifetime 5 μ s.

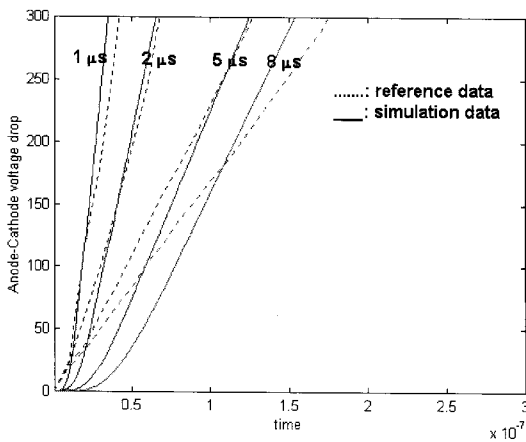


그림 8. 수명시간 1 μ s, 2 μ s, 5 μ s, 8 μ s 일 때의 애노드 전압의 비교.
 Fig. 8. Compare with anode voltage in carrier lifetime 1 μ s, 2 μ s, 5 μ s, 8 μ s.

그림 7은 본 논문에서 제시한 모델을 검증하기 위해 상용 PT-IGBT의 실험 데이터와 비교한 그래프이다. 우리가 제시한 모델과 실험 데이터와 거의 일치함을 보여주고 있다. 실험 데이터는 저항 부하를 적용했을 때 얻은 값이며, 이 비교를 통해 우리가 제시한 시간에 따른 애노드 전압 변화에 대한 식이 타당하다는 것을 알 수 있다.

그림 8은 수명시간에 따른 과도 전압 변화를 참고 데이터[8]와 비교한 것이다. 그래프 상에서 초기에 잘 맞지 않는 이유는 참고 모델은 버퍼 층을 제외시키고 해석하였기 때문이며, 우리가 제시한 모델은 이와 같은 단점을 보완하고 버퍼 층을 포함하였기 때문에 턴-오프 초기에 지연 시간이 생기는 현상을 보여주고 있고, 이것은 그림 7에서 보여주듯이 실제 소자 특성에 더 근접한 특성이라고 할 수 있다.

5. 결론

본 논문에서는 턴 오프 시 PT-IGBT의 애노드 전압 강화에 대한 모델을 해석적인 방법을 적용해서 제시하였다. 애노드 전압강화 식을 얻기 위해서 먼저 과도 상태 시 드리프트 영역과 버퍼 영역에서의 과잉 소수 캐리어 분포를 제시하였으며, 또한 그것을 토대로 총 전하량에 대한 수명 시간에 따른 과도 특성도 해석하였다. 총 전하량을 계산할 때에는 시간에 따른 컬렉터-베이스 접합에서의 공핍층의 변화도 같이 적용함으로써 실제 소자를 사용했을 시 나타나는 현상을 좀 더 수식적으로 적용하였다. 그 결과 최종적으로 우리가 구한 전압식이 실제 실험한 데이터와 비교했을 때 거의 일치하는 결과를 얻을 수 있었다.

향후 이러한 버퍼 층을 포함한 해석으로 인하여 좀 더 정확한 모델을 제시하여 IGBT에 구동 시 문제가 되고 있는 과도시의 전력손실에 대한 연구와 그 전력 손실로 인해 발생하는 열 특성 해석에 많은 기여를 할 것이라 사료된다.

감사의 글

이 논문은 2005년도 건국대학교 학술진흥연구비 지원에 의한 논문임.

참고 문헌

- [1] 최성환, 이용현, 권현규, 배영호, “양성자 조사법에 의한 PT-IGBT의 turn-off 스위칭 특성 개선”, 전기전자재료학회논문지, 19권, 12호, p. 1073, 2006.
- [2] A. R. Hefner, Jr., “Performance trade-off the insulated gate bipolar transistor: Buffer layer versus base lifetime reduction”, IEEE Transaction Power Electron, PE-2, p. 194, 1987;

also in IEEE PESC Conf. Rec., p. 27, 1986.

- [3] A. R. Hefner, Jr., "Analytical modeling of device-circuit interaction for the power insulated gate bipolar transistor(IGBT)", IEEE Transaction on Industry Applications, Vol. 26, No. 6, p. 995, 1990.
- [4] A. R. Hefner, Jr., "An improved understanding for the transient operation of the power insulated gate bipolar transistor (IGBT)", IEEE Transaction on Power Electronics, Vol. 5, No. 4, p. 459, 1990.
- [5] A. R. Hefner, Jr. "Modeling buffer layer igtb's for circuit simulation", IEEE Transactions on Power Electronics, Vol. 10, No. 2, p. 111, 1995.
- [6] A. R. Hefner, D. L. Blackburn, and K. F. Galloway, "The effect of neutrons on the characteristics of the insulated gate bipolar transistor (IGBT)", IEEE Transaction on Nuclear Science, Vol. NS-33, No. 6, p. 1428, 1986.
- [7] K. Sheng, S. J. Finney, and B. W. Williams, "A new analytical IGBT model with improved electrical characteristics," IEEE Transactions on Power Electronics, Vol. 14, No. 1, p. 98, 1999.
- [8] A. Ramamurthy, S. Sawant, and B. J. Baliga, "Modeling the [dV/dt] of the IGBT during inductive turn off", IEEE Transactions on power Electronics, Vol. 14, No. 4, p. 601, 1999.
- [9] S. M. Sze, Physics of Semiconductor Device 2nd Edition, Wiley-Interscience, p. 16, 2002.
- [10] 추교혁, 강이구, 성만영, "Trap 주입에 의한 LIGBT의 스위칭 특성 향상에 관한 연구", 전기전자재료학회논문지, 13권, 2호, p. 120, 2000.
- [11] R. F. Pierret, Semiconductor Device Fundamentals, Addison-Wesley company, Inc, p. 53, p. 79, 1996.
- [12] B. J. Baliga, Power Semiconductor Device, PWS Publishing Company, p. 426, 1996.