

논문 2008-4-11

해상 데이터 통신을 위한 저전력 전류모드 신호처리

Low Power Current mode Signal Processing for Maritime data Communication

김성권*, 조승일*, 조주필**, 양충모***, 차재상****

Seong-Kweon Kim*, Seung-Il Cho*, Ju-Phil Cho**, Chung-Mo Yang***, Jae-sang Cha****

요 약 해상통신에서 운용되는 OFDM (Orthogonal Frequency Division Multiplexing)통신 단말기는 긴급재난시에도 동작하여야 하므로, 저전력으로 동작하여야 한다. 따라서 Digital Signal Processing (DSP) 동작하는 전압모드 Processor 보다 저전력 동작이 가능한 전류모드 FFT (Fast-Fourier-Transform) Processor 의 설계가 필요하게 되었다. IVC (Current-to-Voltage Converter)는 전류모드 FFT Processor의 출력 전류를 전압 신호로 바꾸는 디바이스으로써, 저전력 OFDM 단말기 동작을 위해 IVC의 전력 손실은 낮아야 하고, FFT의 출력 전류가 전압신호에 대응이 될 수 있도록 넓은 선형적인 동작구간을 가져야 하며, 향후, FFT LSI와 IVC가 한 개의 칩으로 결합되는 것을 고려하면, 작은 크기의 chip size로 설계되어야 한다. 본 논문에서는 선형 동작 구간이 넓은 새로운 IVC를 제안한다. 시뮬레이션 결과, 제안된 IVC는 전류모드 FFT Processor의 출력 범위인 $-100 \sim 100[\mu\text{A}]$ 에서 $0.85\text{V} \sim 1.4\text{V}$ 의 선형동작구간을 갖게 됨을 확인하였다. 제안된 IVC는 전류모드 FFT Processor 와 더불어 OFDM을 이용한 저전력 해상 데이터통신 실현을 위한 선도 기술로 유용할 것이다.

Abstract In the maritime communication, Orthogonal Frequency Division Multiplexing (OFDM) communication terminal should be operated with low power consumption, because the communication should be accomplished in the circumstance of disaster. Therefore, Low power FFT processor is required to be designed with current mode signal processing technique than digital signal processing. Current- to-Voltage Converter (IVC) is a device that converts the output current signal of FFT processor into the voltage signal. In order to lessen the power consumption of OFDM terminal, IVC should be designed with low power design technique and IVC should have wide linear region for avoiding distortion of signal voltage. To design of one-chip of the FFT LSI and IVC, IVC should have a small chip size. In this paper, we proposed the new IVC with wide linear region. We confirmed that the proposed IVC operates linearly within 0.85V to 1.4V as a function of current-mode FFT output range of $-100 \sim 100[\mu\text{A}]$. Designed IVC will contribute to realization of low-power maritime data communication using OFDM system.

Keywords : 해상 데이터 통신, OFDM(Orthogonal Frequency Division Multiplexing), Current-mode, IVC, 저전력

1. 서 론

우리나라는 삼면이 바다로 이루어져 있고, 바다와 밀

접한 관계를 이루며 발전해 왔기 때문에, 해양자원에 대한 기술개발과 더불어 해상통신기술의 개발도 절실히 요구되고 있다. 해양통신기술은 디지털 정보시대와 더불어, 해상에서의 다양한 정보를 디지털 데이터로 송수신하는 것으로, 그 수요가 점차 확대되어 가고 있다. 디지털 정보화시대의 발달과 더불어 데이터통신을 이용한 기상 및 어황예보, 수온분포, 엇가 등의 다양한 정보와 서비스

*목포해양대학교 해양전자통신공학부

**군산대학교 전자정보공학부

***삼성전기 중앙연구소

****서울산업대학교 매체공학과(교신저자)

접수일자 : 2008.7.15, 수정완료일자 : 2008.8.2 . .

에 대한 수요가 발생하게 되어 데이터 통신에 대한 관심이 높아지게 되었고, 디지털통신기술의 응용연구가 전 세계적으로 활발히 진행되고 있다[1]. 그 중에서 54Mbit/s의 고속 데이터 속도달성을 위한 유망기술인 OFDM (Orthogonal Frequency Division Multiplexing)이 주목을 받고 있으며, 유선 및 무선이동통신 응용분야에서 표준기술로 채택되었다[2].

2006년 3월 말에 개최된 ITU-R (International Telecommunication Union-Radiocommunication) WP8B 회의에서 IMO (International Maritime Organization)에서 추진 중인 해상통신 현대화를 위한 기술적인 특성을 분석하고, 새롭게 제출된 OFDM 통신 방식에 대한 기술적인 논의가 있었다[3].

OFDM은 멀티패스(multi-path) 및 이동수신 환경에서 우수한 성능을 발휘하기 때문에 지상파 디지털 TV 및 디지털 음성 방송에 적합한 변조방식으로 주목을 받고 있다. 또한 OFDM은 EBU(European Broadcasting Union)가 제안한 디지털 음성 방송 시스템의 변조 방식으로 채택되면서 방송 분야에서도 연구 개발이 진행되고 있으며, IEEE 802.11a 및 IEEE 802.11g의 작업그룹에 의하여 2GHz대역 및 5GHz대역에서 고속 데이터 전송을 위한 WLAN (Wireless Local Area Network)의 표준기술로 확정 되어있다.

이러한 OFDM 신호의 복조를 위해 수신기 모듈에서는 첫 번째로 저전력 베이스밴드 신호 처리를 해야 한다. 일반적으로 FFT (Fast-Fourier Transform) Processor는 OFDM 신호를 복조하기 위한 main device이고, 이는 DSP (Digital Signal Processing)를 이용하여 충분히 구현되었다. 그러나 DSP로 구현된 FFT Processor는 큰 전력을 소비하며, 이는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이다[4].

베이스밴드 수신기 모듈의 큰 전력 소비의 단점을 보완하기 위해, 아날로그 회로들로 구현되는 current-mode FFT LSI가 제안되었다. Current mirror로 구성되는 current-mode 회로는 스위치 또는 sampled current type으로 사용되고, 일반적으로 CMOS (Complementary Metal-oxide Semiconductor) 기술이 적용된다[5].

Current-mode FFT LSI에서, IVC (Current to Voltage Converter)는 FFT의 출력 전류를 전압 신호로 바꾸는 device이다. 연산 증폭기를 사용하는 기존의 IVC는 FFT의 출력 전류가 전압신호에 대응이 될 수 있는 선

형적인 동작구간이 좁다는 문제점이 있다. 더욱이 Current-mode FFT LSI와 저전력 베이스밴드 수신기 모듈을 위한 IVC가 포함되는 single chip으로 설계하기 위해서, IVC는 반드시 작은 chip 사이즈, 저전력, FFT의 출력 전류가 전압신호에 대응이 될 수 있도록 넓은 선형적인 동작구간 등의 조건으로 설계되어야 한다.

본 논문에서는 current-mode FFT LSI의 사용을 위한 IVC를 설계하였다. 연구의 필요성에 대하여 서론에서 언급하였고, 2장에서는 OFDM과 current-mode 신호처리에 대하여 소개하며, 3장에서는 current-mode FFT LSI에서 저전력으로 동작이 가능한 OFDM용 IVC의 시뮬레이션 결과를 분석한다. 마지막으로 4장에서 결론을 내리고 본 논문의 끝을 맺는다.

II. OFDM과 전류모드 신호처리

1. OFDM(Orthogonal Frequency Division Multiplexing)

OFDM 방식은 다수의 반송파 신호를 다중화하는 디지털 변조방식으로 1950년대에 제안된 역사가 오래된 기술방식이다. 1960년대 중반에 고전적인 parallel data transmission 시스템의 비효율성을 극복하기 위한 방안으로 parallel data transmission and frequency division multiplexing의 개념이 정립되었다. 이 방식은 고속의 이퀄라이저의 사용을 피하고 multi-path fading과 펄스형 노이즈를 줄일 수 있을 뿐만 아니라 가용대역을 충분히 사용할 수 있도록 고안되었다. 그림 1에서 보는 바와 같이 서브 채널 간에 overlapping됨으로서 50%의 대역폭을 절약할 수 있는 획기적인 방법이다.

OFDM의 핵심 기술은 기존의 데이터를 하나의 반송파로 전송하는 것이 아니라 직렬로 입력되는 데이터 열을 N개의 병렬 데이터 열로 변환하여 일정 간격 떨어져 있어 직교성(orthogonality)을 보장하는 많은 수의 반송파(carrier)에 데이터를 분산하여 전송하는 것이다. OFDM은 수신기의 FFT와 송신기의 IFFT 같은 복소수 신호처리를 통해 구현된다[6]. 그림 2는 기존의 OFDM 송신기와 수신기의 블록 다이어그램을 나타낸다. OFDM 송신기에서 신호는 베이스밴드에서의 IFFT 계산에 의해 생성되고, 라디오 주파수대역으로 up-convert 된다. 그러면 convert된 OFDM 신호는 대전력 증폭기에서 증폭되

고 송신된다. OFDM 수신기에 수신된 OFDM 신호는 베이스밴드 신호로 down-convert된다. 수신된 OFDM 신호는 FFT 계산에 의해 송신되었던 본래의 데이터로 복구된다.

OFDM의 부반송파는 직교성을 유지할 수 있도록 송수신단에서 IFFT와 FFT Processor를 이용하여 신호를 변조하기 때문에 고성능의 FFT Processor를 구현하는 것이 OFDM 방식의 고속 무선 데이터 통신을 구현하기 위한 핵심 사항이라 할 수 있다. 그러나 FFT Processor를 DSP로 구현하는 것은 큰 전력을 소비하며, 이는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이다. 이러한 단점을 보완하기 위해 아날로그 회로들로 구현되는 current-mode FFT LSI가 제안되었다 [7]. Current-mode 회로는 동작 주파수에 독립적으로 일정한 전력 소비 특성을 가진다. Current-mode 회로들의 단순한 구조와 짧은 계산 시간에 기인하여 current-mode FFT LSI의 전력 소비는 낮아진다.

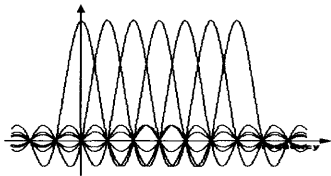


그림 1. OFDM 심볼
Fig. 1. Symbol of OFDM

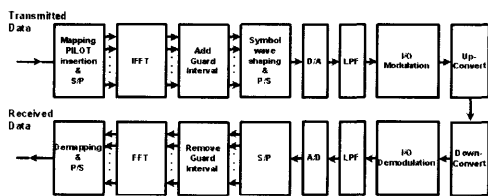


그림 2. OFDM 송수신단의 블록 다이어그램
Fig. 2. Blockdiagram of OFDM System

2. Current-mode 신호처리

Current-mode FFT LSI Blockdiagram은 그림 3과 같다. Current-mode 신호처리에는 voltage-mode를 current-mode로 바꾸는 VIC (Voltage to Current Converter)가 필요하며, current-mode를 voltage-mode로 바꾸는 IVC (Current to Voltage)가 필요하다. 전압 형태의 OFDM 베이스밴드 신호는 VIC에 의해 전류 형태의 직렬 신호로 변환된다. 이 신호는 S/P 컨버터에 의해

병렬형태의 신호로 변환되어, FFT 블록에 입력된다. FFT 블록은 입력 받은 전류의 값으로 FFT 연산을 수행한다. FFT 연산된 결과는 P/S 컨버터에 의해 다시 직렬의 형태로 변환된다. P/S 컨버터를 거친 직렬 형태의 전류신호는 IVC에 의해 전압형태의 최종 신호가 되어 출력된다. 그림 3과 같이 current-mode FFT LSI는 S/P (Serial to Parallel Converter)와 P/S (Parallel to Serial Converter)를 포함하고 있다. S/P와 P/S는 CM(Current Memory) 회로와 디지털 제어 신호를 발생시키는 digital block으로 설계된다. VIC와 입력된 아날로그 전압 신호는 아날로그 전류 신호로 변환다. S/P에서는 CM 회로로 표본화되고 기억된다. CM이 표본화 된 입력 아날로그 전류신호들로 가득 차 있을 때, 표본화된 전류신호는 지정된 clock time에 current-mode FFT LSI로 병렬 전송된다. FFT LSI의 계산 후에, 병렬 출력 신호는 P/S로 병렬 송신된다. P/S의 동작은 S/P 동작과 반대이다. 즉, P/S의 출력은 디지털 제어 신호로 regular sequence 에서 다음 block으로 보내진다.

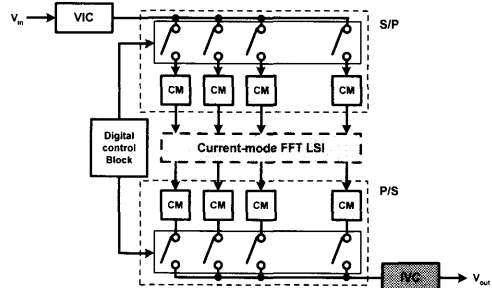


그림 3. S/P와 P/S를 포함하는 Current-mode FFT LSI
Fig. 3. Current-mode FFT LSI with S/P and P/S

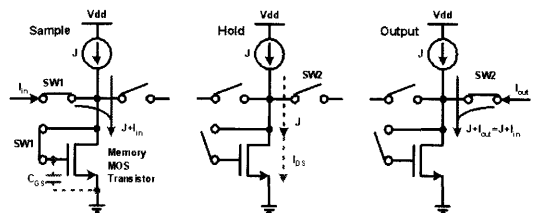


그림 4. CM(Current Memory) 회로의 동작
Fig. 4. Operation of CM(Current Memory)

CM 회로에 대한 동작은 그림 4와 같다. 이러한 CM 회로는 일정한 전력 소비를 가지며, 간단한 구조와 짧은 계산 시간을 가지기 때문에 전력 소비를 낮출 수 있다.

CM 회로는 아날로그 전류 신호를 표본화하고 기억하기 위해 사용되며, 입력신호는 기생 캐패시터를 이용한 gate-source 전압으로 표본화되어 기억된다. Current mirror에 의존하는 current-mode 회로들은 스위치 또는 샘플링과 아날로그 전류 입력 신호를 기억하기 위한 표본화 된 전류 형태로 사용되며, 일반적으로 CMOS로 구현된다. CM 회로는 control switch SW1과 SW2의 동작으로 구현되고, Sample, hold, output mode 를 가진다[8].

3. 기존의 Current to Voltage Converter

Current-mode FFT LSI에서 연산 증폭기를 사용하는 기존의 IVC가 current-mode FFT LSI에서 사용된다면, 연산증폭기의 전력손실 때문에 생기는 큰 전력 소비, 전류 값에 대응하는 전압 값의 선형적인 구간이 짧은 문제점들이 있다. IVC의 선형구간이 짧은 경우, current-mode FFT LSI에서 FFT 연산된 전류 값을 정확히 전압 값에 대응하여 변환하지 못하므로 결과적으로 신호처리에 있어서 에러를 발생시킨다.

Current-mode FFT LSI와 해상 데이터 통신을 위한 IVC를 설계하기 위해, IVC는 작은 chip 사이즈, 낮은 전력 손실, 입력 전류와 출력 전압의 광범위적인 선형관계 등의 조건들로 설계되어야 한다.

III. 새로운 Current to Voltage Converter

설계

1. IVC의 입력범위 결정

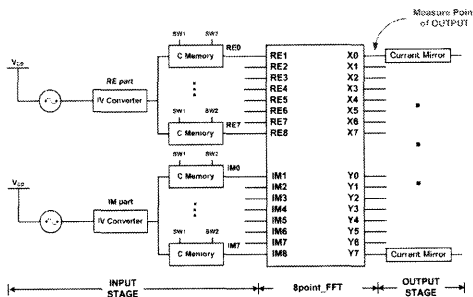


그림 5. 전류모드 FFT의 출력 전류
Fig. 5. Output Current of the current mode F

설계된 저전력 OFDM 통신용 current-mode FFT LSI의 전체 블록 중 그림 5와 같이 IVC 블록만을 제외한 시

뮬레이션 결과를 통하여 새롭게 설계한 IVC의 입력 신호가 어느 정도의 범위를 가지고 입력되는지를 확인하였다.

표 1 FFT LSI(without IVC)의 출력 전류
Table 1. Output Current of FFT LSI(without IVC)

Pin	출력 전류값	Pin	출력 전류값
x0	98.51 μ A	y0	96.23 μ A
x1	- 80.86 μ A	y1	- 80.61 μ A
x2	89.55 μ A	y2	93.04 μ A
x3	- 81.75 μ A	y3	93.01 μ A
x4	90.33 μ A	y4	89.10 μ A
x5	82.91 μ A	y5	94.45 μ A
x6	- 97.60 μ A	y6	- 87.59 μ A
x7	- 87.15 μ A	y7	- 69.45 μ A

시뮬레이션은 FFT 입력 전류 값에 대응되는 전압 값을 계산하여 OFDM의 signal로 VIC에 입력하였다. VIC 블록은 입력받은 전압에 해당하는 전류를 S/P 블록으로 전송하고, S/P 블록은 10ns동안 전류를 입력받아 기억하고 있다가 전체 16개 신호의 입력을 모두 마치면, 기억중인 전류를 10ns동안 FFT 블록으로 전송하게 된다. FFT 블록은 입력받은 전류 값으로 FFT 연산을 수행한다. 이 과정에서 100 μ A의 전류는 연산에서 1에 해당한다. 그림 6과 그림 7은 FFT 블록의 실수부 출력과 허수부 출력 각각의 이상적인 출력과 시뮬레이션을 통하여 얻은 결과를 비교하여 나타낸 그림이며, 표 1은 current-mode FFT LSI의 전체 블록 중 IVC를 제외한 시뮬레이션 결과를 나타낸 표이다. IVC의 입력이 되는 FFT 블록의 출력범위가 -100 μ A에서 +100 μ A이며, -1과 +1의 오차에 따른 범위는 -69.45 μ A 이하, +82.91 μ A 이상임을 표 1을 통하여 알 수 있다.

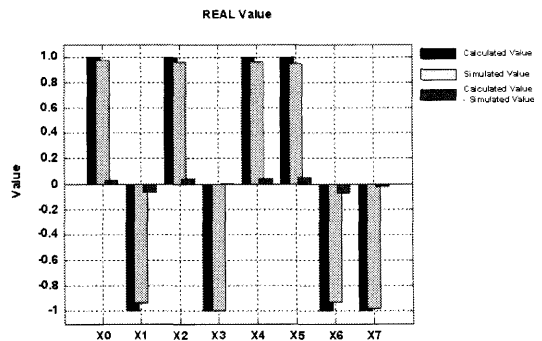


그림 6. 실수부의 이상적인 출력과 시뮬레이션 결과와의 비교
Fig. 6. Comparison of REAL's ideal output and Simulation result

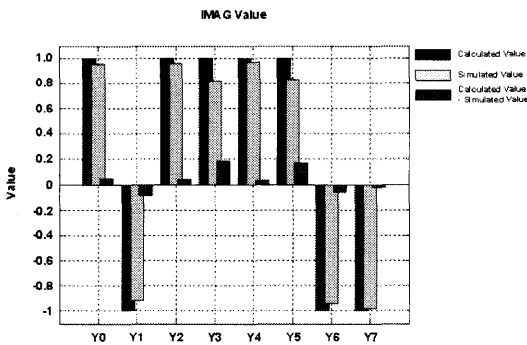


그림 7. 허수부의 이상적인 출력과 시뮬레이션 결과와의 비교
Fig. 7. Comparison of IMAG's ideal output and Simulation result

2. 새로운 IVC의 동작원리

새로운 IVC는 그림 8과 같다. FFT의 출력전류를 입력 받아 그 전류에 따라 변하는 전압과 기준 전압을 비교하여 전압을 출력한다. 전압을 비교하는 비교부는 MOS differential pair(M10, M11)로 설계하였다. 입력부 좌측과 우측 하단 NMOS(M3, M4, M7, M8)의 bias가 같기 때문에 FFT의 출력 전류의 변화를 반으로 줄여 비교부의 M10, M11의 ON, OFF 동작을 선형적으로 광범위하게 늘릴 수 있다. 기준부 M15의 drain 전압이 비교부 M11의 gate에 가해져 M11을 동작시키고 M11의 drain 전압이 일정하도록 한다.

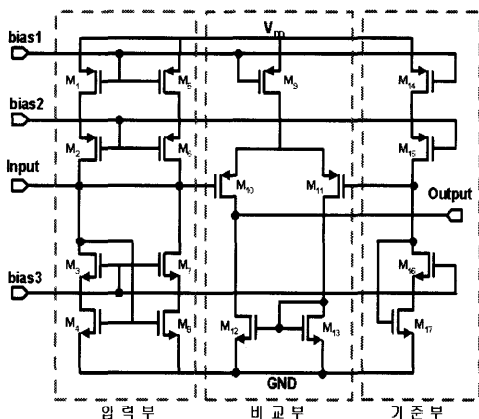


그림 8. 새로운 IVC Schematic
Fig. 8. Schematic of New IVC

FFT 출력 전류는 입력부의 M2와 M6의 drain 전압을 변화시켜 M10의 gate에 가해져 M10을 동작시킨다. 이때 M11의 gate에 걸린 전압의 기준으로 증가, 감소되어

M10의 drain 전압이 변화하여 전압이 출력된다. 전류원의 MOS(M9)는 saturation 영역에서 동작할 수 있도록 충분한 bias를 주어야 하므로 비교부의 전류원(M14)과 같은 bias를 사용하도록 한다.

3. 시뮬레이션 결과

IVC의 시뮬레이션 결과는 그림 9와 같다. 입력 전류를 $-150 \sim 150[\mu\text{A}]$ 를 입력 했을 때 출력 전압을 확인하였다. Current-mode FFT의 출력 전류의 범위는 $-100 \sim 100[\mu\text{A}]$ 이므로 그 구간에서 전압 신호와 선형적으로 대응이 되도록 설계하였으며 기준 전압을 기준으로 좌우 대칭이 되며, 0.85V에서 1.4V까지의 전압범위에서 선형 특성을 나타내고 있음을 확인하였다.

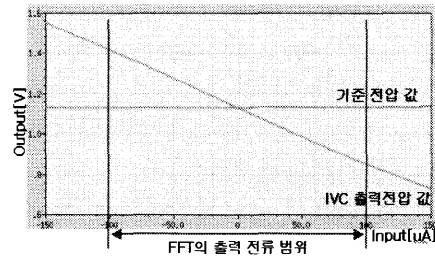


그림 9. IVC의 출력 전압
Fig. 9. Output Voltage of IVC

IV. 결론

최근 많은 유무선 통신 분야에서 OFDM 방식을 채택하고 있으며, 고속 데이터 전송이 가능한 장점 때문에 4세대 통신 방식으로 OFDM이 주목 받고 있다.

OFDM 통신 시스템의 main device인 FFT LSI는 출력 전류를 전압으로 변환해 주는 IVC가 필요하다. IVC를 연산증폭기를 사용하여 설계했을 경우 전력손실 때문에 생기는 큰 전력 소비, 전류 값에 대응하는 전압 값의 선형적인 구간이 짧은 문제점들이 있다. 전류값에 선형적으로 대응 되지 못하는 값들은 current-mode FFT LSI의 신호처리에 있어서 에러가 발생하게 된다.

본 논문에서는 이를 보완하기 위해서 새로운 IVC를 제안하였다. FFT의 출력 전류를 IVC의 입력부에서 절반으로 줄여 전압의 변화를 줄임으로써 비교부의 MOS를 큰 입력 전류에도 동작을 할 수 있도록 하여 선형적인 동작구간을 늘릴 수 있었다. 제안된 IVC는 current-mode

FFT의 출력 범위 내에서 선형적으로 전압값에 대응 하였으며, 기준 전압을 대칭으로 전압이 출력됨을 확인하였다.

본 논문에서 제안된 IVC는 Current-mode FFT LSI와 더불어 OFDM 통신시스템의 main device로 저전력화 및 해상 데이터 통신 실현을 위한 선도 기술로 유용할 것이다.

참 고 문 헌

- [1] 최조천, 국내 단파대 해상통신의 디지털화 방안, 한국해양정보통신학회논문지 제 8권 제 4호 p774-781, 2004. 5.
- [2] Richard Van Nee and Ramjee Prasad, OFDM for Wiress Multimedia Communication, Boston, London Artech House Publishers, 2002.
- [3] 장동원, WRC-07을 대비한 해상이동통신시스템 기술 동향 연구, 한국해양정보통신학회 2006년도 춘계학술대회, pp232-236, 2006.
- [4] B. M. Baas, A Low-Power, High-Performance, 1024-Point FFT Processor, IEEE Solid-State Circuits, vol. 34, no. 3, pp. 380-387, March 1999.
- [5] T. S. Fiez, G. Liang and D. J. Allstot, Switched-Current Circuit Design Issues, IEEE J. Solid-State Circuits, vol. 26, no. 3, pp. 192-202, March 1991.
- [6] P. H. Moose, A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction, IEEE Trans. Commun., vol. 42, no. 10, pp. 2908-2914, October 1994.
- [7] S.K. Kim, J.S. Cha, H. Nakase and K. Tsubouchi, Novel FFT Lsi for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit, Jpn. J. Appl. Phys. vol.40, pp. 2859-2865, April 2001.
- [8] T.S. Fiez and D.J. Allstot, CMOS Switched-Current Ladder Filters, IEEE J. Solid-State Circuits, vol.25, no.6, pp. 1360-1367, December 1990.

본 연구내용의 일부는 해양수산부 특정연구개발사업의 연구비 지원에 의해 수행되었습니다.
(과제번호F10702407A220000110)

저자 소개

김 성 권(정회원)



- 1996년 : 인하대학교 전자재료 공과 졸업(공학사)
- 2002년 : 일본 Tohoku 대학교 대학원 전자공학과(공학석사)
- 2002년 : 일본 Tohoku 대학교 대학원 전자공학과(공학박사)
- 2004년 8월 ~ 현재 : 목포해양

대학교 해양전자통신공학부 교수

<주관심분야 : 무선통신용 LSI 설계, 주파수분배 정책 및 주파수의 효율적 사용에 관한 연구, 고 주파 회로설계, 무선통신시스템>

조 승 일



- 2006년 : 목포해양대학교 해양전자 공학과 졸업(공학사)
- 2008년 : 목포해양대학교 대학원 해양전자통신공학(공학석사)
- 2008년 3월 ~ 현재 : 동 대학원 해양전자통신공학과 박사과정

<주관심분야 : 무선통신용 LSI 설계, 디지털 통신회로 설계, 주파수간섭분석>

조 주 필(정희원)

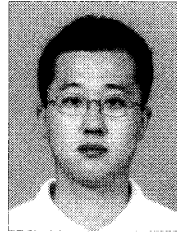


- 1992년 : 전북대학교 정보통신공학과 졸업(공학사)
- 1994년 : 전북대학교 전자공학과(공학석사)
- 2001년 : 전북대학교 전자공학과(공학박사)
- 2000년 ~ 2005년 : 한국전자통신연구원(ETRI) 이동통신연구단 선임연구원

• 2005년 3월 ~ 현재 : 국립군산대학교 전자정보공학부 조교수

<주관심분야 : 적응신호처리, 이동통신신호처리>

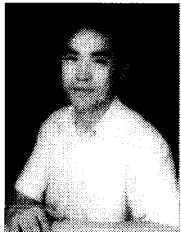
양 충 모



- 1996년 : 경북대학교 졸업(공학사)
- 1998년 : 경북대학교 대학원(공학석사)
- 2004년 : 일본 Tohoku 대학교 대학원 전자공학과(공학박사)
- 2004년 10월 ~ 현재 : 삼성전기 중앙연구소 eMD Lab. 공정개발센터 책임연구원

<주관심분야 : 무선통신용 LSI 설계, 무선통신시스템>

차 채 상



- 1991년 : 성균관대학교 전기공학과 졸업(공학사)
- 1997년 : 성균관대학교 전기공학과(공학석사)
- 2000년 : 일본 Tohoku 대학교 대학원 전자공학과(공학박사)
- 2000년 ~ 2002년 : 한국전자통신연구원(ETRI) 무선방송기술연구소 선임연구원

• 2002년 ~ 2005년 : 서경대학교 정보통신공학과 전임강사

• 2005년 ~ 현재 : 서울산업대학교 매체공학과 조교수

<주관심분야 : 디지털 방송전송기술, Cognitive Radio, UWB, 홈네트워크 무선통신기술, 대역확산 및 다중접속기술, 4세대 이동통신기술>