Journal of the Microelectronics & Packaging Society
Vol. 15, No. 4, p. 9-15. 2008

# 전기도금법을 이용하여 형성한 Au-Sn 플립칩 접속부의 미세구조 및 접속저항

김성규 · 오태성*
홍익대학교 신소재공학과

# Microstructure and Contact Resistance of the Au-Sn Flip-Chip Joints Processed by Electrodeposition

**S. K. Kim and T. S. Oh***
Department of Materials Science and Engineering, Hongik University

**초 록**: Au와 Sn을 순차적으로 도금한 Au/Sn 범프를 플립칩 본딩하여 Au-Sn 솔더 접속부를 형성 후, 미세구조와 접속저항을 분석하였다. 285°C에서 30초간 플립칩 본딩한 Au-Sn 솔더 접속부는 $Au_5Sn$+AuSn lamellar 구조로 이루어져 있으며, 이 시편을 310°C에서 3분간 유지하여 2차 리플로우시 $Au_5Sn$+AuSn interlamellar spacing이 증가하였다. 285°C에서 30초간 플립칩 본딩한 Au-Sn 접속부는 15.6 mΩ/bump의 평균 접속저항을 나타내었으며, 이 시편을 다시 310°C에서 3분간 유지하여 2차 리플로우 한 Au-Sn 접속부는 15.0 mΩ/bump의 평균 접속저항을 나타내었다.

**Abstract:** Microstructure and contact resistance of the Au-Sn solder joints were characterized after flip-chip bonding of the Au/Sn bumps processed by successive electrodeposition of Au and Sn. Microstructure of the Au-Sn solder joints, formed by flip-chip bonding at 285°C for 30 sec, was composed of the $Au_5Sn$+AuSn lamellar structure. The interlamellar spacing of the $Au_5Sn$+AuSn structure increased by reflowing at 310°C for 3 min after flip-chip bonding. While the Au-Sn solder joints formed by flip-chip bonding at 285°C for 30 sec exhibited an average contact resistance of 15.6 mΩ/bump, the Au-Sn solder joints reflowed at 310°C for 3 min after flip-chip bonding possessed an average contact resistance of 15.0 mΩ/bump,

**Keywords:** Au-Sn, flip chip, contact resistance, electrodeposition

## 1. 서 론

Au-Sn 솔더는 Sn-Ag-Cu 등의 Sn을 주성분으로 한 무연솔더나 Pb-Sn 솔더보다 기계적 성질과 열적 특성이 우수하다,[1,2] Au-Sn은 hard 솔더로서 Sn-Ag-Cu 또는 Pb-Sn 등의 soft 솔더와는 달리 강도가 높아 소성변형의 발생이 어려우며 크립 특성과 열피로 특성이 우수한 장점이 있다.[3,4] 이와 더불어 플럭스를 사용하지 않고 리플로우를 하는 것이 가능하기 때문에 광부품 패키징에 일반적으로 사용되고 있다.[1-4] 또한 최근에는 고출력 LED의 플립칩 본딩에 Au-Sn 솔더를 적용하기 위한 연구가 활발히 진행되고 있다.[5-8]

고출력 LED는 형광등과 같은 기존 광원에 비해 환경친화적이고 전력소모를 줄일 수 있는 장점이 있어 LCD 패널의 백라이트를 비롯하여 간판, 자

*Corresponding author
E-mail: ohts@hongik.ac.kr

동차의 헤드라이트, 신호등에 적용되고 있다. 고출력 LED를 구현하기 위해서는 LED 칩의 온도를 적정 작동온도로 유지하기 위한 열방출 능력의 향상이 요구되며, 이를 위해 Au-Sn 솔더를 이용한 LED의 플립칩 공정기술에 대한 연구개발이 진행되고 있다.[5] LED 칩을 Au-Sn 솔더를 사용하여 직접 기판에 실장하는 플립칩 기술은 와이어 본딩법에 비해 우수한 열전도 특성 이외에도 광학 특성을 향상시킬 수 있다는 장점이 있다.[5]

플립칩 본딩하여 투명한 사파이어 기판으로 빛을 방출하는 플립칩 LED는 상부로 빛을 방출하는 기존의 와이어 본딩 LED보다 더 우수한 방출효율을 나타낸다고 보고되고 있다.[9-11] 또한 플립칩 기술은 와이어 본딩법보다 전기적 특성이 우수하며 패키지의 크기를 현저히 감소시킬 수 있고, 언더필 처리를 함으로써 기계적 신뢰도를 크게 향상시킬 수 있다.[5]

Au-Sn 합금은 80 wt% Au-20 wt% Sn과 10 wt% Au-90 wt% Sn의 두 개의 공정조성을 가진다.[2] 이중에서 10 wt% Au-90 wt% Sn 솔더는 기계적 성질이 취약하여 잘 사용되지 않고, 공정온도가 278°C인 80 wt% Au-20 wt% Sn 솔더가 열전도도와 크립 특성이 우수하여 Au-Sn 솔더로서 일반적으로 사용된다.[2,4] 플립칩 공정에 적용하기 위한 Au-Sn 솔더를 형성하는 방법으로는 솔더 페이스트의 스크린 프린팅법, 진공증착법과 전기도금법을 사용할 수 있다.[1,2] 이중에서 솔더 페이스트의 스크린 프린팅법은 미세피치에 적용하기 어려우며 페이스트내 유기물 바인더에 의한 오염 및 솔더 접합부내 기공이 용이하게 형성되는 문제점이 발생할 수 있다.[2] 진공증착법에 의한 Au-Sn 솔더 형성방법은 솔더의 산화를 방지할 수 있으며 두께 조절이 용이하고 정밀한 장점이 있으나, 공정비용이 비싸다는 문제점이 있다.[1,2] 이에 비해 Au와 Sn의 순차적 도금에 의한 Au-Sn 솔더 형성방법은 진공증착법과 비교하여 공정비용이 저가이며 공정속도가 빠르다는 장점이 있다.[1,2]

본 연구에서는 Au-Sn 솔더를 적용한 플립칩 공정기술을 개발하기 위해, Au와 Sn을 순차적으로 도금 후 이를 플립칩 본딩하여 Au-Sn 솔더 접속부의 미세구조를 관찰하고 접속저항을 분석하였다.

## 2. 실험 방법

Fig. 1에 본 연구에서 수행한 실험 흐름도를 나타내었다. Au-Sn 솔더를 적용한 플립칩 시편을 제조하기 위해, Si 웨이퍼에 접착층으로서 0.1 μm 두께의 Ti을 DC 마그네트론 스퍼터링법으로 형성하고 그 위에 Au와 Sn의 전기도금층 및 배선층의 용도로 2 μm 두께의 Cu를 스퍼터 증착하였다. Cu 배

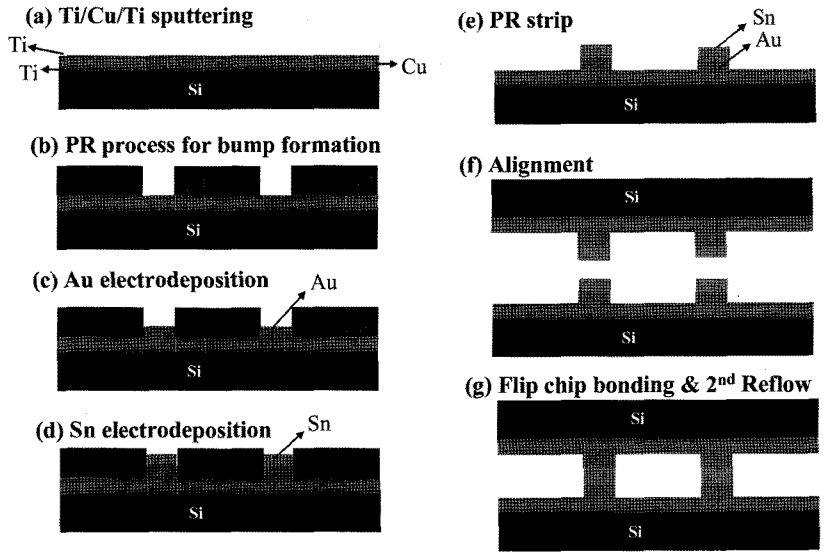


**Fig. 1.** Schematic illustration of the process flow for flip-chip bonding using the Au-Sn solder joints.

선층 위에 산화 방지를 위해 0.1 μm 두께의 Ti를 스퍼터링하였다. 이와 같은 Ti/Cu/Ti 금속박막이 스퍼터 증착된 Si 기판 위에 AZ4620 포토레지스트를 스핀코팅하고 접촉 얼라이너를 사용하여 노광하여 50 μm 직경의 포토레지스트 패턴을 형성하였다.

Au의 밀도가 19.3 g/cm$^3$ 이고 Sn의 밀도가 7.31 g/cm$^3$ 이므로[12,13] 80 wt% Au-20 wt% Sn 공정조성의 Au-Sn 솔더를 형성하기 위해서는 포토레지스트 패턴 내에 Au와 Sn의 높이비가 1.5 : 1 정도가 되도록 전기도금하여야 한다. Au 층과 Sn 층을 함께 리플로우하여 Au-Sn 솔더를 형성하는 방법으로는 Au 층을 먼저 형성하고 그 위에 Sn 층을 형성하는 방법과 그 반대로 Sn 층을 먼저 형성하고 그 위에 Au 층을 형성하는 방법이 있다. Sn이 Au보다 산화가 잘되므로 진공증착법으로 Au/Sn 범프를 형성하는 경우에는 먼저 Sn 층을 증착하고 그 위에 순차적으로 Au 층을 형성한다. 전기도금법으로 Au 층과 Sn 층을 형성한 본 연구에서는 Sn이 Au 보다 더 천하므로 Sn을 먼저 도금후 이를 Au 도금액에 담구면 Sn 층이 Au 도금액 내로 녹아나는 문제가 발생하므로, 이를 방지하기 위해 우선 Au 층을 전기도금하고 그 위에 Sn 층을 전기도금하였다.

포토레지스트 패턴이 형성된 Si 칩 시편을 Ni 도금액에 장입하고 5 mA/cm$^2$의 전류밀도를 20분간 인가하여 2 μm 높이의 Ni UBM을 형성하였다. Ni 도금용액의 조성은 $NiSO_4 \cdot 6H_2O$ 260 g/l, $NiCl_2$ 45 g/l, $H_3BO_3$ 15.46 g/l. saccharin 0.3 g/l 이었다. Ni UBM을 형성한 시편을 상용 Au 도금액에 장입하고 5 mA/cm$^2$의 전류밀도를 30분간 인가하여 포토레지트 패턴의 Ni UBM에 14 μm 높이의 Au 범프를 전기도금 하였다. 시편을 Au 도금액에서 꺼내어 세척 후, 상용 Sn 도금액에 장입하고 10 mA/cm$^2$의 전류밀도를 13분간 인가하여 Au 범프 위에 10 μm 높이의 Sn을 전기도금한 후 포토레지스트를 제거하여 칩 시편에 Au/Sn 범프를 형성하였다. 기판 시편으로 사용할 Si 웨이퍼에도 이와 동일한 방법을 사용하여 Au/Sn 범프를 도금하였다.

Au/Sn 범프들을 전기도금법으로 형성한 Fig. 2와 같은 daisy chain 형상의 칩 시편과 기판 시편들을 플립칩 본더를 사용하여 63 MPa의 압력을 인가하면서 285°C에서 30초간 유지하여 플립칩 본딩하였다. 리플로우 온도에 따른 Au-Sn 솔더 접속부의 미세구조와 접속저항의 변화를 분석하기 위해 285°C에서 플립칩 본딩된 시편을 5% $H_2$ + 95% Ar 분위기 내에 장입하고 310°C에서 3분간 유지하여 2차 리플로우를 하였다. Au-Sn 솔더 접속부의 미세구조를 주사전자현미경으로 관찰하였다. Daisy chain 시편에 대해 Au-Sn 접속부의 개수에 따른 저항을 four point probe로 측정하여 Au-Sn 솔더 접속부의 접속저항을 분석하였다

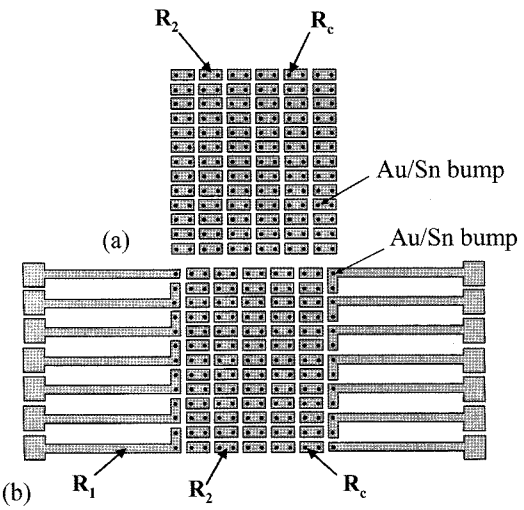


**Fig. 2.** Schematic illustration of the daisy chain structures of (a) a chip and (b) a substrate to measure the average contact resistance of a flip-chip specimen.

## 3. 결과 및 고찰

전기도금법으로 형성한 50 μm 직경의 Au 범프 및 그 위에 Sn을 도금한 Au/Sn 범프의 주사전자현미경 사진을 각기 Fig. 3(a)와 (b)에 나타내었다. 또한 비교를 위해 Au 전기도금 범프 위에 Sn을 진공증착법으로 형성한 Au/Sn 범프의 주사전자현미경 사진을 Fig. 3(c)에 나타내었다. Fig. 3에 나타낸 각 범프들의 비교에서 Sn 전기도금층의 표면거칠기가 전기도금법으로 형성한 Au 층이나 진공증착법으로 형성한 Sn 층의 표면거칠기에 비해 훨씬 크다는 것을 알 수 있다. Au/Sn 솔더범프를 사용하여 리플로우 본딩시 Au-Sn 플립칩 접속부는 칩과 기판의 Au/Sn 범프에 있는 Sn 층들의 용융혼합 및 용융 Sn과 고상 Au의 반응에 의해 이루어진다. 플

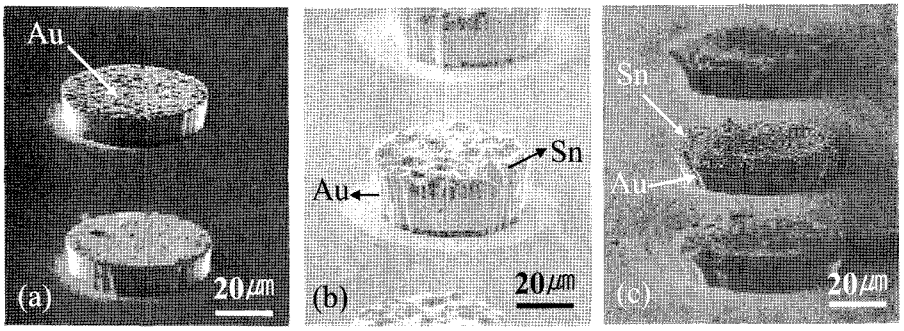


**Fig. 3.** Scanning electron micrographs of (a) the electrodeposited Au bumps, (b) Au/Sn bumps processed by Sn electrodeposition on Au bumps, and (c) Au/Sn bumps processed by Sn evaporation on Au bumps.

립칩 공정 중에 Au/Sn 계면에서 박리가 발생할 가능성은 Au 층 위에 Sn 층을 도금한 것이기 때문에 거의 없다. 따라서 Au-Sn 플립칩 접속부의 본딩 특성은 칩 범프의 Sn 층과 기판 범프의 Sn 층의 접촉면에서 기공을 형성시키지 않고 Sn 층들이 얼마나 잘 용융혼합 되는가에 크게 의존하게 된다. Sn 도금표면이 너무 거친 경우에는 칩 Au/Sn 범프와 기판 Au/Sn 범프 사이의 계면에서 국부적으로 접촉이 안 되는 부위가 발생할 수 있다. 이와 같은 경우 본딩압력이 충분하지 않으면 리플로우 온도에서 칩 Au/Sn 범프의 Sn과 기판 Au/Sn 범프의 Sn이 용융접속을 이루지 못하게 되므로 플립칩 접속부에 계면 결함이 형성되게 된다. 이를 방지하기 위해 플립칩 본딩시에 높은 본딩압력을 인가하면 칩의 파단과 같은 손상이 발생할 수 있으므로, 향후 Sn 도금층의 표면거칠기를 감소시킬 수 있는 Sn 도금조건에 대한 연구가 요구된다.

전기도금법으로 형성한 Au/Sn 범프 계면의 주사전자현미경 미세구조를 Fig. 4에 나타내었다. 전기도금법으로 형성한 Au/Sn 확산커플[14] 및 진공증착법으로 형성한 Au/Sn 확산커플[15]에서 보고된 바와 같이 본 실험에서도 전기도금한 Au 층과 Sn 층 계면에서 상온에서도 상호확산이 발생하여 금속간 화합물이 형성된 것을 관찰할 수 있다.

Au/Sn 범프가 형성되어 있는 칩과 기판을 285°C에서 63 MPa의 본딩압력을 인가하면서 30초간 유지하여 플립칩 본딩한 시편의 주사전자현미경 사진을 Fig. 5에 나타내었다. 칩 시편과 기판 시편의 Au/Sn 범프들 사이에서 Sn의 용융 및 Au와의 반응에 의해 기공 등의 계면결함이 없는 Au-Sn 플립칩 접속부가 형성되었다. Fig. 5(b)와 같이 Au-Sn

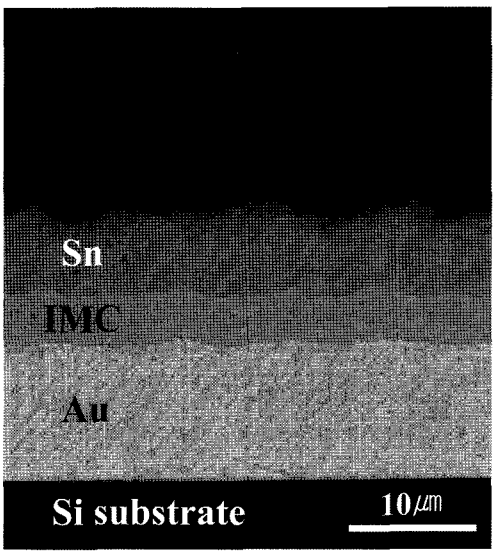


**Fig. 4.** Scanning electron micrograph of the Au/Sn interface of the Au/Sn bump processed by successive electrodeposition of Au and Sn.

플립칩 접속부는 Au와 Sn의 반응에 의해 형성된 $Au_5Sn$+AuSn lamellar 구조로 이루어져 있었다. $Au_5Sn$+AuSn lamellar 구조에서 흰 부위는 Au가 더 많이 함유된 $Au_5Sn$ 이며 검은 부위는 Au가 더 적게 함유된 AuSn 결정상이다.

285°C에서 플립칩 본딩한 시편과 이를 다시 310°C에서 3분간 유지하여 Au-Sn 솔더 접속부를 2차 리플로우한 시편의 미세구조를 주사전자현미경으로 관찰하였으며, 그 결과를 Fig. 6에 나타내었다. 285°C에서 플립칩 본딩한 시편의 미세구조와 비교하여 2차 리플로우에 의해 $Au_5Sn$+AuSn lamellar 구조의 interlamellar 거리가 증가한 것이

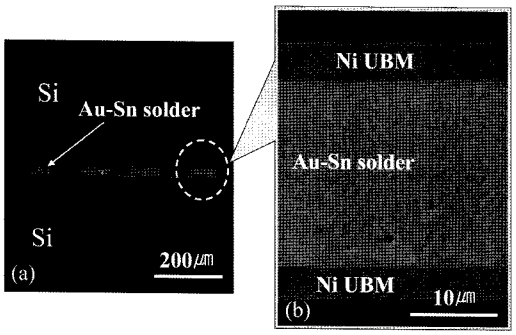


**Fig. 5.** Scanning electron micrographs of (a) the flip-chip bonded specimen and (b) the Au-Sn solder joint processed at 285°C for 30 sec.

관찰되었다. Au/Sn 범프를 285°C에서 플립칩 본딩하여 형성한 $Au_5Sn$+AuSn lamellar 구조의 Au-Sn 솔더를 공정온도인 278°C보다 높은 310°C에서 3분간 유지하여 2차 리플로우 하면, Au-Sn 솔더의 조성이 정확히 공정조성과 일치하는 경우에는 Au-Sn 솔더가 공정조성의 액상으로 용융되게 된다. 그러나 Au-Sn 솔더의 조성이 공정조성에서 벗어나 있는 경우에는 전체 조성에 따라 액상+ξ 또는 액상+δ two phases로 구성되게 된다.[2] 이와 같은 경우 액상 내에서 Sn 또는 Au의 확산에 의해 ξ상 또는 δ상의 성장이 발생하며, 이에 기인하여 상온으로 냉각된 미세구조에서 $Au_5Sn$+AuSn interlamellar spacing이 증가하는 것으로 사료된다.

Fig. 2에 나타낸 daisy chain 구조의 칩 시편과 기판 시편을 285°C에서 30초간 유지하여 플립칩 본딩한 시편 및 이와 같이 플립칩 본딩한 시편을 310°C에서 3분간 유지하여 2차 리플로우한 시편에 대해 Au-Sn 솔더 접속부의 개수에 따른 daisy chain 저항을 측정하였으며, 그 결과를 각기 Figs.

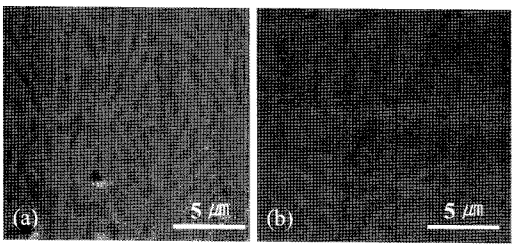


**Fig. 6.** Scanning electron micrographs of the lamellar structure of the Au-Sn solder joints (a) flip-chip bonded at 285°C for 30 sec and (b) reflowed at 310°C for 3 min after flip-chip bonding.

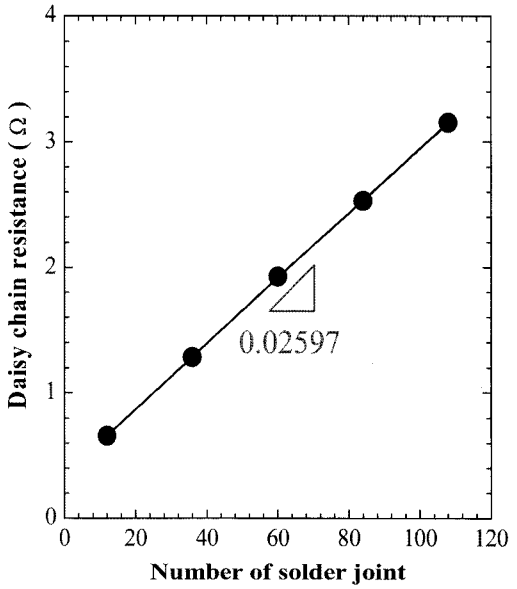


**Fig. 7.** Daisy-chain resistance as a function of the number of the Au-Sn solder joints of the specimen flip-chip bonded at 285°C for 30 sec.

7과 8에 나타내었다. Figs. 7과 8에 있는 daisy chain 저항의 측정값과 식 (1)을 이용하여 Au-Sn 솔더 접속부의 평균 접속저항을 구하였다.

$$R_{daisy\ chain} = 2R_1 + nR_c + (n-1)R_2 \quad (1)$$

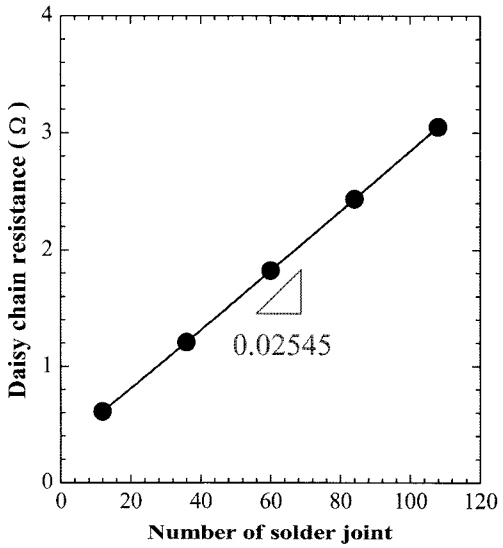


**Fig. 8.** Daisy-chain resistance as a function of the number of the Au-Sn solder joints of the specimen reflowed at 310°C for 3 min after flip-chip bonding.

식 (1)에서 $R_{daisy\text{-}chain}$은 daisy chain 단자 사이에서 측정한 저항, $R_1$은 Au-Sn 접속부와 daisy chain 측정단자 사이의 배선저항, n은 daisy chain 단자 사이의 Au-Sn 접속부의 개수, $R_c$는 Au-Sn 접속부의 접속저항이며 $R_2$는 두 Au-Sn 접속부 사이의 배선 저항이다. 칩 또는 기판에서 Au-Sn 접속부 사이에 있는 배선 저항 $R_2$를 구하기 위해 배선 패턴의 스퍼터링 공정과 동일한 조건으로 Si 기판에 0.1 μm Ti/2 μm Cu/0.1 μm Ti 박막을 스퍼터 증착하여 면저항을 측정한 결과, 11.46 mΩ/□을 얻었다. 이와 같은 면저항 값에 Au-Sn 접속부 사이에 있는 배선의 형상 (길이 100 μm, 폭 110 μm, 두께 2.2 μm)을 적용함으로써 배선저항 $R_2$ = 10.42 mΩ을 구하였다. 4 point probe 법으로 박막의 면저항을 측정시 박막 두께가 probe간 거리의 1/2보다 작은 경우, 박막의 면저항을 이용하여 박막의 비저항과 배선 저항을 구하는 것이 가능하다.[16] 본 실험에서 박막 두께는 2.2 μm로 probe 간의 간격 1 mm의 1/2에 비해 훨씬 작으므로, 박막의 면저항을 이용하여 구한 배선 저항 $R_2$ = 10.42 mΩ는 유효한 값으로 판단된다.

Figs. 7과 8에 나타낸 것과 같은 Au-Sn 접속부 개수에 따른 daisy chain 저항 그래프의 기울기에서 $R_2$ = 10.42 mΩ을 빼줌으로써 Au-Sn 접속부의 접속저항 $R_c$를 구하였다. 그 결과, 285°C에서 30초간 유지하여 플립칩 본딩한 Au-Sn 접속부는 15.6 mΩ/bump의 평균 접속저항을 나타내었다. 이 시편을 다시 310°C에서 3분간 유지하여 2차 리플로우한 Au-Sn 접속부의 평균 접속저항은 15.0 mΩ/bump으로 2차 리플로우에 의한 평균 접속저항의 변화는 거의 관찰되지 않았다. 이와 같은 결과로부터 285°C에서 30초간 유지하여 플립칩 본딩함으로써 기공 등의 계면결함이 없는 건전한 Au-Sn 솔더 접속부가 형성되었음을 알 수 있다. Au-Sn 솔더 접속부에서 측정된 평균 접속저항 15.6 mΩ/bump는 이방성 전도필름을 사용한 플립칩 공정에서 보고된[17-19] 수백 mΩ/bump에 비해 매우 우수한 값이며, Sn 범프 접속부에서 보고된[20] 33~17 mΩ/bump 보다 낮은 값이다.

## 4. 결 론

(1) 전기도금법으로 형성한 Au/Sn 범프의 Au 층과 Sn 층 사이의 계면에서 상온에서도 상호확산이 발생하여 금속간 화합물이 형성되었다.

(2) 전기도금법으로 형성한 Au/Sn 범프를 285°C에서 30초간 유지하여 플립칩 본딩한 Au-Sn 솔더 접속부는 Au와 Sn의 반응에 의해 형성된 $Au_5Sn$+AuSn lamellar 구조로 이루어져 있었다.

(3) 285°C에서 플립칩 본딩한 시편의 Au-Sn 솔더 접속부를 310°C에서 3분간 유지하여 2차 리플로우 함으로써 $Au_5Sn$+AuSn lamellar 구조의 interlamellar spacing이 증가하였다.

(4) 285°C에서 30초간 유지하여 플립칩 본딩한 Au-Sn 접속부는 15.6 mΩ/bump의 평균 접속저항을 나타내었으며, 이 시편을 다시 310°C에서 3분간 유지하여 2차 리플로우 한 Au-Sn 접속부는 15.0 mΩ/bump의 평균 접속저항을 나타내어 2차 리플로우에 의한 평균 접속저항의 변화는 거의 관찰되지 않았다.

## 감사의 글

본 연구는 서울시의 연구비 지원에 의해 이루어졌습니다.

## 참고문헌

1. W. Sun and D. G. Ivey, "Development of an electroplating solution for codepositing Au-Sn alloys", Mater. Sci. Eng., B65 (1999) 111-122.
2. J. W. Yoon, H. S. Chun, and S. B. Jung, "Reliability evaluation of Au-20Sn flip chip solder bump fabricated by sequential electroplating method with Sn and Au", Mater. Sci. Eng., A473 (2008) 119-125.
3. J. Doesburg and D. G. Ivey, "Microstructure and preferred orientation of Au-Sn alloy plated deposits", Mater. Sci. Eng., B78 (2000) 44-52.
4. D. Kim and C. C. Lee, "Fluxless flip-chip Sn-Au solder interconnect on thin Si wafers and Cu laminated polyimide films", Mater. Sci. Eng., A416 (2006) 74-79.
5. G. Elger, R. Jordan, M. V. Suchodoletz, and H. Oppermann, "Development of a low cost wafer level flip chip assembly process for high brightness LEDs using the AuSn metallurgy", Proc. IMAPS: Int. Symp. Microelectron., Denver, CO (2002) pp.199-204.
6. P. P. Maaskant, M. Akhter, N. Cordero, D. P. Casey, J. F. Rohan, B. J. Roycroft, and B. M. Corbett, "LED

flip-chip assembly with electroplated AuSn alloy", Phys. Sat. Sol., 2 (2005) 2907-2911.
7. W. Pittroff, G. Erbert, G. Beister, F. Bugge, A. Klein, A. Knauer, J. Maege, P. Ressel, J. Sebastian, R. Staske, and G. Traenkle, "Mounting of high power laser diodes on boron nitride heat sinks using an optimized Au/Sn metallurgy", IEEE Trans. Adv. Packag., 24 (2001) 434-441.
8. D. A. Zakheim, I. P. Smirnova, E. M. Arakcheeva, M. M. Kulagina, S. A. Gurevich, I. V. Rozhansky, V. W. Lundin, A. F. Tsatsulnikov, A. V. Sakharov, A. V. Fomin, A. L. Zakheim, E. D. Vasil'eva, and G. V. Itkinson, "High-power flip-chip blue light-emitting diodes bas on AlGa-In N", Phys. Stat. Sol., 1 (2004) 2401-2404.
9. Y. Zhu, C. Xu, X. Da, T. Liang, J. Zhang, and G. Shen, "Enhanced output of flip-chip light-emitting diodes with a sidewall reflector", Solid-State Electronics, 51 (2007) 674-677.
10. C. C. Kao, H. C. Kuo, H. W. Huang, J. T. Chu, Y. C. Peng, Y. L. Hsieh, "Light-output enhancement in a nitride-based light-emitting diode with 22° undercut sidewall", IEEE Photon Technol. Lett., 17 (2005) 19-21.
11. J. K. Kim, T. Gessmann, L. Hong, and S. E. Fred, "GaInN light-emitting diodes with $RuO_2/SiO_2$/Ag omni-directional reflector", Appl. Phys. Lett., 84 (2004) 4508-4510.
12. www.allmeasures.com/Formulae/static/formulae/density/16.htm
13. www.allmeasures.com/Formulae/static/formulae/density/36.htm
14. W . Tang , A . He , Q . Liu , D . Ivey, "Room temperature interfacial reactions in electrodeposited Au/Sn couples", Acta Mater., 56 (2003) 5818-5827.
15. L. Buene and S. T. Jacobsen, "Room temperature interdiffusion in evaporated Au-Sn films", Phys. Scripta, 18 (1978) 397-399.
16. D. K. Schroder, "Semiconductor material and device characterization", 2nd ed., John Wiley & Sons, Inc., New York (1998) p.10
17. C. Y. Yin, M. O. Alam, Y. C. Chan, C. Bailey, and H. Lu, "The effect of reflow process on the contact resistance and reliability of anisotropic conductive film interconnection for flip chip on flex applications", Microelectron. Reliab., 43 (2003) 625-633.
18. M. A. Uddin, M. O. Alam, Y. C. Chan, and H. P. Chan, "Adhesion strength and contact resistance of flip chip on flex packages-effect of curing degree of anisotropic conductive film", Microelectron. Reliab., 44 (2004) 510-514.
19. E. Nicewarner, "Interconnect resistance characteristics of several flip-chip bumping and assembly techniques", Microelectron. Reliab., 39 (1999) 113-121.
20. B. Y. Jung, S. H. Park, Y. H. Kim, and T. S. Oh, "Surface roughness of the electroplated Sn with variations of electrodeposition parameters and contact resistance of the flip-chip-bonded Sn bumps", J. Korean Microelectron. Packag. Soc., 13 (2006) 37-43.