

Analysis of the electrical characteristics of the novel IGBT with additional nMOS

새로운 구조의 nMOS 삽입형 IGBT의 전기적 특성 분석

Samuell Shin*, Jungman Son*, Tearyoung Park*★, Yongseo Koo*
 신사무엘*, 손정만*, 박태룡*★, 구용서*

Abstract

In this paper, we proposed the novel IGBT with an additional n-type MOS structure to achieve the improved trade-off between turn-off and on-state voltage drop($V_{ce(sat)}$). These low on-resistance and the fast switching characteristics of the proposed IGBT are caused by an enhanced electron current injection efficiency which is caused by additional n-type MOS structure. In the simulation result, the proposed IGBT has the lower on state voltage of 2.65V and the shorter turn-off time of 4.5us than those of the conventional IGBT (3.33V, 5us).

요약

본 논문에서는 기존 IGBT의 구조적 한계로 인한 순방향 전압강하와 스위칭 손실간의 트레이드-오프 관계를 극복하고, 좀 더 우수한 전기적 특성을 갖는 새로운 구조의 nMOS 삽입형 IGBT를 제안하였다. 제안된 구조는 IGBT소자의 셀(Cell)과 셀 사이에 존재하는 폴리(poly) 게이트 영역에 nMOS를 형성시킨 구조로 N-드리프트 층으로의 전자, 정공의 주입효율을 증가시켜 기존 구조보다 더 낮은 온-저항과 빠른 스위칭 손실을 얻도록 설계된 구조이다. 시뮬레이션 결과 제안된 구조의 단일 소자인 경우 순방향 전압강하와 스위칭 특성은 각각 2.65V와 4.5us로, 기존 구조가 갖는 3.33V와 5us비해 약 26%의 감소된 순방향 전압강하와 10%의 낮은 스위칭 특성을 보였으며 래치-업 특성은 $773A/cm^2$ 로 기존 $520A/cm^2$ 보다 33%의 상승된 특성을 보였다.

Key words : IGBT, Turn-off Power Device, Power Electronics,

1. 서론

인버터, 고압 스위치, 모터 구동 등과 같은 전력용 스위칭 소자로 널리 활용되고 있는 IGBT (Insulated

* 서경대학교 전자공학과
 (Department of Electronics Engineering, Seokyeoung University)

★ 서경대학교 소프트웨어학과
 (Department of Software, Seokyeoung University)
 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)
 본 연구는 산업 자원부의 System IC 사업, 서울시 산업연협력사업의 나노 IP/SoC 설계 혁신 사업단의 지원으로 이루어졌습니다.
 接受日:2008年 11月 28日, 修正完了日: 2008年 12月 29日

Gate Bipolar Transistor)소자는 고속, 고 내압, 저 손실을 목표로 많은 발전을 이루어 왔다[1][2]. 하지만 이러한 발전에도 불구하고 IGBT소자는 구조적 한계로 인해 발생하는 JFET(Junction Field Effect Transistor)영역으로 인해 드리프트(drift) 영역 내 온(ON)-저항 증가와 스위칭 특성간의 트레이드-오프(Trade-off) 관계가 존재한다[3][4]. 따라서 턴-오프(Turn-off) 특성과 순방향 전압 강하 특성의 트레이드-오프 관계를 개선하기 위한 많은 연구가 이루어지고 있다[5][6]. 최근에는 구조적 개선을 통한 순방향 전도 손실과 턴-오프 손실을 줄이기 위한 방법으로 Field Stop[7], Super Junction [8], 구조 등이 제안되고 있으며, 트레이드-오프 관계를 개선시키기 위한 방법으로는 CSTBT[9], 구조 등이 제안되고 있다.

하지만 이러한 구조적 변경은 기존 DMOS(Double Diffused Metal Oxide Semiconductor)공정이 아닌 트렌치(Trench) 공정 기술을 필요로 함으로 설계 및 제작이 어렵다는 단점을 가지고 있다[10].

따라서, 본 연구에서는 DMOS 공정기술을 이용하여 순방향 손실과 스위칭 손실에 따른 트레이드-오프 관계를 개선시키기 위한 방법으로 새로운 구조의 nMOS(n-channel MOS) 삽입형 IGBT를 제안하였다. 또한 제안된 구조의 전기적 특성을 검증하기 위해 공정시뮬레이터 TSUPRE-4와 디바이스 분석 시뮬레이터 MEDICI를 이용하여 소자를 분석하였다.

II. 본론

본 논문에서 제시한 nMOS 삽입형 IGBT는 JFET(Junction Field Effect Transistor) 현상으로 인한 높은 순방향 전압강하의 감소 및 턴-오프(Turn-off) 동작시 스위칭 특성과 래치-업(latch-up) 특성을 개선하기 위해 제안된 소자이다. 제안된 소자의 구조적 특성은 그림 1과 그림 2에서 확인해 볼 수 있듯이 소자의 총 너비(width)를 고정한 상태에서 에미터(Emitter) 전극에 대한 변화를 준 것으로 기존 구조(그림 1)에 N++와 P+에 의한 nMOS를 형성한 구조이다. 제안된 구조는 2차원 소자 시뮬레이터인 MEDICI를 이용하여 작용과 특징에 대해 분석하였다.

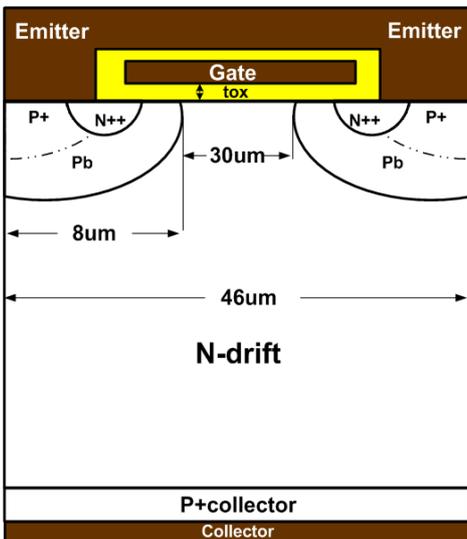


Fig 1. The dross-section of conventional IGBT structure
그림 1. 기존 IGBT 구조의 단면도

그림 1.은 기존 IGBT의 단면도를 보여준다. 기존 IGBT의 농도와 크기는 종래의 방법[11]과 동일하게 진행되었으며 셀 과 셀 사이의 폭만을 종래방법과 다른 30um로 고정하였다.

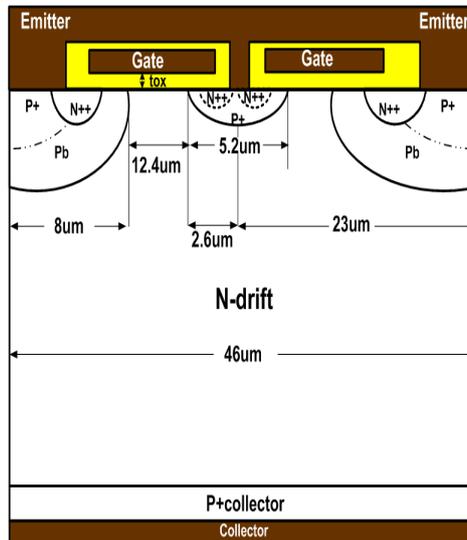


Fig. 2. The cross-section of the proposed IGBT structure
그림 2. 제안된 IGBT 구조의 단면도

그림 2는 제안된 nMOS 삽입형 IGBT의 단면도를 보여준다. 제안된 IGBT의 구조는 셀과 셀 사이에 존재하는 폴리 게이트 영역에 P+와 N++를 도입한 새로운 형태의 nMOS 삽입형 IGBT로써 기존 IGBT가 갖는 온, 오프 동작 상태에서의 전자(electron), 정공(hole)의 주입효율(current injection efficiency)을 높여 줌으로써 낮은 온-저항(on-resistance) 특성과 빠른 스위칭(switcing) 속도 그리고 높은 래치-업(latch-up) 특성을 얻기 위해 도입된 구조이다.

그림 3과 그림 4는 이러한 특성을 설명하기 위해 그림 1. 의 구조와 그림 2. 의 구조를 각각 등가회로적으로 표현한 것이다.

2.1.1 기존 구조의 동작 방법 및 특성분석

그림 3.은 기존 IGBT 구조인 그림 1.의 단면도를 등가회로로 표현한 것으로써 그림 1.의 46um 중 절반인 23um의 단일 구조만을 표현한 것이다. 그림 1.과 그림 3.을 통해 표현된 스위칭 동작을 하는 IGBT의 온, 오프 동작은 다음과 같다.

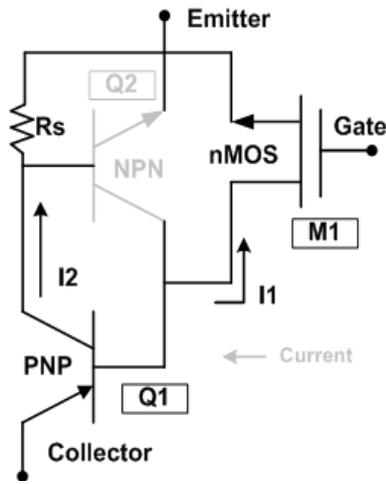


Fig. 3. The equivalent circuit of conventional IGBT
 그림 3. 기존 IGBT 구조의 등가회로

턴-온 동작, 에미터(emitter)를 접지시킨 상태에서 M1(nMOS)에 문턱전압(threshold voltage) 이상의 전압이 게이트에 인가될 때 채널(channel)영역에 형성되는 반전층을 통하여 전자전류가 주입되며 PNP(Q1) 트랜지스터의 베이스 바이어스로 작용한다. 이러한 바이어스 전류(I1)은 Q1(PNP)의 컬렉터로부터 소자 하단의 P+와 N-드립트 접합의 내부 전위(built-in potential) 이상의 애노드(anode)전압이 인가될 때 컬렉터 영역으로부터 정공전류를 주입되게 하며 턴-온 동작을 하게 된다.

턴-오프 동작, 게이트와 에미터를 접지로 연결했을 때의 동작으로 M1(nMOS) 으로부터 주입되는 PNP 트랜지스터(Q1)의 베이스 바이어스 전류가 없다는 것이다. 따라서 베이스 바이어스가 없는 PNP 트랜지스터(Q1)의 정공전류 또한 더 이상 N-드립트 영역으로 주입되지 못한다. 이러한 상태를 오프 동작이라 한다. 하지만 이러한 오프 동작은 IGBT 구조상 기본적으로 존재하는 NPN 트랜지스터(Q2)의 영향을 받으며, 이것은 PNP 트랜지스터(Q1)로부터 주입된 높은 전류 레벨에 의해 NPN 트랜지스터(Q2)가 동작함으로 래치-업(Latch-up) 현상이 발생한다. 래치-업이 발생한 IGBT는 게이트(Gate)에 의한 스위칭 제어가 불가능하게 되는 것으로 소자의 턴-오프가 되지 않는 것을 의미한다. 저항 (R_s)은 래치-업 현상을 줄이기 위해 가장 중요한 역할을 하며 저항(R_s)가 작을수록 래치-업 특성이 증가하여 소자의 안전 동작 영역(SOA:Safe Operating Area)이 넓어지는 역할을 한다.

2.1.2 제안된 구조의 등장방법 및 특성분석

그림 4. 는 제안된 IGBT 구조인 그림 2. 의 구조를 등가회로로 표현한 것으로써 동작방법은 기존 IGBT(그림 3.)과 같으나 M2(nMOS)와 Q3(PNP)의 삽입함으로 인한 전자(electron), 전공(hole)의 캐리어(carrier)양을 증가시킨 구조이다. 그림 4. 는 그림 2. 의 46um 중 절반인 23um의 단일 구조만을 표현한 것이다.

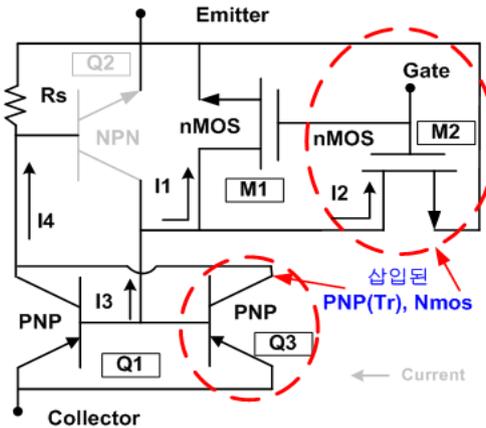


Fig. 4. The equivalent circuit of the proposed IGBT
 그림 4. 제안된 IGBT의 등가회로

nMOS 삽입으로 인한 온, 오프 동작 상태에서의 특성 중 온-상태에서의 순방향전압강하 특성은 기존 IGBT(그림 3.)의 M1 으로부터 드립트 영역(Q1 베이스)으로 주입되는 전자 전류의 양을 기존구조에 M2를 삽입함으로써 증가시킨 것이다. M2를 통해 증가된 전자전류는 컬렉터 영역으로부터 주입되는 정공전류(I3)의 양을 증가시켜 드립트 영역의 온-저항을 낮춰 주는 작용을 하며 각각 M1, M2의 정공전류(I1, I2)로 주입된다. 또한 컬렉터 영역으로부터 주입되는 정공전류는 BJT (Bipolar Junction Transistor)인 Q1, Q3로 주입되는 정공전류(I3)가 증가된 것으로써 낮은 순방향 전압강하 특성을 유도한다. 따라서 온-상태에서의 nMOS의 삽입은 전자전류의 주입량과 정공전류의 주입량을 증가시킴으로 드립트 영역의 온-저항을 낮춰줌으로써 낮은 순방향 전압강하 특성을 유도한다.

nMOS 삽입으로 인한 온, 오프 동작 상태에서의 특성 중 오프-상태에서의 래치-업 특성과 턴-오프 특성은 nMOS 삽입으로 인해 생성되는 P+ 영역을 통해 개선할 수 있다. 생성된 P+ 영역은 오프상태 에서의 기존 IGBT의 R_s 저항을 기존 구조보다 낮춰 주는 역할을 하며 래치-업 특성을 개선한다. 또한 P+ 영역은 턴-오프 동작 상태에서의 정공전류의 이동을 빠르게 함으로써 턴-오프 특성을 감소시키는 역할을 한다.

2.2 제안된 구조의 시뮬레이션 결과 및 고찰

2.2.1 항복특성

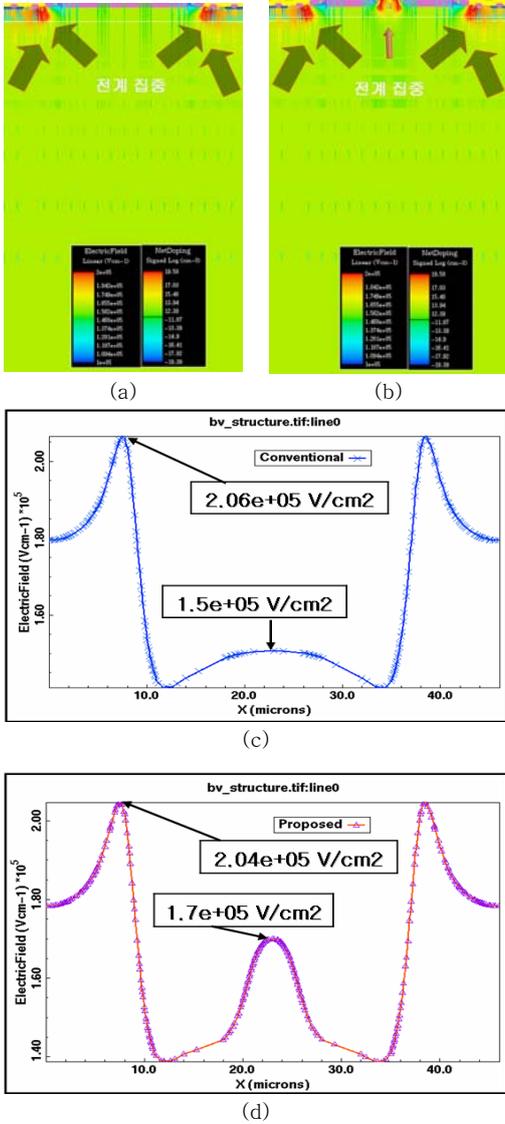


Fig. 5. The breakdown characteristic of conventional and the proposed structures
 그림 5. 기존 구조와 제안된 구조의 항복 특성
 (a) 기존 IGBT의 전계 집중 단면도
 (b) 제안된 IGBT의 전계 집중 단면도
 (c) 기존 IGBT 2.5um 지점에서의 전계집중
 (d) 제안된 IGBT 2.5um 지점에서의 전계집중

그림 5는 기존 IGBT와 제안된 구조인 nMOS 삽입형 IGBT에 대한 항복특성으로 nMOS 삽입형 IGBT가 항복특성에 미치는 영향을 알아보기 위해 상위 2.5um(그림 (a),(b)의 흰색실선) 지점에서의 전계 분포를 보여주고 있다. 그림 5.(a)와 (b)는 각각 기존 구조와 제안된 구조들의 전계집중 영역을 표현하기 위한 것이며 확인 결과 P-base 영역에서 전계가 발생하는 것을 확인 할 수 있었다. 그림 5. (c)와 (d)는 집중되는 전계의 양과 분포를 확인하기 위한 것으로 기존 구조와 제안된 구조의 전계 분포가 같음을 확인할 수 있었다. 또한 nMOS 삽입에 의한 전계 집중 현상이 기존 IGBT의 P-base 영역으로 집중되는 전계 ($2.06 \times 10^5 \text{ V/cm}^2$)의 일부를 nMOS 영역으로 유도하는 것을 확인할 수 있었다. 하지만 이러한 전계유도는 항복특성 변화에 미세한 작용을 함으로써 제한된 nMOS 삽입형 IGBT의 항복 특성이 기존 IGBT와 동일함을 확인할 수 있었다.

그림 6은 기존 구조와 제안된 구조의 항복특성의 시뮬레이션 결과를 표현한 그림이다.

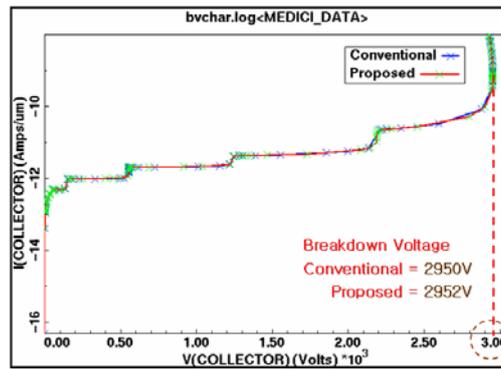


Fig. 6. The simulation result of breakdown voltage
 그림 6. 항복 전압의 시뮬레이션 결과

그림 6은 앞서 설명했듯이 기존 구조와 제안된 nMOS 삽입형 IGBT의 시뮬레이션 결과로 전계 분포로 인한 제안된 소자의 항복전압(2953V)이 기존 구조(2950V)보다 다소 높음을 보여주고 있다. 하지만 이러한 차이는 시뮬레이션 상의 측정 결과를 고려할 때 서로간의 항복전압이 동일하다는 것을 의미하며 제안된 nMOS 삽입형 IGBT가 항복특성에 미치는 영향이 적음을 의미한다.

2.2.2 순방향 전도 특성

순방향 전도 특성은 게이트 전압이 문턱전압 이상으로 인가된 IGBT에 총 전류밀도가 $100A/cm^2$ 인 소자의 전압강하 또는 $V_{ce,sat}$ 이라고 하며 이것은 전류 경로를 따라 분석할 때 채널 영역의 전압강하, 축적 영역의 전압강하, 드리프트 영역의 전압강하, 그리고 소자 하단부의 p+n 접합의 전압강하 등 네 가지 성분들의 합으로 나타 낼 수 있다.

제안된 nMOS 삽입형 IGBT가 갖는 낮은 순방향 전압강하 특성은 기존 구조(그림 1.)에 nMOS를 삽입함으로써 동작상태시 전자, 정공 주입효율을 높여줌으로써 얻을 수 있다.

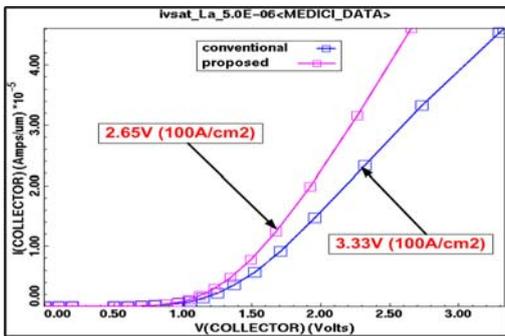


Fig. 7. The simulation result of on-state characteristics
 그림 7. 순방향 전도 특성의 시뮬레이션 결과

그림 7은 기존 구조와 제안된 소자의 순방향 전도 특성을 보여주는 것으로 시뮬레이션 결과 그림 2의 제안된 구조의 순방향 전압강하는 2.65V로 기존 3.33V보다 약 26% (0.7V) 감소하는 것을 확인 할 수 있었다. 따라서 시뮬레이션 결과를 통해 제안된 nMOS 삽입형 IGBT의 순방향 전압강하 특성이 기존 구조보다 낮은 것을 확인 할 수 있었으며 이를 확인 하기 위해 다음과 같은 분석을 하였다.

IGBT소자의 순방향 전압강하는 구조 내부에 존재하는 MOSFET의 특성과 소자 하단부에 존재하는 P+n의 접합에 의한 특성들의 합으로 나타낼 수 있다. 이것은 식으로 표현할 때 $V_{ce,sat} = V_{ce} + 0.7V$ 을 의미하며 0.7V는 IGBT 소자 하단에 존재하는 p+n의 접합에 의한 전압강하를 의미한다. 또한 V_{ce} 은 컬렉터와 에미터 사이의 전압강하로 순방향 동작 상태 에서의 MOSFET 특성을 의미하며 V_{Ch} (채널영역 전압강하), V_{JFET} (JFET영역 전압강하), V_{ACC} (축적영역 전압강하)의 성분들의 합인 (식-1)로 표현 할 수 있다[12].

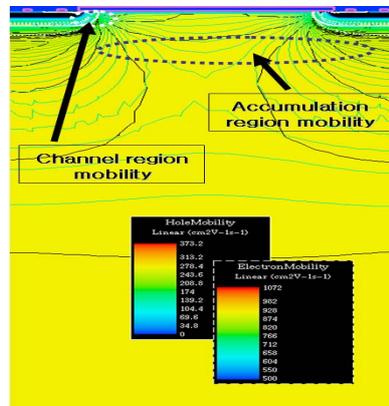
$$V_{MOSFET} = V_{Ch} + V_{JFET} + V_{ACC} \quad (식-1)$$

컬렉터와 에미터 사이의 전압강하를 표현하는 (식-1)의 V_{Ch} , V_{JFET} , V_{ACC} 들의 식은 각각 (식-2, 3, 4)으로 표현 하였다.

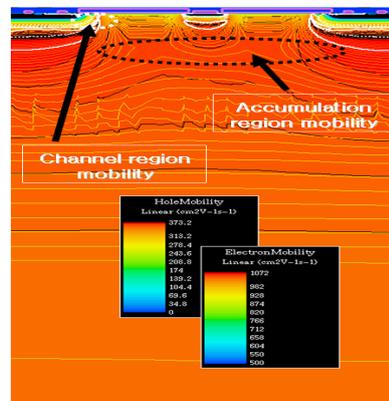
$$V_{Ch} = \frac{(1-\alpha_{PNP})JL_{Ch}W_{cell}}{\mu_{ns}C_{ox}(V_{GE}-V_{T_n})} \quad (식-2)$$

$$V_{JFET} = \frac{\rho_{JFET}(1-\alpha_{PNP})J(x_p + W_0)W_{cell}}{L_G - 2x_p - 2W_0} \quad (식-3)$$

$$V_{ACC} = \frac{K(1-\alpha_{PNP})J(L_G - 2x_p - 2W_0)W_{cell}}{2q\mu_{nA}C_{ox}V_{GE}} \quad (식-4)$$



(a)



(b)

Fig. 8. The electron and hole mobility
 그림 8. 전자, 정공의 이동도
 (a) 기존 IGBT의 전자, 정공의 이동도
 (b) 제안된 IGBT의 전자, 정공의 이동도

그림 8은 기존 구조(a)와 제안된 구조(b)의 전자, 정공의 이동도를 나타낸 단면도이다. 그림을 통해 확인할 수 있듯이 제안된 구조가 기존 구조보다 이동도가 크다는 것을 알 수 있다. 이것은 단면도내에 실선과 이동도에 따른 드리프트 내 색의 변화를 통해 확인해 볼 수 있으며, 정확한 분석을 위해 채널영역의 이동도와 축적영역의 이동도를 그림 9와 그림 10을 통해 각각 분석하였다.

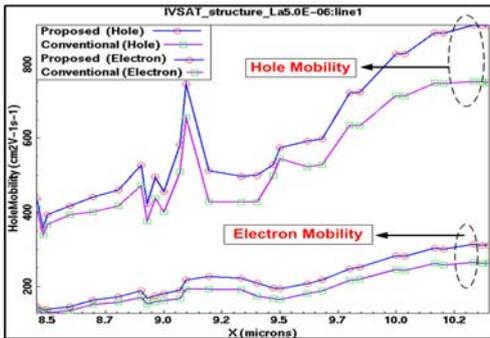


Fig. 9. The electron and hole mobility of channel
그림 9. 채널 영역에서의 전자, 정공의 이동도

그림 9는 채널 영역(V_{Ch})내의 전자, 정공들의 이동도(mobility)로써 제안된 구조의 전자, 정공의 이동도가 기존 구조보다 크다는 것을 확인할 수 있다. 따라서 이러한 이동도(μ_n)의 증가는 식-2의 V_{ch} (채널영역 전압강하)의 감소를 의미하며, 결론적으로는 순방향 전압강하($V_{ce,sat}$)의 감소를 의미한다. 이러한 결과는 이동도(μ_n)의 증가된 값을 식-2에 대입함으로써 식-1에 대한 변화를 확인해 볼 수 있다.

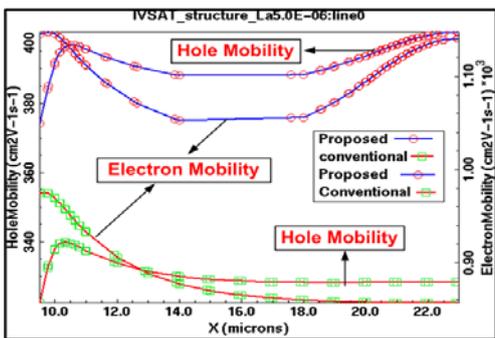


Fig. 10. The electron and hole mobility of accumulation layer
그림 10. 축적층 영역에서의 전자, 정공의 이동도

그림 10은 축적영역(V_{ACC})내 전자, 정공들의 이동도(mobility)로써 제안된 구조의 전자, 정공의 이동도가 기존 구조보다 크다는 것을 확인할 수 있다. 따라서 이러한 이동도(μ_n)의 증가는 식-4의 V_{ACC} (축적영역 전압강하)의 감소를 의미하며, 결론적으로는 축적영역 내 전압강하의 감소를 의미한다. 이러한 결과는 식-4와 식-1을 통해 확인해 볼 수 있다.

제안된 소자의 순방향 전압강하($V_{ce,sat}$)의 감소는 앞서 확인했듯이 전자, 정공의 이동도에 따라 감소됨을 (식-1, 2, 4)과 그림(9, 10)을 통해 확인하였으며, (식-3)을 통하여 V_{JFET} (JFET영역 전압강하)은 이동도에 따른 영향이 없음을 확인하였다. 따라서 그림 8의 시뮬레이션 결과인 제안된 nMOS 삽입형 IGBT의 낮은 순방향 전압강하는 채널영역(V_{Ch})과 축적영역(V_{ACC})내 이동도가 증가함에 따른 감소임을 확인하였다.

2.2.3 턴-오프 특성

그림 11은 기존 IGBT와 제안된 nMOS 삽입형 IGBT의 턴-오프 특성을 보여주고 있다. 턴-오프 특성은 전력용 IGBT의 전력 손실에 주된 역할을 하는 특징으로 턴-온시 발생하는 전력손실보다 턴-오프시 발생하는 전력손실이 높음으로 전력손실을 감소시키기 위한 턴-오프 특성의 분석은 중요하다 [13][14]. 턴-오프의 지점은 전자와 정공의 수명시간을 5us로 고정시킨 상태에서 전류가 동작상태의 10%로 떨어지는 지점을 의미하며 턴-오프 특성을 분석하기 위해 2차원 소자 시뮬레이터인 MEDICI를 이용하여 시뮬레이션을 수행하였다.

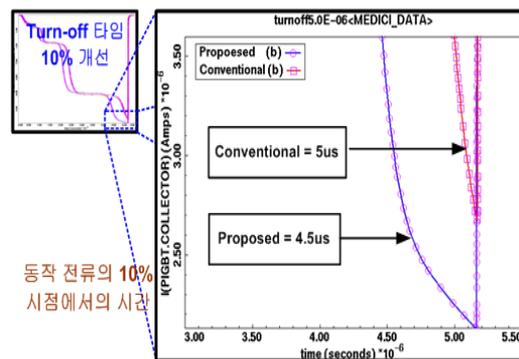


Fig. 11. The simulation result of turn-off characteristics
그림 11. 턴-오프 특성의 시뮬레이션 결과

그림 11.은 기존 구조와 제안된 구조의 턴-오프 특성으로 제안된 구조의 턴-오프 시간이 기존 구조보다 빠르다는 것을 확인할 수 있다. 이러한 특성은 N-드리프트 영역 내 전자전류와 정공전류의 흐름이 기존 IGBT보다 활발하게 이동한다는 것과 관련이 있다. 기존 구조의 턴-오프 과정은 턴-온 상태에서 컬렉터 전압에 의해 P-베이스와 N-드리프트 영역 사이의 얇아진 공핍층이 다시 컬렉터 단에 인가된 바이어스만큼 확장 될 때, 정공전류의 흐름은 P-베이스 영역을 지나 P+ 에미터로 빠져 나간다. 하지만 기존 IGBT인 경우 N-드리프트 영역 내 축적되어있는 정공전류의 분포가 컬렉터 영역에서부터 P-베이스 영역에 이르기 까지 선형적으로 감소 분산되어져 있기 때문에 턴-오프 시간에 제약을 받는다. 따라서 제안된 구조는 셀과 셀을 연결하는 폴리 게이트 중앙에 nMOS를 삽입함으로써 N-드리프트 영역 내 축적되어있는 정공전류의 이동을 기존 P-베이스뿐만이 아닌 nMOS 영역으로 유도함으로써 오프 상태에서의 빠른 턴-오프 작용을 한다.

제안된 소자의 턴-오프 특성은 4.5us로 기존 5us보다 10%(0.5us) 감소된 특성을 보였다. 따라서 시뮬레이션 결과 제안된 nMOS 삽입형 IGBT의 턴-오프 특성이 기존 구조보다 우수하다는 것을 확인 하였다.

2.2.4 래치-업 전류 특성

제안된 nMOS 삽입형 IGBT는 순방향 전압강하와 턴-오프 특성을 개선하기 위해 도입된 구조로 전자, 정공의 주입효율을 높이기 위해 사용되며, 또한 nMOS 삽입에 따라 존재하는 MOS의 P+영역으로 인해 기존 다이버터(diverter)와 같은 높은 래치-업 특성을 갖는다.

그림 12.는 기존구조와 제안된 소자들의 래치-업 특성을 보여주는 것으로 분석결과 제안된 nMOS 삽입형 IGBT의 래치-업 전류가 $773A/cm^2$ 로 기존 $520A/cm^2$ 보다 약 33% ($253A/cm^2$)만큼 개선됨을 확인 하였다. 따라서 이러한 래치-업 특성의 개선은 전력용 스위칭 소자의 SOA(Safe Operation Area)를 결정짓는 가장 중요한 요소인 P-N-P-N구조의 기생 사이리스터의 동작을 감소시키는 역할을 함으로 제안된 nMOS 삽입형 IGBT가 기존 구조보다 안전 동작 영역을 높일 수 있음을 확인하였다.

III 결론

nMOS 삽입형 IGBT 구조는 높은 온-저항에 따른 순방향 전압강하와 드리프트 층으로 주입되는 정공전류로 인한 스위칭 손실간의 트레이드-오프 관계를 개선하고 스위칭 소자인 IGBT의 래치-업 특성을 개선하기 위해 제안되었다.

시뮬레이션 결과 nMOS 삽입에 따른 래치-업 특성은 기존 IGBT의 래치-업 특성인 ($520A/cm^2$)보다 약 33% ($773A/cm^2$)의 개선된 특성을 보였으며, 턴-오프 시간 또한 기존 구조의 특성인 5us보다 약 10% 개선된 4.5us의 특성을 보였다. 마지막으로 순방향 전압강하($V_{ce,sat}$) 특성은 기존 IGBT의 3.33V보다 26% 개선된 2.65V의 특성을 보였다. 따라서 시뮬레이션 결과 제안된 nMOS 삽입형 IGBT는 항복전압이 기존 구조와 동일한 2950V의 특성을 유지한 상태에서 순방향 전압 강하, 턴-오프 손실, 래치-업 전류 특성을 모두 개선시킴으로 기존 플레너(Planar) 게이트 타입인 IGBT의 전기적 특성보다 우수함을 확인하였다.

참고문헌

[1] B. J. Baliga, "Power Semiconductor Device" PWS Publishing Company, pp. 446-455, Dec. 1996.
 [2] T. K Khanna. "The Insulated Gate Bipolar Transistor Theory and Design" IEEE press. Wiley & Sons, INC, 2003.
 [3] K. K. Ng, "Analysis of the Gate Voltage Dependent Series Resistance of MOSFET's," IEEE Trans. Electron Devices., vol.ED-33, No.7, July. 1986.
 [4] 윤종만, 최연의, 한민구, "JFET 효과를 감소시킨 고압용 수직형 IGBT," 전기학회 논문지, 제 44권 23호, pp.303-309, 1995.
 [5] F. D. Bauer, "The super junction bipolar transistor: a new silicon power device concept for

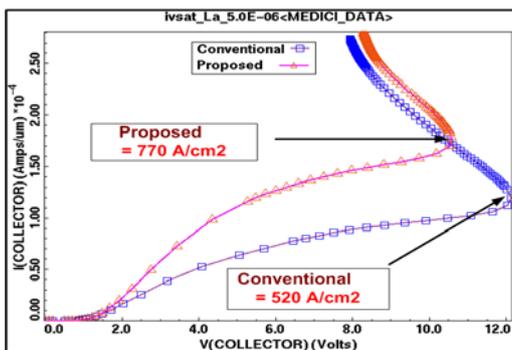


Fig. 12. The simulation result of latch-up characteristics

그림 12. 래치-업 특성의 시뮬레이션 결과

ultra low loss switching applications at medium to high voltages", Solid-State Electronics, Vol. 48, No. 5, pp. 705, 2004.

[6] V. K. Khanna. "The Insulated Gate Bipolar Transistor Theory and Design" IEEE press. Wiley & Sons, INC, 2003...

[7] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and J. Schmidt, "The field stop IGBT (FS IGBT) a new power device concept with a great improvement potential", Proc. 12th ISPSD, pp.335, 2000.

[8] F. D. Bauer, "The super junction bipolar transistor: a new silicon power device concept for ultra low loss switching applications at medium to high voltages", Solid-State Electronics, Vol. 48, No. 5, pp. 705, 2004.

[9] P.R. Palmer, "Characterization and Modeling of the LPT CSTBT-the 5th Generation IGBT" IEEE PESC Rec. 2003.

[10] 구용서, 손정만 향상된 전기적 특성을 갖는 트랜치 게이트형 절연 게이트 바이폴라 트랜지스터에 관한 연구". 전기전자학회 논문지. 제 11권, 4호. pp158-164. Dec. 2007.

[11] 신사무엘, 손정만, 구용서, "2500V급 IGBT의 전기적 특성에 관한 연구", 대한전자공학회 추계학술대회, 제30권, pp.323-324, 2007.

[12] Vinod Kumar Khanna "The Insulated Gate Bipolar Transistor (IGBT) Theory and Design" IEEE, pp. 241-249, 2003.

[13] Sehwan Ryu, HyungKeun Ahn, DeukYoung Han, "An Analytical Transient Model For NPT IGBT". ICPE '01 International conference on power electronics, pp 26-30, Oct. 2001.

[14] Sehwan Rye, Kwangchal Hwang, HyungKeun Ahn, DeukYoung Han, " Transient Characteristics of NPT-IGBT with different temperature ", 한국전기전자재료학회 하계학술대회, pp 292-295, 2002.

저 자 소 개

신 사무엘 (학생회원)



2008년 : 서경대학교 전자공학과 졸업 (공학사)

2008년 3월~현재 :

서경대학교 대학원

전자컴퓨터공학과 (공학석사)

<주관심분야> IGBTs, Power

Device, Power MOSFET, ESD,

etc.

구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vo18, No1 참조

박 대 통



1985년 : 한양대학교 수학과 졸업 (공학사)

1987년 : 한양대학교 수학과 졸업 (공학석사)

1995년 : 한양대학교 수학과 졸업 (공학박사)

1994년 3월 ~ 현재 : 서경대학교 소프트웨어학과 전임교수

<주관심분야> 암호알고리즘 및 정보보안

원 종 일 (학생회원)



2008년 : 서경대학교 전자공학과 졸업 (공학사)

2008년 3월~현재 :

서경대학교 대학원

전자컴퓨터공학과 (공학석사)

<주관심분야> ESD Protectoin,

Power Device, Power MOSFET, ESD, etc.