

저 전력 MOS 전류모드 논리 병렬 곱셈기 설계

Design of a Low-Power MOS Current-Mode Logic Parallel Multiplier

Jeong Beom Kim^{**}

김정범^{**}

Abstract

This paper proposes an 8×8 bit parallel multiplier using MOS current-mode logic (MCML) circuit for low power consumption. The proposed circuit has a structure of low-power MOS current-mode logic circuit with sleep-transistor to reduce the leakage current. The sleep-transistor is used to PMOS transistor to minimize the leakage current. Comparing with the conventional MOS current-mode logic circuit, the circuit achieves the reduction of the power consumption in sleep mode by 1/50. The designed multiplier is achieved to reduce the power consumption by 10.5% and the power-delay-product by 11.6% compared with the conventional MOS current-mode logic circuit. This circuit is designed with Samsung 0.35 μm standard CMOS process. The validity and effectiveness are verified through the HSPICE simulation.

요약

이 논문은 MOS 전류모드 논리 (MOS current-mode logic circuit, MCML) 회로를 이용하여 저 전력 특성을 갖는 8×8 비트 병렬 곱셈기를 설계하였다. 설계한 곱셈기는 회로가 동작 하지 않을 때의 정적 전류의 소모를 최소화하기 위하여 슬립 트랜지스터 (sleep-transistor)를 이용하여 저 전력 MOS 전류모드 논리회로를 구현하였다. 설계한 곱셈기는 기존 MOS 전류모드 논리회로에 비해 대기전력소모가 1/50으로 감소하였다. 또한, 이 회로는 기존 MOS 전류모드 논리회로에 비해 전력소모에서 10.5% 감소하였으며, 전력소모와 지연시간의 곱에서 11.6%의 성능 향상이 있었다. 이 회로는 삼성 0.35μm 표준 CMOS 공정을 이용하여 설계하였으며, HSPICE를 통하여 검증하였다.

Key words : MOS 전류모드 논리회로, 슬립 트랜지스터 (sleep-transistor), 저 전력 회로,

을 받게 된다[1].

일반적인 디지털 시스템에서 사용되는 CMOS 회로는 부하가 충·방전하는 동안에만 전력을 소모하므로 전력소모가 작다. 그러나 CMOS 회로의 전력소모는 동작 주파수가 증가함에 따라 부하의 충·방전 시간이 짧아지게 되고 전력소모는 동작 주파수가 증가함에 따라 선형적으로 증가하게 되며 출력신호 역시 기대하는 값을 얻을 수가 없다. 이러한 CMOS 회로의 동작속도의 제한을 해결하기 위한 방법 중에 하나가 MOS 전류모드 논리 (MOS current-mode logic, MCML) 회로이다. MOS 전류모드 논리회로는 작은 입력 캐패시턴스 값과 신호전폭으로 동작속도가 CMOS 회로보다 빠르다는 장점을 갖는 반면에 정적 전류를 사용하므로 CMOS 회로보다 전력소모가 크나

1. 서론

오늘날 VLSI 기술은 칩 면적의 최소화, 동작속도, 전력소모, 등을 고려하여 설계한다. 휴대 단말기의 보급과 통신 기술의 발달은 고속의 데이터 전송을 위하여 동작속도의 개선이 필요하며, 배터리의 한정된 용량과 회로의 전력소모 영향으로 설계 기술은 제약

* 江原大學校 電氣電子工學部

(School of Electrical and Electronics Engineering, Kangwon National University)

★ 교신저자 (Corresponding author)

接受日:2008年 10月 24日, 修正完了日: 2008年 12月 25日

는 단점이 있다. 그러나 MOS 전류모드 논리회로는 CMOS 회로와 같이 동작 주파수에 따른 전력소모가 선형적으로 증가 하지 않고, 동작 주파수의 증가에 관계없이 전력소모가 일정하게 유지되는 장점을 지니고 있어, 동작 주파수가 지속적으로 증가하게 되면 결과적으로 CMOS 회로보다 전력소모가 작다[2-5]. 즉 MOS 전류모드 논리회로는 고속의 동작속도에서 저 전력소모를 필요로 하는 회로에 적합하다.

이 논문은 기존 MOS 전류모드 논리회로의 전력소모를 감소시키기 위한 구조를 제안하여 전가산기를 설계하였으며, 이 전가산기를 이용하여 8x8 비트 병렬 곱셈기를 설계하였다. 이를 기존의 MOS 전류모드 논리회로를 이용하여 만든 전가산기와 곱셈기와 비교하여 전력소모, 지연시간, 전력소모와 지연시간의 곱을 비교 확인하였다. 또한 MOS 전류모드 논리회로의 정적전류의 사용을 회로가 동작하지 않는 상태에서는 흐르지 않게 해주는 슬립 트랜지스터(sleep-transistor)를 추가함으로써 불필요한 전력소모를 감소시켜, 전체적인 전력소모를 감소시켰다.

본 논문은 다음과 같이 구성한다. 먼저, II장에서 MOS 전류모드 논리회로에 대해 설명하고, III장에서 제안한 MOS 전류모드 논리회로에 대해 설명한다. IV장에서 설계한 회로의 레이아웃(layout)과 시뮬레이션 결과를 분석하며, V장에서 결론을 맺는다.

II. MOS 전류모드 논리회로

MOS 전류모드 논리회로는 완전한 차동구조이며 두 개의 풀업(pull up) 저항에 의해서 전류를 조절하게 된다. 전체 전압 스윙(swing) ΔV 는 전류 I 와 저항 R 에 의해 결정된다. 이 결정된 전압 스윙 ΔV 은 출력전압의 스윙에 관계하게 된다. 즉 출력(out)에 걸리는 전압은 전체 공급 전압(V_{DD})에서 전압 스윙만큼의 차가 된다. 부하의 캐패시턴스를 C 로 가정하고 모든 입력이 이상적인 선형 신호라고 가정하면 입력 비트수 N 에 대하여 지연 값은 다음과 같이 정의할 수 있다.

$$D_{MCML} = NRC = \frac{NC\Delta V}{I} \quad (1)$$

MOS 전류모드 논리회로는 CMOS 회로와 달리 부하의 충·방전에 독립적이며 항상 일정한 전류가 흐르게 된다. 이러한 가정을 통하여 전력소모, 전력소모와

지연시간의 곱, 에너지와 지연시간의 곱을 계산할 수 있다.

$$P_{MCML} = NIV_{DD} \quad (2)$$

$$PD_{MCML} = NIV_{DD} \frac{NC\Delta V}{I} = N^2 C\Delta V V_{DD} \quad (3)$$

$$\begin{aligned} ED_{MCML} &= N^2 C\Delta V V_{DD} \frac{NC\Delta V}{I} \\ &= \frac{N^3 C^2 V_{DD} \Delta V^2}{I} \end{aligned} \quad (4)$$

그림 1은 MOS 전류모드 논리 인버터이다. MOS 전류모드 논리회로는 두 개의 제어전압 RFN, RFP가 있다. RFN은 NMOS 트랜지스터의 게이트 입력전압으로 이 값을 조절함으로써 회로 전체의 전류 값을 결정하게 된다. 동작에 대해 설명하면 입력 신호는 in과 in 은 서로 반대의 신호가 인가된다. in의 신호가 논리 값 1의 신호가 인가되면 입력 in에 걸려있는 NMOS 트랜지스터는 턴온되고 이 회로에서 능동부하로 동작하는 PMOS 트랜지스터는 트랜지스터와 전류원에 의해 in 쪽 트랜지스터 부분은 공급 전압부터 접지단자로 경로가 형성되게 된다. 결과적으로 out 단자는 논리 값 0을 갖게 된다. 일반적으로 전류원으로 동작하는 NMOS 트랜지스터는 공정 최소크기보다 크게 함으로서 출력 단에 높은 임피던스를 만들 수 있고, 바이어스와 논리 회로 사이의 부정합을 감소시킨다. RFP는 PMOS 전압을 제어함으로써 그림 1에서의 저항 R 에 해당되는 등가저항을 의미한다.

그림 2는 MOS 전류모드 논리 전가산기 회로이다. 그림 2(a)는 합에 대한 회로로써, 입력 값 A, B, C에 의해 출력 값(sum)값이 결정되게 된다. 예를 들어 sum 값이 1일 경우 즉 A, B, C의 조합 논리의 출력이 논리 값이 1인 경우에는 공급 전압부터 접지단자로 도통경로가 형성되어 sum에 해당하는 값은 논리 값 0을 가지게 되며, 도통경로가 형성되지 않은 sum 값은 논리 값 1을 생성하게 된다. 반대로 sum의 논리 값이 0인 경우로 기준전압부터 접지단자로 도통경로가 sum쪽에 생성된다. 결과적은 sum은 논리 값 0을 sum는 논리 값 1을 가지게 된다. 그림 2(b)는 올림 값(carry out) 해당하는 회로로 동작방법은 앞에서 설명한 합 회로 동일하다.

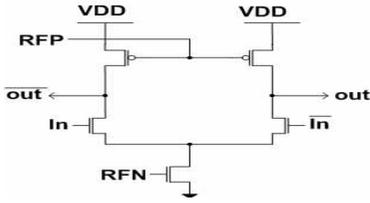
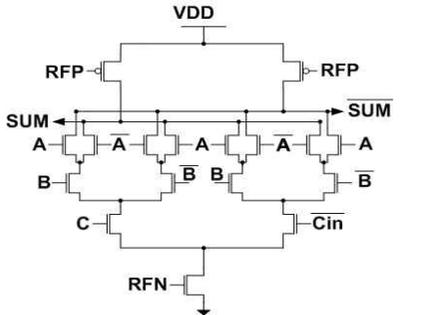
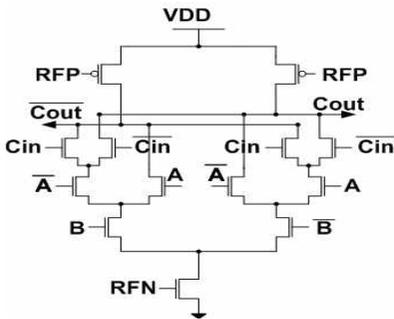


Fig. 1. MOS current-mode logic inverter
 그림 1. MOS 전류모드 논리 인버터



(a) 합 회로



(b) 올림값 회로

Fig. 2. MOS current-mode logic full adder
 그림 2. MOS 전류모드 논리 전가산기

III. MOS 전류모드 논리회로

1. 제안한 MOS 전류모드 논리 인버터

그림 3은 본 논문에서 제안한 MOS 전류모드 논리 인버터이다. 이 회로는 기존의 MOS 전류모드 논리회로 블록과 공급전원(VDD) 사이에 PMOS 슬립 트랜지스터를 추가하였으며, 인버터 논리 블록 내에 NMOS 트랜지스터를 추가한 구조이다. 슬립 트랜지스터의 게이트 입력인 제어단자 SC가 논리 값 0 일 때에는 논리회로 블록에 공급전압을 인가하여 정상적인 동작을 하도록 하며, 반면에 제어단자 SC가 논리 값 1 일 때에는 논리회로 블록에 공급전원을 차단하

여 회로가 동작하지 않도록 설계하였다. 즉, 정상 동작모드에서는 제어단자 SC가 논리 값 0을 갖게 되어 슬립 트랜지스터는 턴 온 되어 기존의 MOS 전류모드 논리회로와 동일하게 동작한다. 슬립모드에서는 제어단자 SC가 논리 값 1을 갖게 되어 슬립 트랜지스터는 턴 오프 되어 VDD와 논리회로사이를 격리시킨다. 따라서 슬립모드에서 발생하는 대기 전력소모를 최소화 한다.

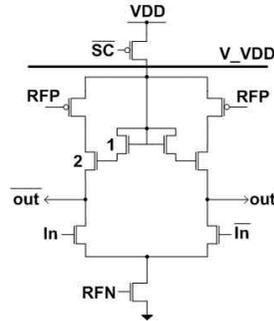


Fig. 3. Proposed MOS current-mode logic inverter
 그림 3. 제안한 MOS 전류모드 논리 인버터

1번 트랜지스터의 게이트와 소스는 공급전압에 연결되어 있고, 1번 트랜지스터의 드레인 전압은 공급전압에서 문턱전압 만큼 감소된 전압을 갖게 되며, 이 전압이 MOS 전류모드 논리회로의 기준전압이 된다. 여기서 감소된 기준전압은 회로의 출력전압으로 되어 출력전압은 낮은 전압 스위칭을 하게 된다. 기준전압은 추가된 NMOS 트랜지스터의 개수와 연관이 있으며 이는 다음과 같다.

$$V_{ref} = V_{VDD} - 2V_{THn} \quad (5)$$

V_{THn} : NMOS 트랜지스터의 문턱전압

변화된 기준전압 V_{ref} 는 회로 전체에 흐르는 전류 I에 영향을 미치게 된다. 즉 기준 전압의 감소는 등가 저항으로 작용하는 PMOS 사이즈와 게이트 입력전압의 변화가 없다고 가정할 때 전류 I의 감소시키므로 감소된 전류 I와 기준 전압에 의해서 식 (5)를 통해 알 수 있듯이 전체적인 전력소모가 감소하게 된다.

2. 제안한 MOS 전류모드 논리 전가산기와 8×8 비트 병렬 곱셈기

그림 4는 제안한 PMOS 슬립 트랜지스터가 추가된 MOS 전류모드 논리전가산기 회로이다. MOS 전류모

드 논리회로는 정적전류를 사용하기 때문에 필요 회로가 동작하지 않을 경우에는 정적전류를 차단해 주는 회로가 필요하게 된다. 슬립 트랜지스터를 공급전압과 논리회로 블록 사이에 추가함으로써 슬립 트랜지스터의 동작에 여부에 따라 회로에 전원을 공급함으로써 회로가 동작하지 않을 경우 전원을 공급하지 않기 때문에 불필요할 정적전류를 억제 할 수 있으며, 이로 인하여 전력소모를 감소시킨다.

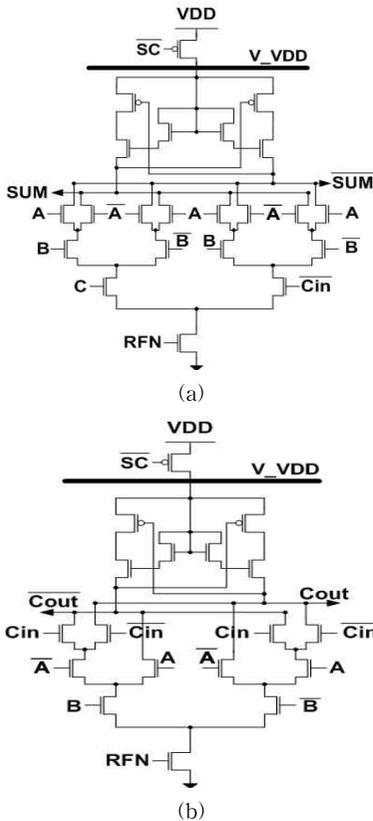


Fig. 4. Proposed MOS current-mode logic full adder circuit.

(a) summation circuit (b) carry out circuit.

그림 4. 제안한 MOS 전류모드 논리 전가산기 회로

(a) 합 회로 (b) 올림값 회로

그림 4 (a)는 합에 대한 회로으로써, 입력 값 A, B, C에 의해 출력값(sum)값이 결정되게 된다. 예를 들어 sum 값이 1일 경우 즉 A, B, C의 조합 논리의 출력이 논리 값이 1인 경우에는 추가된 NMOS 트랜지스터에 의해 감소된 기준전압부터 접지단자로 경로가

형성되어 sum에 해당하는 값은 논리 값 0을 가지게 되며, 경로가 형성되지 않은 sum 값은 논리 값 1을 생성하게 된다. 반대로 sum의 논리 값이 0인 경우로 기준전압부터 접지단자로 경로가 sum쪽에 생성된다. 결과적은 sum은 논리 값 0을 sum는 논리 값 1을 가지게 된다. 그림 4(b)는 자리 올림 값(carry out) 해당하는 회로로 동작방법은 앞에서 설명한 합회로 동일하다. 앞서 설명한 것과 같이 PMOS 트랜지스터와 출력 사이에 NMOS 트랜지스터를 추가시킴으로써 기준전압 V_{ref} 을 감소시켜 회로에 흐르는 전류 I의 값을 감소시키며, 기준 전압이 문턱전압의 두 배만큼 감소하여 식 (1)에 따라 회로의 전력소모가 감소한다.

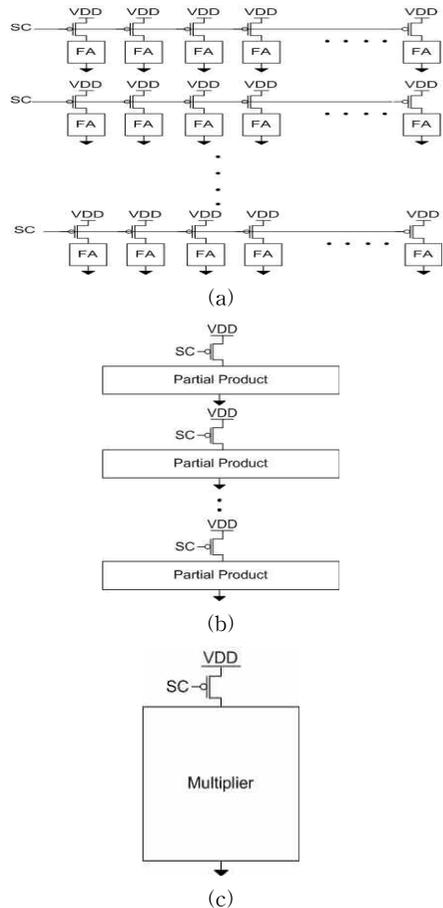


Fig. 5. Multiplier using sleep transistor (a) full adder (b) partial product (c) full circuit.

그림 5. 슬립 트랜지스터를 적용한 곱셈기 (a) 전가산기 (b) 부분 곱 (c) 전체 회로

병렬 곱셈기는 곱셈과정에서 발생하는 부분 곱을 전가산기를 이용하여 병렬로 연결 독립적인 계산을 수행한다. 곱셈기의 출력 단은 일반적인 CMOS 버퍼를 사용하여 출력신호의 왜곡이 없도록 설계하였다.

그림 5는 슬립 트랜지스터를 곱셈기에 적용하는 방법으로, 3가지로 방식으로 적용하여 특성을 분석하였다. 첫 번째 방법은 그림 5(a)와 같이 슬립 트랜지스터를 각각의 전가산기에 적용하는 방법이다. 이 경우 추가되는 트랜지스터의 수는 56개가 되며 각각의 전가산기를 제어 할 수 있다. 두 번째 방법은 그림 5(b)에서 보는 것과 같이 각각의 부분 곱에 슬립 트랜지스터를 추가하는 방법이다. 이 방법은 각각의 전가산기를 제어할 수 없지만 첫 번째 방법에 비해 트랜지스터의 수를 줄일 수 있는 장점이 있다. 세 번째 방법은 그림 5(c)와 같이 전체 회로에 하나의 트랜지스터를 추가하는 방법으로 트랜지스터의 적용과 제어를 쉽게 할 수 있다. 전체 회로의 하나의 슬립 트랜지스터를 이용하여 제어할 경우 이 슬립 트랜지스터의 크기는 전체 회로에 충분한 전류를 공급할 정도로 커야 한다. 슬립 트랜지스터의 크기와 적용 부분에 대한 것은 전체 회로에 미치는 전력소모, 전류, 동작속도를 고려하여 회로에 따라 달리 적용된다.

표 1은 그림 5에서 나타낸 병렬 곱셈기에 슬립 트랜지스터의 적용방법에 따라 얼마만큼의 전력소모의 차이에 대해 비교한 표이다. 전가산기 각각에 슬립 트랜지스터를 추가한 것 보다 전체 회로에 하나의 슬립 트랜지스터를 추가한 것이 회로의 전력소모 면에서 더 효과적임을 알 수 있다.

Table 1. Comparison Table of standby power dissipation with sleep transistor.

표 1. 슬립 트랜지스터의 적용방법에 따른 대기 전력소모 비교표

그림 6(a)의 경우	1.17 mW
그림 6(b)의 경우	0.47 mW
그림 6(c)의 경우	0.17 uW
슬립트랜지스터를 추가하지 않은 경우 : 8.6 uW	

IV. 레이아웃 및 시뮬레이션

그림 6은 설계한 8×8 비트 곱셈기에 대한 레이아웃이다. 레이아웃은 삼성 0.35μm 표준 공정 레이아웃 규칙에 따라 설계하였다. 본 논문에서 제안한 곱셈기의

면적은 268.7μm × 255.7μm이다. 설계한 곱셈기는 DRC, ERC, LVS를 시행하였다. 본 논문의 회로는 삼성 0.35μm 표준 CMOS 공정을 이용하여 HSPICE로 시뮬레이션 하였으며 공급전압은 3.3V로 하였다.

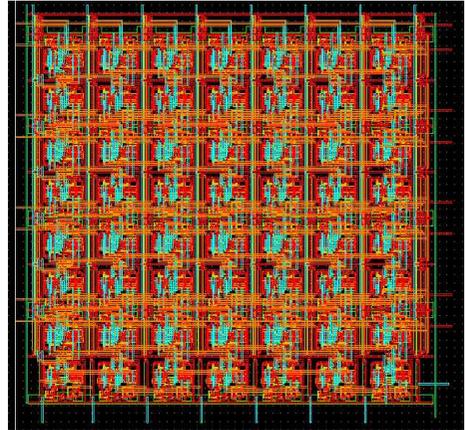


Fig. 6. Layout of multiplier.

그림 6. 곱셈기 레이아웃

표 2는 전가산기에 대해 CMOS 회로와 기존의 MOS 전류모드 논리회로와 특성을 비교한 표이다. 제안한 회로는 평균 전력소모가 CMOS 회로에 비해 15.2%, 기존 MOS 전류모드 논리회로에 비해 12.5% 감소하였다. 따라서 전력소모와 전달지연시간의 곱은 CMOS 회로에 비해 17.4%, 기존 MOS 전류모드 논리회로에 비해 13.9% 성능 향상을 이루었다.

Table 2. Comparison Table of full adder.

표 2. 전가산기의 비교표

	CMOS 회로	기존 MCML 회로	제안한 MCML 회로
평균전력소모 (mW)	0.33	0.32	0.28
전달지연시간 (nS)	1.22	1.21	1.19
전력소모와지연시간의곱 (pJ)	0.403	0.387	0.333

표 3은 본 논문에서 제안한 곱셈기를 CMOS 회로와 기존의 MOS 전류모드 논리회로와 특성을 비교한 표이다. 제안한 곱셈기는 평균 전력소모가 CMOS 회로

에 비해 10.7%, 기존 MOS 전류모드 논리회로에 비해 10.5% 감소하였다. 따라서 전력소모와 전달지연시간의 곱은 CMOS 회로에 비해 12.1%, 기존 MOS 전류모드 논리회로에 비해 11.6% 성능향상을 이루었다.

Table 3. Comparison table of 8×8 bit parallel multiplier.
표 3. 8×8 비트 곱셈기의 비교표

	CMOS 회로	기존 MCML회로	제안한 MCML회로
평균전력소모 (mW)	5.44	5.37	4.86
전달지연시간 (nS)	4.60	4.64	4.53
전력소모와지연시간의곱 (pJ)	25.02	24.92	22.01

V. 결론

본 논문은 기존의 MOS 전류모드 논리회로의 누설전류를 최소화하여 전력소모를 감소시키는 MOS 전류모드 논리회로를 제안하였다. 이 회로는 공급전원과 MOS 전류모드 논리 블록사이에 PMOS 슬립 트랜지스터를 추가하여 회로 전체에 공급전압을 차단하여 전체적인 전력소모를 감소시켰다. 또한, MOS 전류모드 논리 블록 내에 NMOS 트랜지스터를 추가하여 회로 전체에 흐르는 전류를 감소시킴으로써 전력소모를 감소시켰으며, 표준 CMOS 공정에 적용이 가능하다.

참고문헌

[1] Neil H. E. Wests, David Harris. "CMOS VLSI DESIGN". Addison-Wesley Publishing Company 2005.
 [2] Israel Koren. "Computer Arithmetic Algorithms", Prentice-Hall International, Inc. 2001.
 [3] A. Tanabe, M. Umetani, I. Fujiwara, T. Ogura, K. Kataoka, M. Okihara. "0.18- μ m CMOS 1-Gb/s Multiplexer/ Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation", IEEE J. Solid-State Circuits, vol. 36, pp. 988-996, June 2001.
 [4] M. Mizuno, M. Yamahsina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, H. Yamada, "A GHz

MOS, Adaptive Pipeline Technique Using MOS Current-Mode Logic", IEEE J. Solid-State Circuits, vol. 31, pp. 784-791, June 1996.

[5] Issam S. Abu-Khater, A. Bellaouar, M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", IEEE J. Solid-State Circuits, vol. 31, pp. 1535-1546, No.10, October 1996.

[6] H. Hassan, M. Anis, M. Elmasry, "MOS Current Mode Circuits: Analysis, Design, Variability", IEEE Trans. on Very Large Scale Integration System, vol. 13, pp. 885, No.8, October 2005.

저 자 소 개

김 정 범 (정회원)



1985년 : 인하대학교 전자공학과 졸업 (공학사)
 1987년 : 인하대학교 대학원 전자공학과 (공학석사)
 1997년 : 포항공과대학교 대학원 전자전기공학과 (공학박사)
 1999년 3월~현재 : 강원대학교

전기전자공학부 교수

<주관심분야> VLSI 설계, 저 전력 회로 설계