

소형 IF 발룬이 내장된 MMIC 이중 평형 저항성 혼합기

An MMIC Doubly Balanced Resistive Mixer with a Compact IF Balun

정진철·염인복·염경환*

Jin-Cheol Jeong · In-Bok Yom · Kyung-Whan Yeom*

요약

본 논문에서는 0.5 μm p-HEMT 공정을 이용한 MMIC 이중 평형 저항성 혼합기를 개발하였다. 본 혼합기에는 LO, RF, IF 등의 3개의 발룬이 포함된다. 8~20 GHz 범위에서 동작하는 LO와 RF 발룬은 Marchand 발룬으로 구현하였다. 칩 크기를 줄이기 위해 구부러진 다중 결합 선로를 이용하였고, 이로 인해 발생하는 모드 위상 속도 차이를 보상하기 위해 인덕터 선로를 삽입하였다. IF 발룬은 DC 결합 차동 증폭기로 구현하였다. 0.3×0.5 mm² 크기를 가진 IF 발룬의 측정 결과, DC에서 7 GHz 주파수 범위에서 크기와 위상의 오차가 각각 1 dB와 5° 이내의 결과를 보였다. 개발된 1.7×1.8 mm² 크기의 이중 평형 저항성 혼합기의 측정 결과, 동작 주파수 범위에서 16 dBm LO 입력 전력에 대해 삽입 손실이 5~11 dB이고, 출력 OIP3가 10~15 dBm인 결과를 보였다.

Abstract

This paper presents a wideband doubly balanced resistive mixer fabricated using 0.5 μm GaAs p-HEMT process. Three baluns are employed in the mixer. LO and RF baluns operating over an 8 to 20 GHz range were implemented with Marchand baluns. In order to reduce chip size, the Marchand baluns were realized by the meandering multi-coupled line and inductor lines were inserted to compensate for the meandering effect. IF balun was implemented through a DC-coupled differential amplifier. The size of IF balun is 0.3×0.5 mm² and the measured amplitude and phase unbalances were less than 1 dB and 5°, respectively from DC to 7 GHz. The mixer is 1.7×1.8 mm² in size, has a conversion loss of 5 to 11 dB, and an output third order intercept(OIP3) of +10 to +15 dBm at 16 dBm LO power for the operating bandwidth.

Key words : Resistive Mixer, Doubly Balanced Mixer(DBM), GaAs Monolithic Microwave Integrated Circuit (MMIC), Marchand Balun

I. 서론

오늘날 통신 시스템에서는 통신 효율을 높이기 위해 다중 파(multi-tone) 신호 전송이 등장하게 되었다. 이러한 다중 파 신호 전송에는 왜곡되지 않은 정상적인 신호 전송을 위해서 송수신되는 신호의 넓은 동작 범위(dynamic range)가 필요하고, 이를 위해 높은 선형성을 가진 송수신기가 요구된다. 송수신기

내의 구성 RF 부품 중, 혼합기는 선형성에 있어서 가장 취약한 부품으로 인식되어 왔다. 이러한 주파수 혼합기의 선형성을 개선시키기 위한 노력의 일환으로 일반적인 다이오드 혼합기가 아닌 FET의 저항성 혼합기가 Mass^[1]에 의해 등장하게 되었다.

저항성 혼합기의 기본 동작을 위해 FET의 게이트에 핀치 오프(pinch-off) 전압을 바이어스로 인가하고, 드레인에는 바이어스를 가하지 않은 상태에서

*본 연구는 정보통신부 및 정보통신연구진흥원의 IT신성장동력핵심기술개발사업의 일환으로 수행하였음(2006-S020-02, 고속 이동체 인터넷 위성·무선연동기술개발).

한국전자통신연구원 광역무선기술연구부(Global Area Wireless Technology Research Department, ETRI)

*충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20080811-105

· 수정완료일자 : 2008년 10월 27일

국부 발진(LO) 신호를 게이트에 가하게 한다. 인가된 LO 신호는 FET 채널의 공핍층(depletion region)의 깊이를 조정하여 드레인과 소스 간 채널의 온/오프를 만들게 하여 드레인에 인가된 RF 신호와의 혼합을 일으키는 원리로 저항성 혼합기는 동작한다. FET의 드레인에 바이어스를 인가하지 않기 때문에 게이트 전압의 변화에 따라 채널 저항의 변화를 만들게 되고, 그러한 채널 저항은 매우 선형적이며 고조파에 의한 혼합 효과가 다이오드에 비해 작아지게 된다. 이로 인해 저항성 혼합기는 다이오드 혼합기에 비해 선형성이 뛰어난 특징을 가지게 된다^[2].

혼합기에 있어서 이중 평형 혼합기 구조는 불요파(spurious) 제거도가 뛰어나고 동작 범위가 넓고 광대역 특성을 가진다는 장점들을 가지고 있어서 많은 혼합기 설계에 적용되고 있다. 소형화 및 집적화 측면에서 MMIC 이중 평형 혼합기는 여전히 매력적인 시도이다. 특히 GaAs 기반 MMIC는 CMOS 공정에 비해 주파수 특성이 우수하다는 점 때문에 여전히 많은 연구가 되고 있다. 저항성 혼합기의 평형(balanced) 구조의 연구로는 Mass^[3]가 최초로 단일 평형(single balanced) 구조를 제안하였고, 그 후 많은 연구들이 단일 평형 구조^{[4]~[7]}와 이중 평형 구조^{[8],[9]} 등으로 이루어져 왔다.

GaAs p-HEMT 기반 MMIC 이중 평형 저항성 혼합기는 그 구조상 반드시 IF 발룬이 필요하게 된다. 그러나 IF 발룬(balun)을 MMIC 칩 내에 구현하는 것은 매우 큰 어려움으로 알려져 있다. IF 발룬은 낮은 동작 주파수로 인해 이를 lumped 소자를 사용 구현할 경우 넓은 칩 면적이 필요하고, IF 발룬의 협대역성 때문에 혼합기의 광대역 동작을 저해하는 요인이 되고 있다. 이것을 해결하는 방법으로 Mass^[10]는 스타(star) 구조의 MMIC 이중 평형 저항성 혼합기를 CMOS 공정으로 구현하였다. CMOS 공정에서는 p-타입 MOS가 제공되므로 저항성 혼합기의 구조상, IF 발룬이 필요없게 된다. GaAs MMIC 이중 평형 저항성 혼합기에서는 이러한 IF 발룬의 문제점 때문에 이제까지 칩 바깥에서(off-chip) IF 발룬을 구현^{[4],[5]}하거나 칩 내에서 구현하더라도 lumped 소자로 구현^{[6]~[9]}하였다. 칩 내 IF 발룬은 낮은 동작 주파수로 인해 발룬 특성이 좋은 distributed 소자들을 사용하기가 어렵고 lumped 소자들을 주로 사용하게 되며,

lumped 소자의 특성상 주파수 특성을 열화시키게 된다.

본 논문에서는 8~20 GHz에서 동작하는 0.5 μm GaAs p-HEMT 기반 MMIC 이중 평형 저항성 혼합기를 제시하고자 한다. LO와 RF 발룬은 다중 결합(multi-coupled) 선로의 Marchand 구조를 이용하였다. 면적을 줄이기 위해 다중 결합 선로를 구부러 구현하였고, 이로 인해 발생한 크기와 위상 오차를 Nishikawa^[11]가 제시한 방법으로 인덕터 선로를 추가하여 보상하였다. IF 발룬은 DC 결합 차동 증폭기(DC-coupled differential amplifier)를 이용하여 설계하였으며, 동작 주파수 범위가 DC까지 포함하게 되므로 개발된 혼합기는 위상 검출기(phase detector)로도 이용이 가능하게 된다.

II. 혼합기 설계

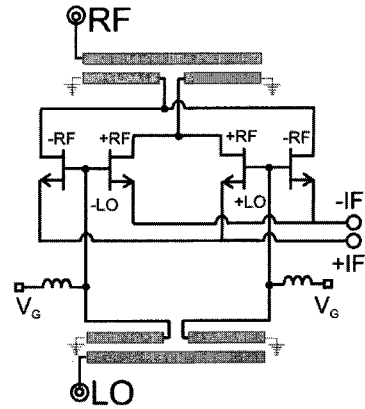
혼합기는 WIN-semiconductor의 0.5 μm GaAs p-HEMT 공정을 이용하여 설계하였다. 그림 1(a)는 이중 평형혼합기의 IF 발룬을 제외한 구조를 보이고 있고, 그림 1(b)는 IF 발룬을 보이고 있다. 그림 1(a)에서와 같이 이중 평형 저항성 혼합기는 4개의 HEMT의 게이트에 편치오프 바이어스 전압(VB)과 함께 LO의 균형(balanced) 신호가 들어가고, 4개의 HEMT의 드레인에 바이어스 없이 RF의 균형 신호가 들어가게 한다. 4개의 HEMT의 소스에서는 2개의 위상이 반대인 균형 IF 신호가 나오게 된다. 따라서 LO와 RF 포트에 크기는 같고 위상이 반대인 균형 신호를 만들어 주기 위한 발룬이 필요하며, IF 포트에서는 균형 신호를 하나의 출력으로 만들기 위한 IF 발룬이 필요하게 된다.

설계의 첫 단계로 공정 회사에서 제공하는 라이브러리 중 이중 평형 저항성 혼합기에 가장 적절한 HEMT 소자를 선택하여야 한다. 제공된 HEMT 라이브러리 중 D-mode(depletion mode) HEMT의 CPW 타입 소자를 전력 특성과 레이아웃의 용이성 등을 고려하여 선택하였다. 선택된 타입의 HEMT 중 게이트 폭을 결정하기 위해서 그림 1의 구조에 대해 다양한 게이트 폭에 대해 변환 손실과 P1dB 특성을 시뮬레이션하였다. 이 시뮬레이션에는 RF, LO, IF 발룬은 이상적인 발룬 모델을 이용하였다. RF와 LO 주파수

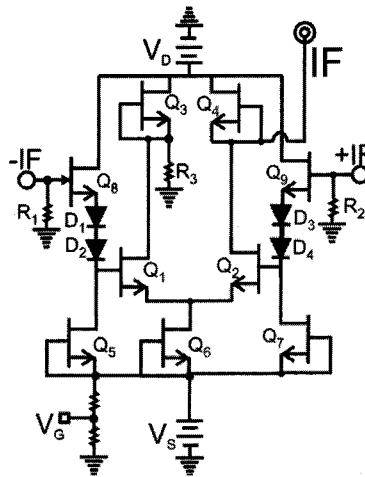
는 각각 14 GHz와 13 GHz로 하고, LO 전력은 10 dBm으로 설정하였다. 시뮬레이션 결과, 10.1 dB의 변환 손실과 6.3 dBm의 출력 P1dB 특성을 보이는 4개 finger의 200 μm 게이트 폭을 가진(4f50) HEMT를 가장 적절한 소자로 선정하였다. 이때 HEMT의 편치오프 전압은 -0.8 V 이었고, 채널의 온 저항 값은 12.2 ohm으로 나타났다.

그림 1(b)의 IF 발룬 설계에 있어서 Q_1 과 Q_2 (2f50)는 DC 결합 차동 증폭기로 동작하고 Q_3 과 Q_4 는 차동 증폭기의 능동 부하의 기능을 하게 된다. Q_6 는 차동 증폭기의 전류원으로 동작하고 Q_8 과 Q_9 는 입력에서 차동 증폭기로의 버퍼(buffer) 단으로 동작한다. 버퍼단은 Q_5 와 Q_7 의 전류원에 의해 바이어스가 공급된다. R_1 과 R_2 는 300 ohm으로 혼합기의 IF 출력에 대한 부하의 역할을 하게 된다. 4개의 다이오드는 전압 레벨을 조정하여 차동 증폭기의 게이트 단자에 적절한 바이어스를 공급하는 역할을 하며, IF 발룬의 DC 결합(DC coupled operation)을 위해 필요하게 된다. 즉, IF 발룬의 입력과 출력이 DC 단락(DC short)이 되도록 한다. 각각의 HEMT와 다이오드에 대한 게이트 폭은 P1dB와 OIP3 등의 전력 특성이 최적화 되도록 결정하였다. IF 발룬의 DC 바이어스는 V_D 에 대해 +2 V를, V_S 에 대해 -3 V 로 설정하였다. 이때 전류는 80 mA가 되었다. 저항성 혼합기의 4개 HEMT의 게이트에 대한 바이어스는 저항성 혼합기의 이론에 의해 편치오프 전압을 가하게 되며, IF 발룬의 음전압 바이어스인 -3 V 의 V_S 를 2개의 저항으로 나누어서 -0.8 V 를 만든 후 게이트에 인가하였다.

LO와 RF 발룬 설계에 있어서는 Marchand 발룬을 기반으로 4개의 선로로 구성된 다중 결합 선로로 구현하였다. 발룬 시뮬레이션 결과, MMIC 구현 가능성을 감안하여 결합 선로의 짝수 모드 임피던스(Z_{oe})와 홀수 모드 임피던스(Z_{oo})는 각각 120 ohm, 21 ohm으로 정하였다. 이러한 임피던스는 통상의 2개의 선로로 구성된 결합 전송선으로 구현할 경우, 선로의 폭이 18 μm 에 선로 간 간격이 4 μm 가 되어야 한다. 이 공정의 최소 선폭은 3 μm 이고, 최소 선간 간격이 4 μm 이기 때문에 선간 간격에 대한 설계 규칙의 한계에 해당되며, 공정 오차에 많은 영향을 받게 된다. 그러나 4개의 선로로 구성된 다중 결합 선로



(a) IF 발룬을 제외한 혼합기
(a) Mixer without IF balun



(b) IF 발룬
(b) IF balun

그림 1. 제안하는 이중 평형 저항성 혼합기의 회로도
Fig. 1. Circuit schematic of the proposed doubly balanced resistive mixer.

로 같은 임피던스를 구현할 경우, 선로의 폭은 5 μm 이었고, 선로 간 간격은 10 μm 로 최소 선폭과 선간 간격의 설계 규칙에 여유가 있게 된다. 이는 2개 선로일 때보다 4개 선로에서 인접 선로 간 커패시턴스가 증대하여 선로 간 커플링이 증가하기 때문에 더 큰 선간 간격에서도 같은 임피던스의 결합 선로를 구현할 수 있는 것이다.

Marchand 발룬의 구조상 연결된 2개의 $1/4\lambda$ 선로가 필요하고, 그 길이는 약 3 mm로 MMIC 칩 면적을 고려할 때 그대로 사용하기가 곤란하였다. 그래서 결합 선로를 구부린 형태로 설계하였다. Mar-

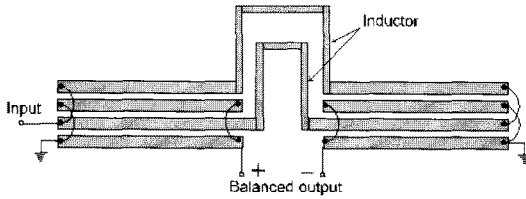


그림 2. 인덕터 선로가 삽입된 RF와 LO 발룬의 구성도
 Fig. 2. Structure of RF and LO baluns with inductor lines.

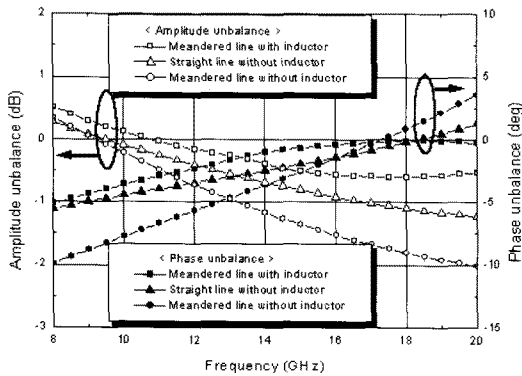


그림 3. 기본 Marchand 발룬과 인덕터가 없는 구부린 발룬과 인덕터가 삽입된 구부린 발룬에 대한 크기 오차와 위상 오차 시뮬레이션 결과
 Fig. 3. Simulation results of the amplitude and phase unbalances for 3 types of baluns.

chard 발룬에서 구부린 결합 선로 부분은 발룬의 특성을 열화시키는 역할을 하게 된다. 이는 구부러진 부분에서 기관 바닥으로의 기생 커패시턴스가 형성되기 때문이다. 이것은 짝수 모드 전기장(even mode E-field)이 홀수 모드의 전기장보다 선로 아래의 기관에 더 많이 분포하게 만들어서 이로 인해 짝수 모드 위상 속도(even mode phase velocity)가 홀수 모드 위상 속도보다 작아지게 한다. 두 모드의 위상 속도의 차이에 의해 발룬의 두 균형 출력(balanced output)의 크기와 위상 오차를 증가시키게 된다. 이를 보상하기 위해서 그림 2와 같이 출력 포트에 결합(coupled)된 연결 지점에 인덕터 선로를 삽입하였다. 삽입된 인덕터는 구부린 효과에 의해 발생된 커패시턴스를 보상하여 발룬 특성을 개선시켰다. 설계에 사용된 인덕터 선로는 LO 발룬에 대해 7 μm 폭에 860 μm 길이의 선로를 사용하였고, RF 발룬에 대해 7 μm

폭에 750 μm 길이의 선로를 사용하였다. 그림 3은 RF 발룬에서 구부린 효과와 인덕터 삽입 효과를 보기 위해 시뮬레이션한 결과를 보이고 있다. 3 mm 길이의 기본 Marchand 발룬의 특성(straight line without inductor)과 2개의 1/4 λ 길이의 선로를 4군데에서 90° 구부렸을 때의 발룬 특성(meandered line without inductor)과 같은 발룬에 인덕터 선로를 삽입하였을 때의 발룬 특성(meandered line with inductor, 본 혼합기 설계에서 사용된 구조)을 보이고 있다. 8~20 GHz 주파수 대역에서 구부린 발룬에 인덕터가 없을 경우, -2~0.3 dB의 크기 오차와 -10~4°의 위상 오차를 보여서 열화된 특성을 보이지만 인덕터를 삽입했을 경우, 크기 오차는 -0.5~0.5 dB로 -1.2~0.4 dB의 기본 Marchand 발룬의 결과보다 우수하였고, 위상 오차에 있어서는 -5~0°로 기본 Marchand 발룬과 비슷한 결과를 보였다. 따라서 구부린 발룬에 인덕터의 삽입은 구부린 효과를 보상하였을 뿐만 아니라 기본 Marchand 발룬보다 더 우수한 발룬 특성을 만들었다.

발룬의 두 균형 출력은 HEMT에 연결될 때까지 균형이 그대로 유지되어야 하므로 출력 선로의 구성은 매우 중요하다. 그림 4는 LO와 RF 발룬의 출력에서 HEMT에 연결될 상태를 나타내는 레이아웃이다. 혼합기의 구조상 4개 HEMT의 드레인은 매우 가깝게 배치되어 있어서 드레인에 연결되어야 하는 RF

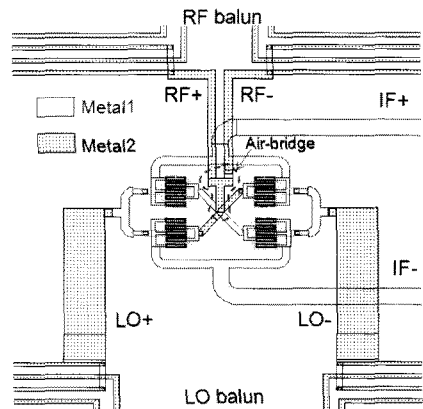


그림 4. RF와 LO 발룬의 출력과 HEMT간 연결 부위의 레이아웃
 Fig. 4. Layout of interconnection between balun outputs and HEMTs.

발룬의 출력은 크기와 위상의 균형을 보전하기 위해 두 금속 층(metal layer)을 사용하였으며, 에어 브리지(air-bridge)로 분리하였다. LO 발룬에서는 신호의 균형을 보전하기 위해 같은 폭과 길이를 가진 2개의 선로로 4개 HEMT의 게이트 포트에 연결하였다. LO와 RF 발룬의 설계에 있어서 이러한 출력 선로의 형상을 포함하여 시뮬레이션하였다.

III. 혼합기 제작 및 시험

그림 5는 발룬 특성을 측정하기 위해 제작된 IF 발룬의 현미경 사진을 보이고 있다. 앞서 설명한 차동 증폭기와 버퍼 단과 능동 부하와 전류 원과 전압 레벨 조절을 위한 다이오드 등이 표시되어 있다. 입력인 IF+와 IF-에서 버퍼 단까지의 두 선로는 신호의 크기 및 위상 오차를 최소화하기 위해서 같은 폭과 길이가 되도록 조정하였다. 그림 6은 설계 값과 비교된 경로 손실에 대한 측정 결과를 보이고 있다. 경로 손실이라 함은 균형 포트 중의 하나를 50 ohm으로 단락시키고, 나머지 한 포트의 입력에 대한 손실 값으로 정의한다. 그림에서 IF 발룬의 크기와 위상에 대한 오차(unbalance)를 설계 값과 비교하여 측정 결과를 보이고 있다. DC에서 7 GHz까지 IF 발룬의 크기 오차와 위상 오차가 각각 1 dB와 5° 이내로 우수한 특성을 보였다. 측정 값이 크기 오차에 있어서는 설계 값보다 약간 더 크게, 위상 오차에 대해서는 약간 더 작게 나왔다. DC 바이어스 전압은 설계 값인 +2 V/-3 V를 인가하였고, 이때 측정된 전류 값은 설계 값인 80 mA보다 6 mA 작은 74 mA로 나타

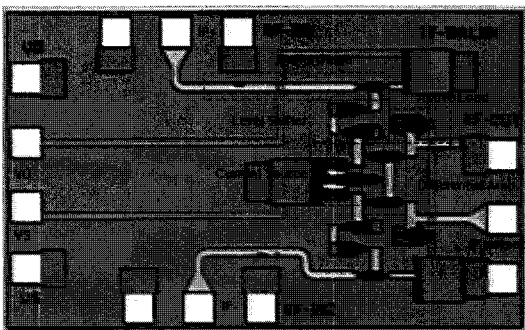


그림 5. 제작된 IF 발룬의 현미경 사진
Fig. 5. Microphotograph of the fabricated IF balun.

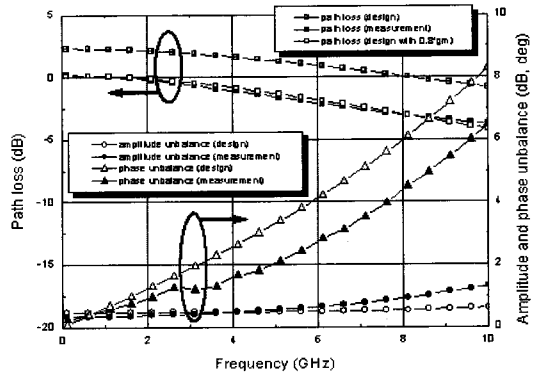


그림 6. IF 발룬의 주파수 특성. 경로 손실과 크기와 위상 오차

Fig. 6. Frequency response of the IF balun. The path loss and the amplitude and phase unbalances.

났다. 경로 손실은 측정 값이 설계보다 약 2.5 dB 크게 나왔다. 이는 HEMT 소자의 변환 컨덕턴스(transconductance)의 감소가 주요 요인이며, 입/출력 선로와 패드에 의한 손실 등이 원인으로 추정된다. 이를 확인하기 위해 IF 발룬에 사용된 모든 HEMT 모델의 변환 컨덕턴스를 20% 낮추고 경로 손실에 대해 재시뮬레이션을 수행하였으며, 그 결과가 그림 6에 나와 있다. 측정 결과와 거의 같은 결과를 보이고 있다.

그림 7은 LO와 RF 발룬의 특성을 측정하기 위해 제작된 발룬 칩의 현미경 사진을 보여주고 있다. G-S-G 패드의 위치를 적절히 배치하여 칩 면적을 최소화 하였다. 3 포트 부품의 경우, 프루브 스테이션(probe station)으로 측정하기 위해서는 반드시 각 포트들은 세 방향으로 위치하여야 한다. 따라서 두 출력 포트는 각각 가로 방향과 세로 방향으로 위치되도록 포트들을 배치하였다. 균형 출력은 신호의 크기와 위상 오차를 최소화 하기 위해서 폭과 길이가 같은 선로를 사용하였다. 그림에서 삽입된 인덕터 선로를 보여주고 있다. 그림 8은 LO 발룬의 설계 결과에 대한 측정 결과를 보이고 있다. 크기 오차는 설계와 거의 일치하고 있으며, 위상 오차에 있어서도 5° 이내에서 일치하는 결과를 보이고 있다. 8 GHz에서 20 GHz에 걸쳐 크기와 위상 오차가 각각 1 dB와 6° 이내인 결과를 보였다. 그림 9는 RF 발룬의 측정 결과를 설계 결과와 비교하여 보이고 있다. 크기 오차는 17 GHz 이상의 주파수에서 설계와 1 dB 이내의 차

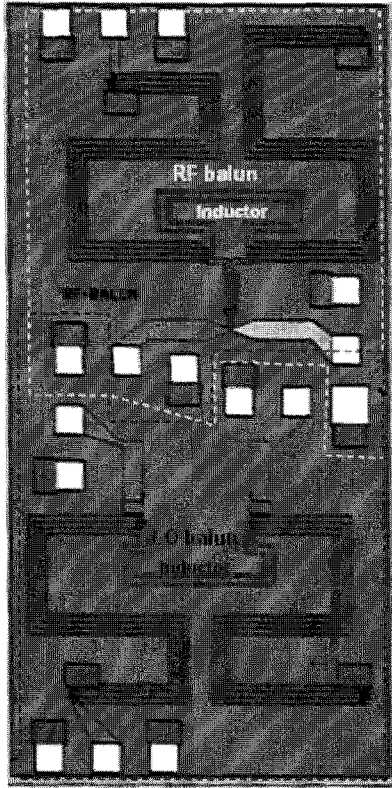


그림 7. 제작된 LO와 RF 발룬의 현미경 사진
Fig. 7. Microphotograph of the fabricated LO and RF balun.

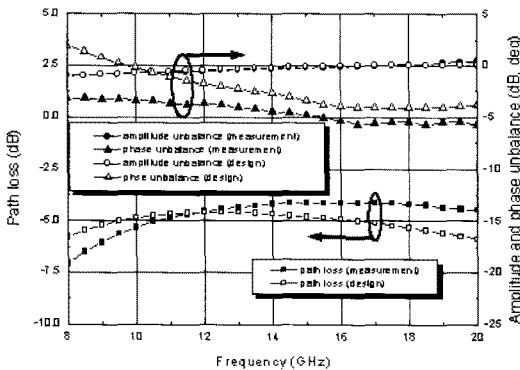


그림 8. LO 발룬의 경로 손실과 크기와 위상 오차
Fig. 8. Measured the the path loss(left) and the amplitude and phase unbalance(right) of the LO baluns.

이를 보이며, 위상 오차에 있어서는 5° 이내에서 일치하는 결과를 보이고 있다. 8 GHz에서 20 GHz에 걸쳐 크기와 위상 오차가 LO 발룬과 같은 각각 1 dB와 6° 이내인 결과를 보였다. 그림 10은 크기 1.7×1.8

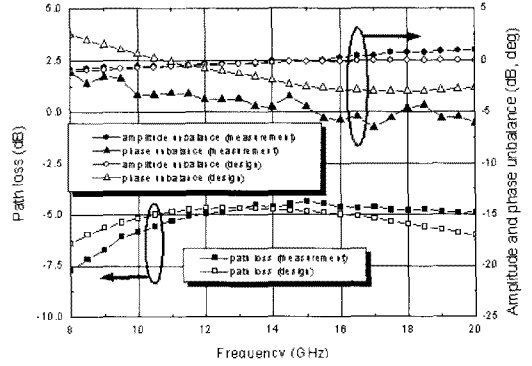


그림 9. RF 발룬의 경로 손실과 크기와 위상 오차
Fig. 9. Measured the path loss(left) and the amplitude and phase unbalance(right) of the RF baluns.

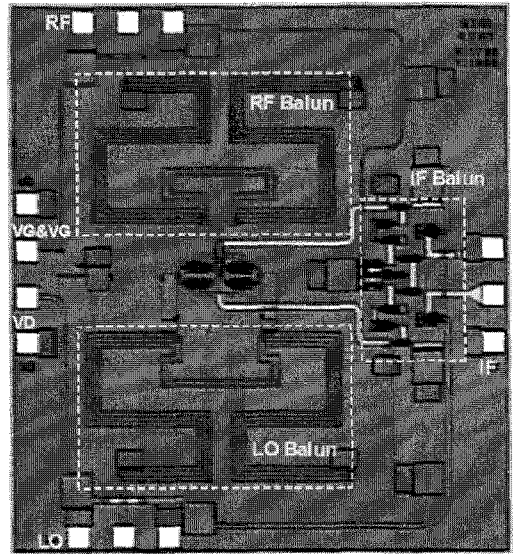


그림 10. 크기 1.7×1.8 mm²의 제작된 이중 평형 저항성 혼합기의 현미경 사진
Fig. 10. Microphotograph of the fabricated resistive DBM. The size is 1.7×1.8 mm².

mm²로 제작된 이중 평형 저항성 혼합기의 현미경 사진을 보여주고 있다. 칩 내 IF 발룬의 크기는 0.3×0.5 mm² 정도를 차지하고 있다. 그림 11은 혼합기와 IF 발룬의 OIP3와 출력 P1dB 등의 전력 특성에 대한 측정 결과를 보여주고 있다. 혼합기는 8~18 GHz RF 주파수 범위에서 16 dBm과 (RF-1 GHz)의 LO 조건에서 0~4 dBm의 출력 P1dB와 10~15 dBm의 OIP3의 결과를 보이고 있다. 이와 비교된 IF 발룬은 DC~5 GHz 주파수 범위에서 2.5~7.5 dBm의 출력

P1dB와 15~19 dBm의 OIP3의 결과를 보이고 있다. 하지만 혼합기 측정시 조건인 IF 주파수 1 GHz에서는 6 dBm의 출력 P1dB와 18 dBm의 OIP3의 특성을 보이므로 혼합기의 그것들과는 최소 2 dB 이상의 높은 전력 특성을 보인다. 따라서 혼합기의 전력 특성은 주로 IF 발문을 제외한 혼합기 부분이 주요인이 되며, IF 발문은 큰 기여를 하지 않음을 알 수 있다. 그림 12는 혼합기의 설계 결과와 비교된 변환 손실과 OIP3의 측정 결과를 RF 주파수에 대해 보여주고 있다. IF 주파수는 1 GHz로 하고, LO 전력은 16 dBm으로 설정하였다. 측정된 변환 손실은 8~20 GHz 범위에서 5~11 dB의 결과를 보였고, 9~19 GHz RF 주파수에 대해서 OIP3는 10~15 dBm의 결과를 나타내었다. OIP3의 측정에 있어서는 각 측정 RF 주파수

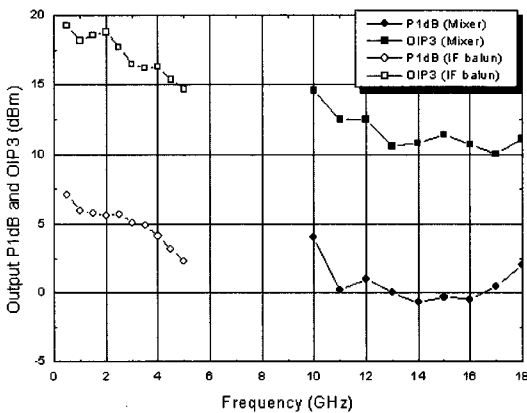


그림 11. 혼합기와 IF 발문의 전력 특성(P1dB, OIP3)
Fig. 11. Power performance of the RDBM and IF balun(P1dB and OIP3).

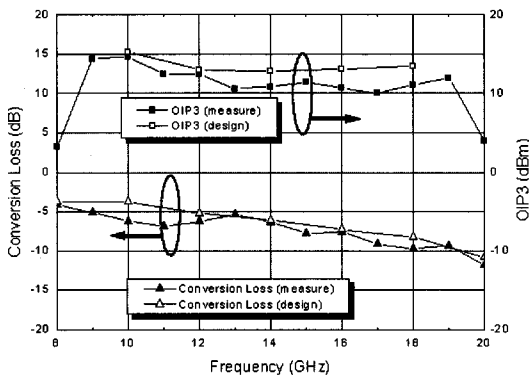


그림 12. 혼합기의 변환 손실과 OIP3
Fig. 12. Conversion loss(left) and OIP3(right).

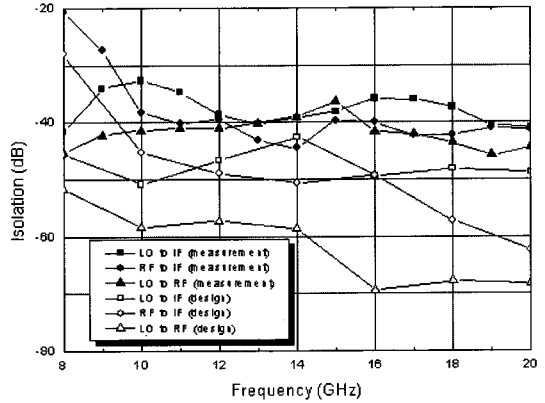


그림 13. LO-RF, LO-IF, RF-IF, 포트 간 격리도
Fig. 13. LO-RF, LO-IF, RF-IF, port to port isolations.

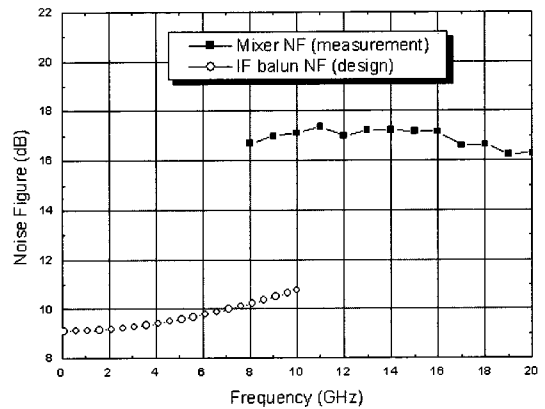


그림 14. 혼합기와 IF 발문의 잡음 지수
Fig. 14. Noise figure of the RDBM and IF balun.

별로 2 MHz 차이의 2-tone 신호를 각각 -13 dBm으로 설정하고 입력한 후 IMD3를 측정하고 OIP3를 계산하였다. OIP3의 정의에 의해 입력 신호의 크기는 선형 영역에 있어야 한다. 측정에서는 입력 신호를 2 dB 낮췄을 때 IMD3가 4 dB 높아지는 것을 확인한 것으로 -13 dBm이 선형 영역임을 확인하였다. 측정된 OIP3는 주파수 범위 밖에서 급격히 감소하는 현상을 보였다. 그림 13은 측정된 LO-RF, LO-IF, RF-IF 등의 포트별 격리도 측정 결과를 설계 결과와 함께 보이고 있다. 설계 결과보다는 약 10 dB 이상 차이를 보이지만 모든 격리도가 10~20 GHz 범위에서 32 dB 이상의 우수한 성능을 보이고 있다.

능동 발문을 사용한 혼합기의 단점으로 알려진 잡음 지수 특성을 보기 위해 혼합기에 대한 잡음 지수를 측정하였다. 그 측정 결과를 그림 14에서 보이

표 1. 혼합기의 특성 정리 및 기존 문헌과의 비교

Table 1. Performances summary and comparison with other works.

Parameter	This work	(5)	(8)	(9)	(12)
RF frequency(GHz)	8~20	6~30	3~18	4~18	7~10
Conversion loss(dB)	5~11	7~14	7.5~11	7~12	8~13
LO power(dBm)	16	15	16	7	20
LO-RF Iso.(dB)	35	20	30	-	-
LO-IF Iso.(dB)	32	20	38	-	25
RF-IF Iso.(dB)	20	10	-	-	27
OIP3*(dBm)	10~15	5~17	5~20	10~12	10~12
Topology	Resistive DBM	Resistive SBM	Resistive DBM	Resistive DBM	Diode D-DBM
IF balun	Active	Off-chip	Lumped	Lumped	Lumped
Chip size(mm ²)	1.7×1.8	1.4×1.3	3.4×7.7	3×2	2.5×2.7

* 참고문헌의 OIP3 데이터는 입력 IP3(IIP3)와 삽입 손실 데이터로 계산된 값이다.

SBM: Single Balanced Mixer, D-DBM: Double-DBM.

고 있다. 8~20 GHz RF 주파수 범위에서 변환 손실과 같은 LO 조건에서 잡음 지수, 17 dB 결과를 보였다. 일반 혼합기에 비해 열화된 특성을 보이고 있으며, 그 원인을 분석하기 위해 IF 발룬에 대해 잡음 지수 시뮬레이션을 수행하였다. 그 결과를 그림 14에 나타내었다. DC~10 GHz 범위에서 9~11 dB의 특성을 보인다. 혼합기의 측정 조건인 IF 주파수 1 GHz에서는 9.5 dB의 결과를 보이면서 IF 발룬을 제외한 혼합기만의 잡음 지수 성분은 약 7 dB 정도로 나타났다. 이는 일반 혼합기의 특성과 비슷한 값으로 판단된다. 혼합기의 17 dB 잡음 지수는 일반 혼합기의 잡음 지수와 약 10 dB 정도 차이가 나지만 혼합기가 사용되는 수신기에서는 큰 문제가 되지 않을 것으로 판단된다. 예를 들어 혼합기의 전단까지의 이득이 35 dB일 경우, 17 dB의 잡음 지수는 전체 수신기의 잡음 지수에 대한 기여도가 0.05 dB에 불과한 것으로 계산이 된다. 일반 수신기의 입력 신호는 매우 작은 크기이고, 따라서 저잡음 증폭기의 이득은 전력 특성을 고려하더라도 충분히 크게 할 수 있게 된다.

표 1에서 개발된 혼합기의 성능과 기존 발표된 혼합기 성능을 비교 정리하였다. 비교된 기존 혼합기는 높은 IP3 특성을 가지고 비슷한 주파수 대역에서 동작하는 혼합기를 선택하였다. 삽입 손실과 포트별 격리도 특성은 가장 우수한 것으로 나타났다. 칩

면적의 경우, 오프 칩 IF 발룬을 제외하면 가장 작은 면적으로 나타났다. OIP3는 다른 저항성 혼합기와 유사한 특성을 보였다.

IV. 결 론

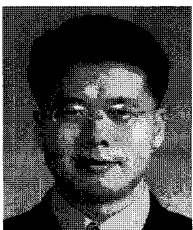
본 논문에서는 이중 평형 저항성 MMIC 혼합기를 0.5 μm p-HEMT 공정을 이용하여 개발하였다. 칩 내에 구현된 IF 발룬으로는 차동 증폭기를 이용한 소형 광대역 발룬을 제안하였다. RF와 LO 발룬은 인덕터 라인이 삽입된 수정된 소형 Marchand 발룬을 이용하여 구현하였다. 칩 내에 포함된 IF 발룬을 고려할 때 개발된 혼합기의 특성은 기존 발표된 혼합기에 비해 우수하거나 비슷한 수준을 나타내고 있다. 개발된 MMIC 이중 평형 저항성 혼합기는 광대역 특성이 요구되는 고 선형 수신기에 사용될 수 있을 것으로 본다. 또한, 출력 IF가 DC에서 동작되는 것을 감안할 때 위상 감지기에도 사용될 수 있을 것이다.

참 고 문 헌

- [1] S. A. Mass, "A GaAs MESFET mixer with very low intermodulation", *IEEE Trans. Microw. Theory Tech.*, vol. 35, no. 4, pp. 425-429, Apr. 1987.
- [2] S. A. Mass, *Microwave Mixers*, Artech House,

- 1993.
- [3] S. A. Mass, "A GaAs MESFET balanced mixer with very low intermodulation", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 895-898, 1987.
- [4] M. Varonen, M. Karkkainen, J. Riska, P. Kangaslahti, and K. A. I. Halonen, "Resistive HEMT mixers for 60-GHz broad-band telecommunication", *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 4, pp. 1322-1330, Apr. 2005.
- [5] K. Fujii, H. Morkner, "A 6~30 GHz image-rejection distributed resistive MMIC mixer in a low cost surface mount package", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 37-40, 2005.
- [6] T. A. Bos, E. Camargo, "A balanced resistive mixer avoiding an IF balun", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 245-248, 2002.
- [7] S. E. Gunnarsson, C. Karmfelt, H. Zirath, R. Kozhuharov, D. Kuylenstierna, A. Alping, and C. Fager, "Highly integrated 60 GHz transmitter and receiver MMICs in a GaAs p-HEMT technology", *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2174-2186, Nov. 2005.
- [8] T. H. Chen, K. W. Chang, S. B. T. Bui, L. C. T. Liu, G. S. Dow, and S. Pak, "Broadband single- and double-balanced resistive HEMT monolithic mixers", *IEEE Trans. Microw. Theory Tech.*, vol. 43, no. 3, pp. 477-484, Mar. 1995.
- [9] M. C. Tsai, M. J. Schindler, W. Struble, M. Ventresca, R. Binder, R. Waterman, and D. Danzilio, "A compact wideband balanced mixer", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 5-8, 1994.
- [10] C. C. Kuo, C. L. Kuo, C. J. Kuo, S. A. Maas, and H. Wang, "Novel miniature and broadband millimeter-wave monolithic star mixers", *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 4, pp. 793-802, Apr. 2008.
- [11] K. Nishikawa, I. Toyoda, and T. Tokumitsu, "Compact and broad-band three-dimensional MMIC balun", *IEEE Trans. Microw. Theory Tech.*, vol. 47, no. 1, pp. 96-98, Jan. 1999.
- [12] T. N. Ton, G. S. Dow, T. H. Chen, M. Lacon, T. S. Lin, S. Bui, and D. Yang, "An X-band monolithic double double-balanced mixer for high dynamic receiver application", in *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp. Dig.*, pp. 115-118, 1990.

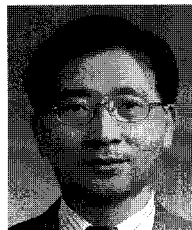
정진철



1995년 2월: 영남대학교 전자공학과 (공학사)
 1997년 2월: 광주과학기술원 정보통신공학과 (공학석사)
 1999년 3월~현재: 한국전자통신연구원 선임연구원
 2006년 3월~현재: 충남대학교 전자공학과 박사과정

[주 관심분야] RF 능동 회로, MMIC 설계

염인복



1990년 2월: 한양대학교 전자공학과 (공학사)
 2004년 2월: 충남대학교 전자공학과 (공학석사)
 2007년 8월: 충남대학교 전자공학과 (공학박사)
 1992년 9월~현재: 한국전자통신연구원 위성·무선 RF 기술연구팀 팀장

[주 관심분야] 위성 통신중계기, MMIC 회로, 필터 설계

염 경 환



1976년~1980년: 서울대학교 전자
공학과 (공학사)

1980년~1982년: 한국과학기술원 전
기 및 전자과 (공학석사)

1982년~1988년: 한국과학기술원 전
기 및 전자과 (공학박사)

1988년 3월~현재: 금성전기(주) 소
재부품연구소 선임연구원 (MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원

1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원

1991년 8월: (주)LTI

1999년 10월~현재: 충남대학교 전파공학과 교수

[주 관심분야] 초고주파 능동 회로 및 시스템, MMIC 설계