

A New Design of High-Speed 1-Bit Full Adder Cell Using 0.18 μ m CMOS Process

0.18 μ m CMOS 공정을 이용한 새로운 고속 1-비트 전가산기 회로설계

Young-Woon Kim, Hea-Jun Seo, Tae-Won Cho

김 영 운, 서 해 준, 조 태 원

Abstract

With the recent development of portable system such as mobile communication and multimedia. Full adders are important components in applications such as digital signal processors and microprocessors. Thus It is important to improve the power dissipation and operating speed for designing a full adder. We propose a new adder with modified version of conventional Ratioed logic and Pass Transistor logic. The proposed adder has the advantages over the conventional CMOS, TGA, 14T logic. The delay time is improved by 13% comparing to the average value and PDP(Power Delay Product) is improved by 9% comparing to the average value. Layouts have been carried out using a 0.18 μ m CMOS design rule for evaluation purposes. The physical design has been evaluated using HSPICE.

요 약

최근 급진적으로 반도체 기술이 발전함에 따라 집적회로(VLSI)의 집적도가 향상되고 있으며, 이동통신 및 멀티미디어의 발달로 많은 양의 데이터를 고속으로 처리하기 위한 대규모 프로세서들이 개발되고 있다. 전가산기는 디지털 프로세서와 마이크로프로세서에 있어 매우 중요한 요소이다. 따라서 전가산기 설계 시 전력소비와 스피드의 개선은 중요한 요소이다. 본 논문에서는 일반적인 Ratioed 로직과 패스 트랜지스터 로직을 이용하여 새로운 구조의 전가산기를 제안하였다. 제안된 전가산기는 일반적인 CMOS, TGA, 14T에 비해 좋은 성능을 나타내었다. 제안된 회로는 지연시간의 경우 기존회로의 평균값에 비해 13%우수하였고 PDP(Power Delay Product)비율은 약 9% 정도 우수한 특성을 보이고 있다. 실측 회로의 크기 평가를 위해 0.18 μ m CMOS공정으로 레이아웃을 하고 HSPICE를 이용하여 시뮬레이션 하였다.

Key words : Adders, CMOS digital integrated circuits, digital arithmetic.

1. 서론

덧셈은 기본적인 산술 연산으로서, 산술 연산 시스템 전체의 속도 및 전력소모에 결정적인 역할을 한다. 단일 비트 전가산기의 성능을 향상시키는 문제는 시스템 성능 향상의 기본적인 요소인 것이다. 즉 전가산기 회로 설계 시 전력소모를 줄이고 출력 전압의

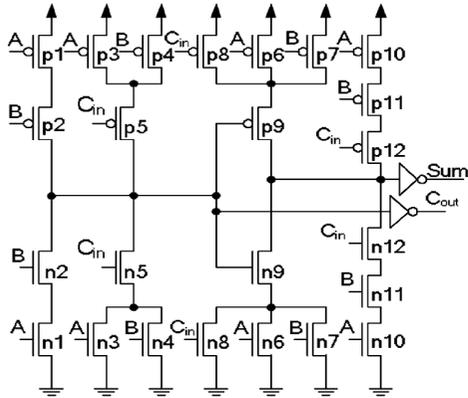
감소를 최소화하는 것이 중요하며 작은 공급전압에 동작하고 속도를 향상시키는 것이 중요하다. 전가산기는 여러 가지 구조로 이루어져 있으며 그 구조에 따라 각각의 장단점을 가진다.^[1] 예를 들어 기존 Static CMOS 전가산기의 경우 규칙적인 CMOS구조로 풀업과 풀다운 회로를 통해 풀스윙 출력과 좋은 성능을 가진다. 그러나 nMOS에 비해 낮은 이동성을 가지는 pMOS로 인해 면적이 크고 입력 커패시턴스가 증가하여 속도가 느리다. 본 논문에서는 Ratioed 로직과 패스 트랜지스터 구조를 이용하여 면적을 줄이고 기생 커패시턴스 값을 줄여 동작속도를 개선하여 PDP 비율이 향상된 전가산기를 제안한다.

* 忠北大學校 電氣電子컴퓨터工學部

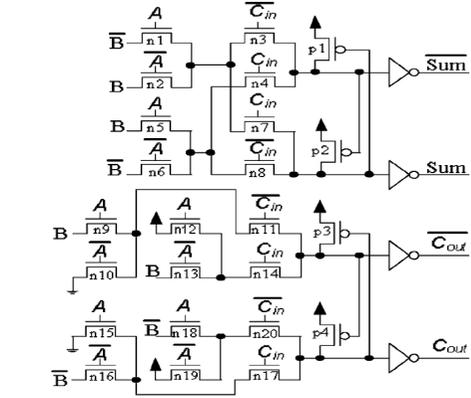
(School of Electrical, Electronics, and Computer Engineering, Chungbuk National University)

接受日:2007年 10月 31日, 修正完了日: 2008年 03月 11日

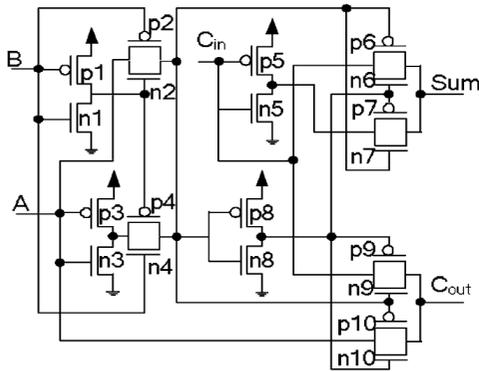
II. 전가산기의 구조



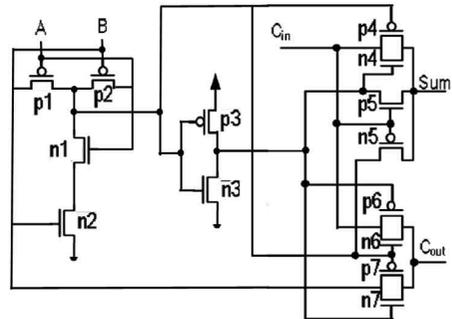
(a) CMOS



(b) CPL



(d) TGA



(d) 14T

Fig. 1. Full Adder cells of different logic styles
그림 1. 기존 여러 가지 구조의 전가산기 회로

기존의 일반적인 전가산기의 구조에 따른 특징을 그림 1에 나타내었다. 풀업 pMOS와 풀다운 nMOS의 구조로 되어있는 CMOS(Complementary CMOS Full Adder)회로는 그림 1(a)와 같다. CMOS 회로는 전압 변동에 의한 영향이 적고 트랜지스터의 사이즈 결정이 용이하다. 또한 근본적으로 낮은 공급 전압에서도 동작이 가능하며 레이아웃을 할 때 전송선의 연결이 용이하고 면적의 효율이 좋다. 그러나 직렬연결로 인해 출력단자의 신호가 약하기 때문에 버퍼가 필요

하며 다른 구조에 비해 면적이 크다. CPL (Complementary Pass Transistor Logic)구조는 그림 1(b)와 같다.^[2] CPL구조는 CMOS 구조와 달리 하나의 트랜지스터로 회로 구성이 가능하여 면적이 작고

이 있지만 CPL의 단점을 개선한 것으로 문턱 전압 강화 문제가 발생하지 않는다. 14개의 트랜지스터로 구성된 전가산기는 그림 1(d)와 같다.^[5] 14T는 다른 전가산기에 비해 트랜지스터의 개수가 적어 면적이 매우 작아지는 장점을 가지고 있지만 트랜지스터 사이에 많은 노드를 발생시켜 전력소모가 크고 속도 또한 느리다.

III. 전가산기의 분류

일반적으로 1비트 전가산기는 입력 A, B, Cin과 출력Sum, Cout으로 나타낸다. 일반적인 전가산기는 식 (1)(2)와 같다.

$$\text{Sum} = A \oplus B \oplus C_{in} \quad (1)$$

$$\text{Cout} = A \cdot B + C_{in} \cdot (A \oplus B) \quad (2)$$

전가산기의 출력은 수식에 의해 다양한 방법으로 나타낼 수 있고 회로의 구조를 결정한다. 전가산기는 구조에 의해 모듈 I, 모듈II, 모듈III의 세 부분으로 나타낼 수 있다.

1. XOR-XOR 전가산기

XOR-XOR구조의 출력은 식 (3)(4)와 같이 나타 낼 수 있다. H는 $A \oplus B$ 이며 H'는 H의 보수이다. 또한 아래 수식의 구조는 그림 2와 같이 나타 낼 수 있다.

$$\text{Sum} = A \oplus B \oplus C_{in} = H \oplus C_{in} \quad (3)$$

$$\text{Cout} = A \cdot B + C_{in} \cdot H \quad (4)$$

그림과 같이 출력 Sum은 모듈 I과 모듈II의 연속적인 XOR 입력에 의해 나타내어진다. 또한 출력 Cout은 모듈 I과 모듈III의 2-to-1 멀티플렉서에 의해 나타내어진다.^[6~7]

2. XNOR-XNOR 전가산기

XNOR-XNOR 구조의 출력은 식 (5)(6)와 같이 나타 낼 수 있다. 또한 식(5)(6)의 구조는 그림 3과 같이 나타 낼 수 있다.

$$\text{Sum} = \overline{\overline{A \oplus B}} \oplus C_{in} = \overline{H} \oplus C_{in} \quad (5)$$

$$\text{Cout} = A \cdot H' + C_{in} \cdot H \quad (6)$$

이 구조의 모듈 I과 모듈II는 XNOR로 구성되어 있으며 모듈III는 2-to-1 멀티플렉서로 구성되어 있다. 출력 Sum은 두 개의 연속적인 XNOR에 의해 나타내어지고 Cout은 모듈 I의 XNOR와 모듈III의 멀티플렉서로 나타낸다.

3. XOR-XNOR 전가산기

XOR-XNOR구조는 식 (7)(8)과 같이 나타 낼 수 있다. 위 수식의 구조는 그림 4와 같이 나타 낼 수 있다.

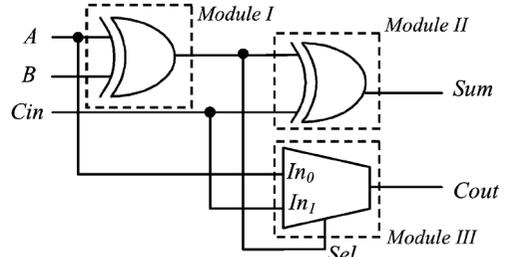


Fig. 2. General form of XOR-XOR Full Adder
그림 2. 일반적인 XOR-XOR 전가산기

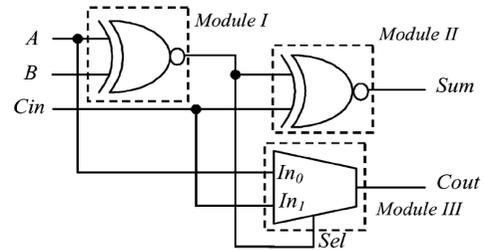


Fig. 3. General form of XNOR-XNOR Full Adder
그림 3. 일반적인 XNOR-XNOR 전가산기

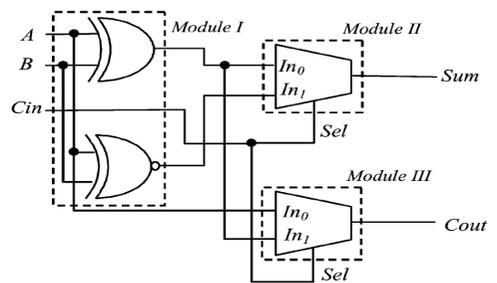


Fig. 4. General form of XOR-XNOR Full Adder
그림 4. 일반적인 XOR-XNOR 전가산기

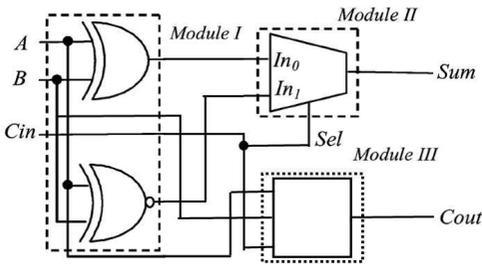


Fig. 5. Proposed of Full Adder

그림 5. 제안한 전가산기

$$Sum = H \oplus Cin = H \cdot Cin' + H' \cdot Cin \quad (7)$$

$$Cout = A \cdot H' + Cin \cdot H \quad (8)$$

그림4와 같이 모듈 I 은 XOR-XNOR로 이루어져 있으며 모듈II와 모듈III는 멀티플렉서로 구성되어 있다.^[8] Cin은 모듈II, 모듈III 멀티플렉서의 선택라인이 된다. 출력 Sum은 모듈 I의 XOR-XNOR회로와 모듈 II의 멀티플렉서에 의해 나타내어진다. 또한 출력 Cout은 XOR-XNOR와 입력 A에 의해 나타내어진다.

IV. 제안한 전가산기 회로

본 논문에서 제안한 전가산기의 출력은 식 (9)(10)과 같이 나타 낼 수 있다. 이 수식의 구조는 그림 5와 같이 나타 낼 수 있다.

$$Sum = H \oplus Cin = H \cdot Cin' + H' \cdot Cin \quad (9)$$

$$Cout = A \cdot B + A \cdot Cin + B \cdot Cin \quad (10)$$

출력 Sum은 모듈 I과 모듈II가 XOR-XNOR 구조와 같다. 즉 첫 번째 모듈 XOR-XNOR 회로를 거쳐 모듈II의 멀티플렉서 회로를 통해 Sum을 출력하게 된다. 본 논문에서 제안한 모듈III의 출력 Cout은 기존 구조와 달리 모듈 I을 거치지 않고 입력 A, B, Cin이 모듈III을 통해 출력되어 동작속도가 기존 회로에 비해 빠르다.

1. Module I

최근 모듈 I은 XOR-XNOR 구조가 가장 많이 사용되고 있다.^[8,9] 그림 6에서 볼 수 있듯이 이 회로는 8개의 트랜지스터로 구성되어 있으며 XOR-XNOR 회로를 나타낸다. 이 회로는 일반적인 CPL 회로에서 두 개의 인버터를 사용하는 대신 한 개의 인버터를 사용한 상보 패스 트랜지스터 구조로 되어 있다. 회

로는 Cross-Coupled pMOS에 의해 풀 스윙 동작이 가능하며 단락회로에 의한 전력소모를 제거할 수 있다. 또한 낮은 공급 전압에서 동작이 가능하고 이동성이 좋은 nMOS 트랜지스터를 사용하여 동작 속도가 빠르다.^[10] 모듈 I의 동작 특성은 표 1에 나타나 있다. Cross-Coupled pMOS 트랜지스터는 "Good 0"일때 항상 동작한다. 따라서 Static 전력 소모를 줄일 수 있다.

2. Module II

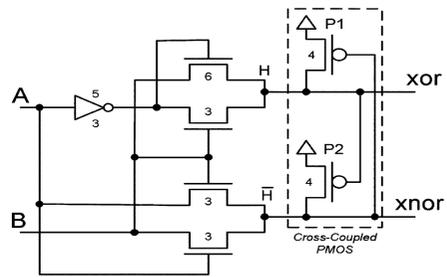


Fig. 6. Circuit for Module I

그림 6. 모듈 I의 구조

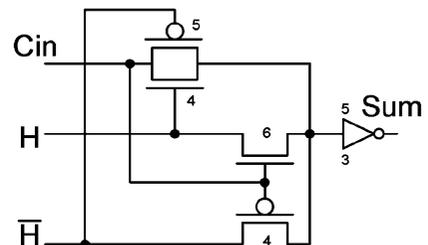


Fig. 7. Circuit for Module II

그림 7. 모듈 II의 구조

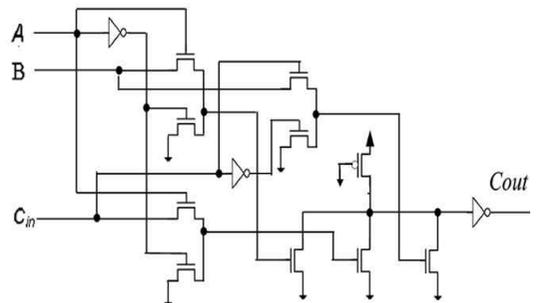


Fig. 8. Circuit for Module III

그림 8. 모듈 III의 구조

Table 1. Operation of the XOR-XNOR circuit.

표 1. XOR-XNOR 회로의 동작

A	B	H	H'	동작
0	0	Good 0	NOP	P2 ON
0	1	Bad 1	Good 0	P1 ON
1	0	NOP	Good 0	P1 ON
1	1	Good 0	Bad 1	P2 ON

패시턴스 값이 줄어든다. 이 기생 커패시턴스 값의 감소로 동작 속도가 증가한다. 패스 트랜지스터의 출력이 Low Level일때 문턱 전압 강하의 문제점을 가지고 있지만 Pseudo nMOS 구조가 풀 스윙을 하고 CMOS와 CPL구조와 같이 출력 단계 인버터를 구성하여 전압 강하 문제를 보완하였다. 또한 NOR 구조로 되어있는 Pseudo nMOS 구조를 사용하여 면적이 감소하였다. 모듈Ⅲ는 입력 커패시턴스 값의 감소로

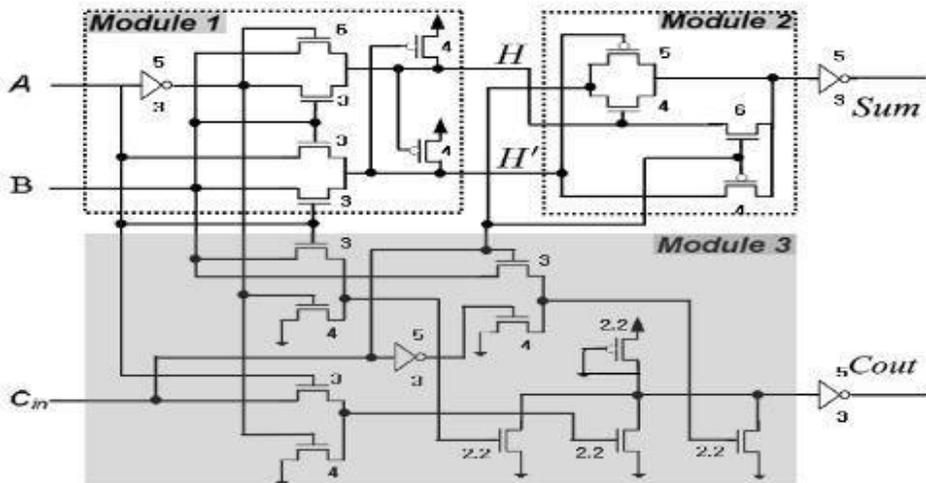


Fig. 9. Proposed Full Adder

그림 9. 제안한 전가산기

인해 Dynamic 전력소모가 작지만 Pseudo nMOS 구

모듈 I 을 통해 출력 Sum을 생산하는 모듈Ⅱ는 그림 7에 나타나 있다. 이 구조는 Static 인버터로 인해 좋은 구동 능력을 가지게 된다. 또한 기존의 다른 구조에 비해 가장 좋은 PDP(Power-Delay Product) 성능을 나타낸다.^[11] 그림과 같이 MOS의 병렬 연결로 인해 신호가 MOS를 지날 때 발생하는 문턱 전압 강하 문제가 없다. 위 회로는 현재 가장 많이 사용되고 있는 구조로서 본 논문의 전가산기 구성에 사용하였다.

3. Module III

모듈Ⅲ의 회로는 그림 8과 같다. 그림에서 볼 수 있듯이 패스 트랜지스터와 Ratioed 로직인 Pseudo nMOS 로직을 이용하여 구현하였다. 패스 트랜지스터를 통해 $A \cdot B$, $A \cdot C_{in}$, $B \cdot C_{in}$ 의 식을 구성하고 Pseudo nMOS 로직을 이용하여 위의 각각의 식을 덧셈하는 OR회로로 구성하였다. 제안한 모듈Ⅲ의 구조는 패스 트랜지스터의 사용으로 인해 기생 커

조의 Static DC 전력소모 문제점을 가지고 있어 기존의 CMOS와 TGA, 14T 구조에 비해 전력 소모 크다. 전력 소모는 기존 회로에 비해 크지만 동작속도가 빨라 PDP 비율이 가장 좋다.

제안한 전가산기 셀의 전체 구조는 그림 9에 나타나 있다. 그림9와 같이 전가산기는 모듈 I, 모듈Ⅱ, 모듈Ⅲ의 세부부분으로 나누어져 있으며 본 논문에서는 모듈Ⅲ를 제안하였다.

V. 시뮬레이션 및 레이아웃 결과

전가산기 셀을 이용하여 회로를 구성 할 경우 다음 셀에 좋은 입력을 제공하기 위해 충분한 구동 능력을 갖추고 있어야 한다.^[12] 즉, 구동하는 셀은 다음 셀의 확실한 구동을 위해 풀 스윙하는 출력을 제공해야 한다. 만약 그렇지 않다면 회로는 성능이 저하되거나 낮은 공급 전압에 의해 동작하지 않게 된다. 따라서

기존 회로의 TGA, 14T는 출력 단에 추가적인 버퍼가 없으면 다음 셀에 직렬로 연결 할 수 없다. 본 논문에서 제한한 전가산기 회로의 시뮬레이션 셋업은 그림 10에 나타나 있다. 이 구조는 정확한 입력 파형을 가지며 출력단의 인버터로 인해 출력 파형이 폴스윙 한다. 제안한 전가산기의 시뮬레이션 파형은 그림 11에 나타나 있다. 그림의 파형을 통해 전가산기의 동작을 확인할 수 있다.

4개의 기존 회로와 제안한 회로는 HSPICE를 이용하여 시뮬레이션 하였다. 0.18um공정을 이용하여 공



Fig. 10. Simulation setup
그림 10. 시뮬레이션 셋업

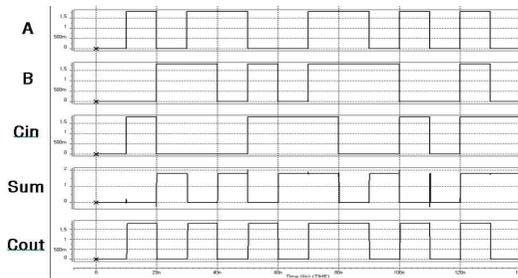


Fig. 11. Waveform simulation of proposed Full Adder
그림 11. 제안한 전가산기 회로의 시뮬레이션 파형

Table 2. Power, Delay and PDP comparison of Full Adder
표 2. 전가산기의 소비전력, 지연시간 및 PDP 비교

Adder	No. of Tr	Power (uW)	Delay (ns)	PDP
Proposed	28	3.47	0.119	4.12
CMOS	28	3.45	0.146	5.03
CPL	32	3.62	0.113	4.09
TGA	20	3.05	0.147	4.48
14T	14	3.02	0.139	4.19

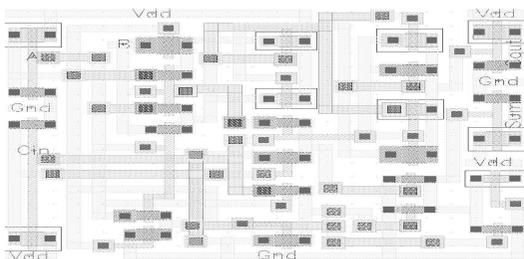


Fig. 12. Layout of the proposed Full Adder
그림 12. 제안한 전가산기 회로의 레이아웃

Table 3. Layout area comparison of Full Adder
표 3. 전가산기의 레이아웃 면적 비교

	Proposed	[13]		
		CMOS	CPL	TGA
Length (um)	9.11	17.37	11.20	14.07
Width (um)	10.50	5.76	12.20	9.59
Area (um ²)	95.66	100.05	136.64	134.88

급전압 0.18V와 주파수 100MHz에서 시뮬레이션 결과는 표 2에 나타나 있다. 시뮬레이션 결과 14T의 경우 TGA보다 좋은 성능을 나타낸다. 또한 기존의 CMOS, CPL 회로와 제안된 회로의 전력소모와 지연 시간을 표에서 확인 할 수 있다. TGA의 경우 구동 능력이 부족해 출력단에 버퍼가 요구 된다. 따라서 스위칭 전력 소모와 같은 단락 회로 전력소모가 크다. 제안한 회로의 경우 기존 회로에 비해 작은 지연 시간을 가지며 전력소모는 Static 전력 소모에 의해 CMOS, TGA, 14T 구조보다 크다. CPL의 경우 제안한 회로에 비해 PDP비율은 0.7% 정도 좋지만 전압강하 문제로 인해 컨트롤이 어려워 제작비용이 증가하는 단점을 가지고 있으며 빠른 속도가 요구되는 CPU 정도에서만 사용되고 있다.

제안한 전가산기 회로의 레이아웃 결과는 그림 12에 나타나 있다. 기존 회로와 제안된 전가산기 셀의 실리콘 면적은 표3에 나타나 있다. nMOS 트랜지스터의 사용에 의해 14T를 제외한 기존 회로에 비해 작다.

VI. 결론

본 논문에서는 최근 많이 이용되고 있는 XOR-XNOR구조와 다른 구조를 이용하여 고속동작을 하는 전가산기 회로를 제안하였다. 네 개의 다른 전가산기와 제안회로의 평균 전력소모, 실리콘 면적, 트랜지스터 수, 그리고 지연시간에 대하여 비교하였다. 지연시간의 경우 CMOS보다 22% 우수한 성능을 나타내었고 TGA 보다 23%, 14T 보다 16%의 우수한 성능을 나타내었다. 또한 PDP비율의 경우 CMOS보다 22% 좋은 성능을 나타내며 TGA 보다 8% 우수하다. 또한 14T보다 1%의 우수한 성능을 나타낸다. 레이아웃 결과 면적이 작은 nMOS를 사용하여 14T를 제외한 다른 회로에 비하여 평균 29% 면적이 작다.

참고문헌

- [1] R. Zimmermann and W. Fichtner, "Low-power logic styles: CMOS versus pass-transistor logic," *IEEE J. Solid-State Circuits*, vol. 32, no.7, pp. 1079-1090, Jul. 1997.
- [2] K. Usami and M. Hamada, "Low-Power CMOS digital design with dual embedded adaptive power supplies," in *Proc. Int. Symp. Low Power Design*, pp. 3-8. Apr. 1995.
- [3] N. Zhuang and H. Hu, "A new design of the CMOS full adder," *IEEE J. Solid-State Circuits*, vol. 27, no.5, pp.840-844, May 1992.
- [4] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, *A System Perspective*. Reading, MA: Addison-Wesley, 1993.
- [5] M. Vesterbacka, "A 14-transistor CMOS full adder with full voltage-swing nodes," in *Proc. IEEE Workshop Signal Processing Systems*, pp.713-722, Oct. 1999.
- [6] H. A. Mahmoud and M. Bayoumi, "A 10-transistor low-power high-speed full adder cell," in *Proc. IEEE Int. Symp. Circuits Syst*, pp.1-43-46. 1999.
- [7] A. Fayed and M. A. Bayoumi, "A low-power 10 transistor full adder cell for embedded architectures," in *Proc. IEEE Int. Symp., Circuits Syst*, pp.IV-226-229. 2001.
- [8] M. Zhang, J. Gu, and C. H. Chang, "A novel hybrid pass logic with static CMOS output drive full-adder cell," in *Proc. IEEE Int. Symp. Circuits Syst*, pp.317-320. May 2003.
- [9] D. Radhakrishnan, "Low-voltage low-power CMOS full adder," *IEEE Proc. Circuits Devices Syst*, vol.148, no.1, pp.19-24, Feb. 2001.
- [10] S. Goel, A. Kumar and M. A. Bayoumi, "Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style," *IEEE Trans. Very Large Scale Integration (VLSI) Syst*, vol. 14, no.12, Dec. 2006.
- [11] A. M. Shams, T. K. Darwish, and M. A. Bayoumi, "Performance analysis of low-power 1bit CMOS full adder cells," *IEEE Trans. Very Large Scale Integration (VLSI) Syst*, vol.148, no.1, pp. 20-29, Feb. 2002.
- [12] A. Shams, T. Darwish, and M. Bayoumi,

"Performance analysis of low-power 1-bit CMOS full adder cells," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*, vol 10, no. 1, pp.20-29, Feb. 2002.

[13] C. Chang, J. Gu and M. Zhang, "A Review of 0.18 μ m Full Adder Performances for Tree Structured Arithmetic Circuits," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*, vol. 13, no. 6, June. 2005.

저자 소개

김 영 운 (학생회원)



2007년 : 충북대학교 전자공학과 졸업 (공학사)
 2007년 ~현재 : 충북대학교 대학원 전자공학과 (석사과정)
 <주관심분야> 집적회로, CMOS Image Sensor

서 해 준 (학생회원)



2001년 : 청주대학교 전자공학과 졸업 (공학사)
 2004년 : 충북대학교 대학원 전자공학과 (공학석사)
 2004년 ~현재 : 충북대학교 대학원 전자공학과 (박사과정)

<주관심분야> 집적회로, 디스플레이 드라이버 IC, 마이크로프로세서

조 태 원 (정회원)



1973년 : 서울대학교 전자공학과 졸업 (공학사)
 1986년 : 루이빌대학교 대학원 전자공학과 (공학석사)
 1992년 : 켄터키주립 대학원 전자공학과 (공학박사)

1992년 ~현재 : 충북대학교 교수
 <주관심분야> 집적회로, 컴퓨터구조, 저전력회로