

논문 2008-45TC-12-1

# 다중 안테나 시스템을 위한 CMOS Class-E 전력증폭기의 효율 개선에 관한 연구

(Research on PAE of CMOS Class-E Power Amplifier For Multiple Antenna System)

김형준\*, 주진희\*, 서철현\*\*

(Hyoungjun Kim, Jinhee Joo, and Chulhun Seo)

## 요약

본 논문에서는 전력증폭기의 입력신호의 크기에 따라 CMOS class-E 전력증폭기의 게이트와 드레인의 바이어스 전압을 조절함으로써 낮은 출력전력에서도 80% 이상의 고효율 특성을 갖는 CMOS class-E 전력증폭기를 설계하였다. 입력신호의 포락선을 검파하여 전력증폭기의 바이어스 전압을 조절하는 방법을 이용하였고, 동작주파수는 2.14GHz, 출력전력은 22dBm에서 25dBm, 전력부가효율은 모든 입력전력레벨에서 80.15%에서 82.96%의 특성을 얻을 수 있었다.

## Abstract

In this paper, bias control circuit structure have been employed to improve the power added efficiency of the CMOS class-E power amplifier on low input power level. The gate and drain bias voltage has been controlled with the envelope of the input RF signal. The proposed CMOS class-E power amplifier using bias controlled circuit has been improved the PAE on low output power level. The operating frequency is 2.14GHz and the output power is 22dBm to 25dBm. In addition to, it has been evident that the designed the structure has showed more than a 80% increase in PAE for flatness over all input power level, respectively.

**Keywords :** Class-E, power amplifier, CMOS Class-E, adaptive bias control, power added efficiency

## I. 서론

최근 들어 이동통신 시스템의 급격한 보급에 의해 무선통신 시스템용 고출력 전력증폭기의 중요성이 부각되고 있으며, 앞으로도 새로운 환경에 적합한 고출력, 고효율 특성을 갖는 전력증폭기의 개발이 시급하다<sup>[1-2]</sup>. 전력증폭기는 무선통신 시스템의 전력 소모의 가장 핵심적인 부분으로서 전체 시스템의 효율에 가장 큰 영향을 미치는 요소이다. 전력증폭기의 효율이 증가하게 되

면 기지국 또는 중계기의 손실을 최소화하기 위한 추가 비용을 감소시킬 수 있으며, 단말기의 배터리 수명을 증가시킬 수 있다. 따라서 통신시스템 설계 시 전력증폭기의 효율은 가장 중요하게 고려해야 할 사항이다. Class-D 전력증폭기는 가장 많이 사용되는 스위칭모드 전력증폭기이다. 하지만, Class-D 전력증폭기는 디바이스의 손실을 야기하는 기생 리액턴스 성분으로 인해 고주파에서는 효율이 낮은 특성을 갖게 된다. 또한, class-F 전력증폭기는 전류와 전압 파형의 겹치지 않게 고조파 성분들을 조절하여 설계함으로써 매우 높은 효율 특성을 기대할 수 있다. 하지만, class-F 전력증폭기는 수많은 고조파 성분들을 조절해야 높은 효율을 얻을 수 있기 때문에 전력증폭기의 회로가 복잡해지고 사이즈가 커지게 된다<sup>[3-5]</sup>. deep-submicron 공정으로 기술

\* 학생회원, \*\* 정회원, 숭실대학교 정보통신전자공학부 (Information and Telecommunication Engineering, Soongsil University)

※ 이 연구는 2008학년도 숭실대학교 대학 연구비의 지원으로 연구되었음.

접수일자: 2008년10월28일, 수정완료일: 2008년11월17일

이 발달하면서 회로의 복잡성과 사이즈 측면에서 적합한 구조가 아니다. 따라서 class-E 전력증폭기가 가장 간단한 구조이면서 고주파에서 높은 효율을 가질 수 있기 때문에 본 논문에서는 class-E 전력증폭기를 설계하였다. 또한, 전력증폭기에서 중요한 요소라고 할 수 있는 낮은 출력전력에서도 높은 효율 특성을 얻기 위해 낮은 입력전력이 인가될 때 트랜지스터의 바이어스 전압을 조절함으로써 소비되는 DC 전력을 낮춤으로서 전체적인 전력증폭기의 효율을 개선할 수 있는 CMOS class-E 전력증폭기를 설계하였다<sup>[6]</sup>.

### II. Class-E 전력증폭기 동작원리

Class-E 전력증폭기는 이론적으로 100%의 전력효율 특성을 갖는 전력증폭기로 Sokal이 처음 제시하였다. Class-E 전력증폭기는 다른 class에 비해 높은 효율로 인해 적은 열방출 특성을 가지고 있다. 같은 주파수, 같은 출력전력에서 동일한 트랜지스터를 이용한 class-E 전력증폭기는 일반적인 class-B or -C 전력증폭기에 비해 2.3배 작은 전력손실 특성을 갖고 동작한다. 그림 1은 class-E 전력증폭기의 이상적인 트랜지스터의 전압 및 전류 파형을 보여주고 있다<sup>[7]</sup>.

스위칭모드 전력증폭기에서 트랜지스터는 이상적인 스위치처럼 동작하게 된다. 트랜지스터의 전력소모를 최소화하기 위해 트랜지스터의 전압과 전류 파형이 겹치지 않도록 해야 하며, 이는 트랜지스터를 ON/OFF 시킴으로써 전력증폭기의 고효율 특성을 얻게 된다<sup>[8]</sup>.

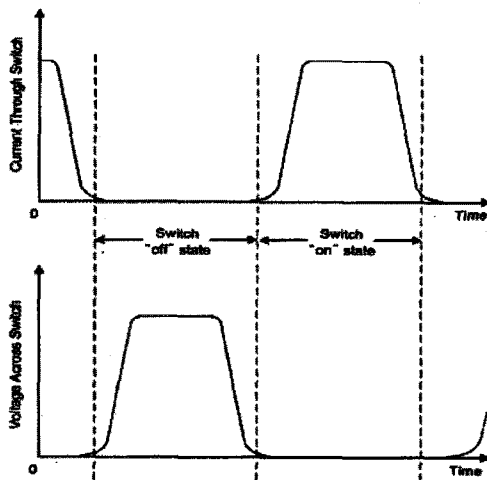


그림 1. Class-E 전력증폭기의 트랜지스터의 이상적인 전압과 전류 파형  
Fig. 1. Waveforms of transistor voltage and current of class-E power amplifier.

그림 1에서와 같이 스위치로 동작하는 "ON" 상태일 때는 트랜지스터가 낮은 임피던스를 갖는 것처럼 동작하여 전압은 0에 가까워지고, 전류는 높은 값을 가지며 흐르게 된다. 반면에 "OFF" 상태일 때는 트랜지스터가 높은 임피던스를 갖는 것처럼 동작하여 전압은 높은 값을 가지며 전류는 0에 가까워진다.

### III. Bias Control Method

전력증폭기의 전력부가효율(PAE)는 다음과 같이 표현된다.

$$PAE = \frac{(RF_{output\ power}) - (RF_{input\ power})}{P_{DC}} \quad (1)$$

$$P_{DC} = (V_{GS} \times I_{GS} + V_{DS} \times I_{DS}) \quad (2)$$

전력증폭기의 PAE는 식 (1)과 같이 바이어스 전압이 고정되어 있기 때문에 출력전력의 크기에 따라 변하게 된다. 즉, 출력전력의 크기가 낮을 경우 전력증폭기의 PAE는 매우 낮은 특성을 보이며 최대 크기의 출력전력을 나타낼 때에는 높은 PAE 특성을 가지게 된다. 일반적으로 전력증폭기는 최대 전력에서 동작하는 경우가 드물기 때문에 낮은 출력전력에서의 PAE 특성 또한 중요한 요소라고 할 수 있다. 이와 같은 문제점을 해결하기 위해 출력전력에 따른 전력증폭기의 바이어스 전압을 적절하게 조절함으로써 식 (2)의 값을 조절하여 낮은 출력전력에서의 PAE를 개선시킬 수 있다. 그림 2에서 보는 것과 같이 게이트 전압, 드레인 전압을 조절하거나, 양쪽의 전압을 모두 조절하는 방법이 있다. 최대 출력전력일 때의 바이어스를 입력전력의 크기에 따라 변화시키기 위해 입력 신호의 포락선을 검파하여 바이어스 조절 회로를 이용하

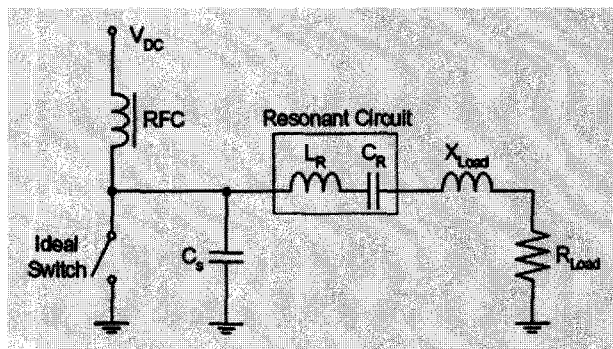


그림 2. Class-E 전력증폭기의 등가회로  
Fig. 2. The equivalent circuit of class-E power amplifier with ideal switch.

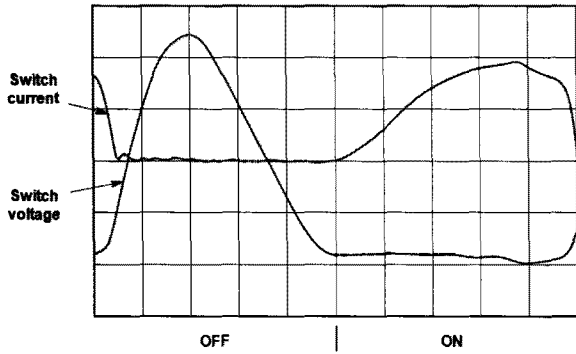


그림 3. 실제 Class-E 전력증폭기 전압 및 전류파형  
Fig. 3. Waveforms of actual transistor voltage and current of class-E power amplifier.

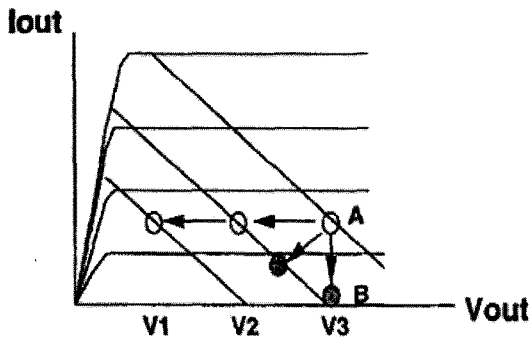


그림 4. RF 부하선과 DC-바이어스 점  
Fig. 4. RF load-line and various DC-bias point.

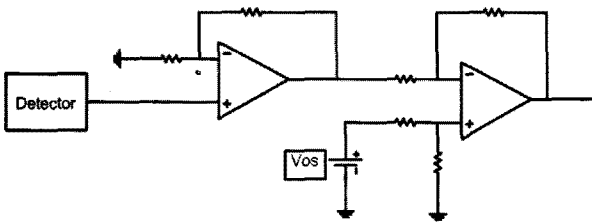


그림 5. 바이어스 전압 조절을 위한 회로  
Fig. 5. Control circuit diagram for bias voltage.

여 전력증폭기의 바이어스 전압을 변화시키게 된다. 바이어스 조건으로 인가하기 위해 그림 3과 같이 각각의 증폭율을 조절하여 게이트와 드레인에 바이어스 전압을 인가하도록 설계하였다<sup>[9]</sup>.

### V. CMOS Class-E 전력증폭기 설계

본 논문에서는 동부하이텍 0.13um 공정을 이용하여 CMOS class-E 전력증폭기를 사용하였다. 디지털 전력증폭기의 구조를 위해 그림 5와 같이 발진기를 class-E 전력증폭기의 입력으로 인가하여 트랜지스터의 스위칭 동작을 확인하였다. 그림 6은 단일 class-E 전력증폭기를 보여주고 있다.

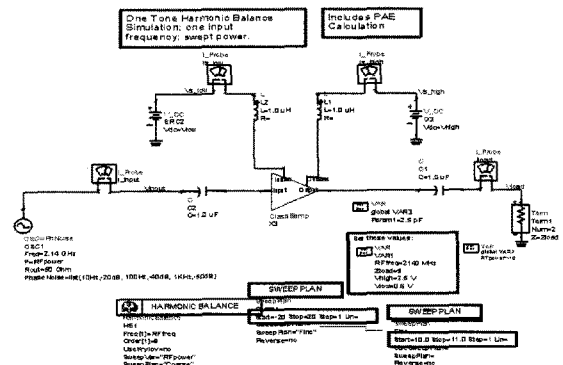


그림 6. 0.13um 공정을 이용한 CMOS class-E 전력증폭기  
Fig. 6. CMOS class-E power amplifier using 0.13um process.

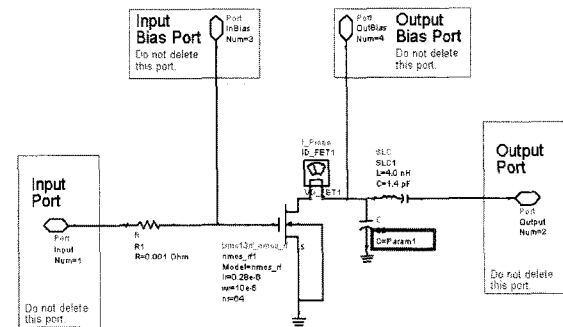


그림 7. 0.13um 공정을 이용한 CMOS class-E 전력증폭기  
Fig. 7. CMOS class-E power amplifier using 0.13um process.

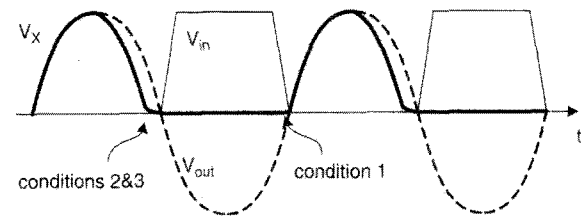


그림 8. 이상적인 CMOS class-E 전력증폭기의 입력전압과 스위칭 전압파형 시뮬레이션 결과  
Fig. 8. Idealized CMOS class-E power amplifier input and switching voltage waveforms.

Class-E 전력증폭기의 트랜지스터의 스위칭모드를 확인하기 위해서는 그림 7과 같이 다음의 조건을 만족해야 한다<sup>[10]</sup>.

- (1) 스위치가 "OFF" 일 때 전류는 "0" 이다.
- (2) 스위치가 "ON" 이 되기 직전에 전압은 "0" 으로 수렴한다.
- (3) 스위치가 "ON" 일 때 전압은 "0" 이다.

그림 8에서 보여주는 것과 같이 class-E 전력증폭기의 트랜지스터가 입력신호에 따라 스위칭동작을 하고 있는 것을 보여주고 있으며 3가지의 스위칭 조건을 만족하는 것으로 확인되었다. 표 1은 단일 CMOS class-E 전력증폭기의 시뮬레이션 결과를 보여주고 있다. class-E 전력증폭기의 입력신호 크기는 -1dBm 이며, 바이어스 전압은 게이트에 0.6V, 드레인에 2.5V이다.

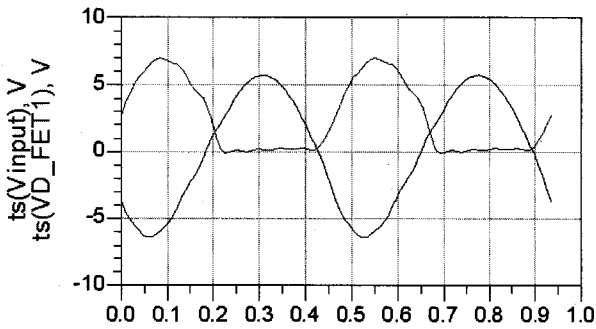


그림 9. CMOS class-E 전력증폭기의 입력전압과 스위칭 전압파형 시뮬레이션 결과

Fig. 9. Simulation result of CMOS class-E power amplifier input and switching voltage waveforms.

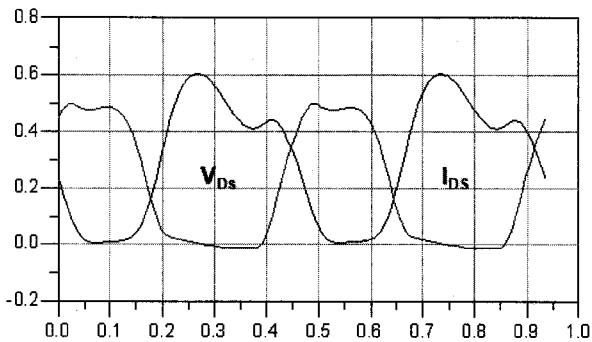


그림 10. CMOS class-E 전력증폭기의 전압과 전류파형 시뮬레이션 결과

Fig. 10. Simulation result of CMOS class-E power amplifier voltage and current waveforms.

표 1. 단일 CMOS class-E 전력증폭기 시뮬레이션 결과

Table 1. Simulation result of single-stage CMOS class-E power amplifier.

Frequency	2.14 GHz
Input power	-1 dBm
Gain	23 dB
P <sub>out</sub>	22 dBm
PAE	83.5%
2nd Harmonics	-26.9 dBc

## VI. 바이어스 조절을 이용한 CMOS Class-E 전력증폭기 설계

그림 9는 입력신호의 크기에 따라 전력증폭기의 바이어스 전압을 조절하는 구조이다.

입력신호의 크기가 -11dBm에서 -1dBm 까지 변화할 때 게이트와 드레인의 바이어스 전압을 조절함으로써

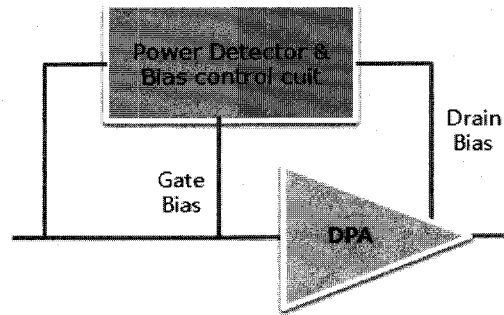


그림 11. 제안한 CMOS class-E 전력증폭기 구조

Fig. 11. The proposed structure of CMOS class-E power amplifier.

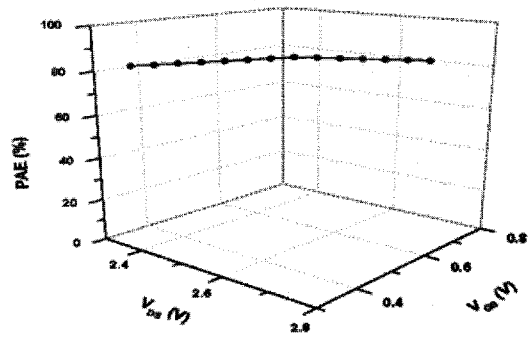


그림 12. 바이어스 조절에 의한 입력신호 변화에 따른 PAE 시뮬레이션 결과

Fig. 12. Simulation result of PAE of CMOS class-E power amplifier using bias control method.

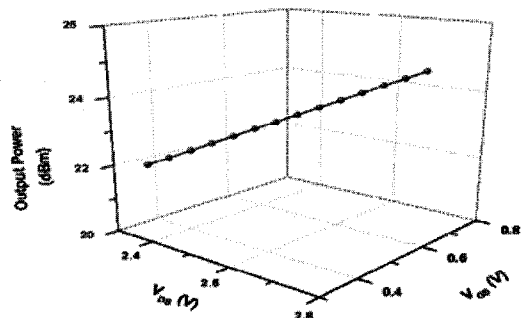


그림 13. 바이어스 조절에 의한 출력전력 크기 시뮬레이션 결과

Fig. 13. Simulation result of output power of CMOS class-E power amplifier using bias control method.

표 2. 제안된 CMOS class-E 전력증폭기 시뮬레이션 결과

Table 2. Simulation result of proposed CMOS class-E power amplifier.

Frequency	2.14 GHz
Input power	-11 dBm~-1dBm
Gain	23 dB
P <sub>out</sub>	22 dBm~25dBm
PAE	80.15%~82.96%

각각의 입력신호에 대응하여 80% 이상의 고효율 특성을 나타내었다. 또한, 22dBm의 낮은 출력부터 25dBm의 고풍출전력의 조건에서 80.15%에서 82.96%의 고효율 특성을 확인할 수 있었다.

### VII. 결 론

본 논문은 CMOS class-E 전력증폭기의 낮은 출력 전력에서의 낮은 전력 효율을 증대시키는 방법으로 입력신호의 크기에 따라 게이트와 드레인의 바이어스 조절하는 방법을 적용하여 전력증폭기의 구동 전력을 조절하는 구조를 제안하였다. 본 논문에서 제안한 구조로 CMOS class-E 전력증폭기를 설계한 결과 일반적인 class-E 전력증폭기가 낮은 출력전력에서의 낮은 효율을 보인 반면, 제안한 구조의 CMOS class-E 전력증폭기는 낮은 출력전력 조건에서도 80% 이상의 고효율 성능을 나타내는 것을 알 수 있었다. 동작주파수는 2.14GHz이고, 바이어스 조절에 따라 22dBm부터 25dBm까지의 출력 특성을 얻을 수 있었다. 또한, 모든 입력전력 레벨에서 80% 이상의 평탄한 고효율 특성을 갖는 것을 알 수 있었다.

### 참 고 문 헌

[1] Steve C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House, 1999.  
 [2] P. Gray and R. Meyer, "Future directions of silicon IC's for RF personal communications," *Proc. Custom Integrated Circuits Conf.*, pp. 83 - 90, May 1995,  
 [3] N. O. Sokal and A. D. Sokal, "Class E—a New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers," *IEEE Journal of*

*Solid-State Circuits*, vol SC-10, vo. 3, pp 168-176, June 1975.  
 [4] N. O. Sokal and A. D. Sokal, "Class-E Switching-Mode RF Power Amplifiers—Low Power Dissipation, Low Sensitivity to Component Tolerances and Well Defined Operation," *Proceedings of the 1979 IEEE ELECTRO Conference*, Session 23, New York, April 1979. Reprinted in *RF Design*, vol 3, no. 7, pp 33-38, July/Aug 1980.  
 [5] N. O. Sokal, "Class E High-Efficiency Switching-Mode Power Amplifiers, from HF to Microwave," *1998 IEEE MTT-S International Microwave Symposium Digest*, June 1998.  
 [6] G. Hanington, "High-Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp. 1471-1476, Aug 1999.  
 [7] F. H. Raab, "Idealized operation of the class-E tuned power amplifier," *IEEE Trans. Circuits Syst.*, vol. CAS-25, pp. 725-735, Dec 1977.  
 [8] D. M. Pozar, *Microwave Engineering*, Addison-Wesley, 1993.  
 [9] 김형준, 서철현, "이중 바이어스 조절과 PBG를 이용한 도허티 증폭기 전력효율 개선에 관한 연구", *한국전자과학회 논문지*, 제17권, 제8호, 707-712쪽, 2006년 8월.  
 [10] R. B. Staszewski, J. Wallberg, S. Rezeg, C.-M. Hung, O. Eliezer, S. Vemulapalli, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M.-C. Lee, P. Cruise, M. Entezari, K. Muhammad, and D. Leipold, "All-digital PLL and GSM/EDGE transmitter in 90nm CMOS," *Proc. of IEEE Solid-State Circuits Conf.*, sec. 17.5, pp. 316 - 17, 600, Feb 2005.

---

 저 자 소 개
 

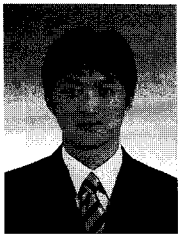
---



김 형 준(학생회원)  
 2005년 2월 숭실대학교 정보통신  
 전자공학부 학사 졸업.  
 2007년 2월 숭실대학교 정보통신  
 공학과 석사 졸업.  
 2007년 3월~현재 숭실대학교 정  
 보통신공학과 박사과정.

<주관심분야 : 초고주파 회로 설계, RF 전력증폭  
 기, RFIC, RFID, Digital RF>

서 철 현(정회원)  
 대한전자공학회 논문지  
 vol. 31, no. 6 참조



주 진 회(학생회원)  
 2006년 2월 숭실대학교 정보통신  
 전자공학부 학사 졸업.  
 2007년 9월~현재 숭실대학교 정  
 보통신공학과 석사과정.

<주관심분야 : 초고주파 회로 설  
 계, RF 전력증폭기, Digital RF>