

논문 2008-451E-4-2

Hot Carrier Stress로 인한 SOI MOSFET의 전력 성능 저하

(Effect of Hot Carrier Stress on The Power Performance Degradation in SOI MOSFET)

이 병 진*, 박 성 욱**, 박 중 관**

(Byung-Jin Lee, Sung-Wook Park, and Jong-Kwan Park)

요 약

본 연구에서는 load-pull 장비를 이용하여 hot carrier 현상에 따른 RF 전력 성능 저하를 측정 분석하였다. 스트레스를 인가한 후에 RF 전력 지수들은 감소하였으며, 고정 전압 조건에서 관찰한 SOI MOSFET의 DC 성능 지수들 또한 hot carrier stress로 인하여 감소함을 할 수 있었다. 또한 Hot carrier stress로 인한 DC 성능 저하로 인하여 RF 전력 성능 저하의 감소를 알 수 있었다.

Abstract

In this work investigates hot carrier stress on the RF power of SOI MOSFET using load-pull measurement. We found that the RF power characteristics are affected by the hot carrier stress, and the DC performance of SOI MOSFET is clearly degraded after hot carrier stress at constant voltage measurement. And these experimental observations can be explained by the change of DC performance degradation coefficient under hot carrier stress.

Keywords : Hot Carrier, Hot Carrier Stress, SOI MOSFET, RF Power

I. 서 론

고도의 정보화 시대가 급속하게 도래함에 따라 통신 분야의 눈부신 발전이 이루어지고 있으며 개인 통신의 요구가 더욱 커지고 있다. 이러한 요구에 따라 다양한 통신 방식이 연구 되고 있으며 RF 핵심 부품에 대한 개발도 진행 되고 있다^[1~4]. 앞으로 새로운 통신 상품들은 주파수 차원의 포화와 멀티미터 통신을 위하여 더 높은 주파수 대역인 밀리미터파 대역을 사용하게 될 것이다. 대표적인 예로 LMDS, PCN, Wireless LNA등이 있다. 특히 전력 증폭기 기술은 제반 기술 중에서 가장 높은 핵심 기술인 동시에 기술적으로도 가장 어려운 부분이며 송신 시스템에서 전력 증폭기는 매우

중요한 부분이다.

CMOS 공정을 이용하여 1~2GHz 대역의 RF 회로를 구현하고자 연구를 해 왔으며, 그 결과 cellular phone 시스템과 같은 매우 까다로운 요구 조건에서도 CMOS가 RF 송수신 회로를 구현하는데 유용한 공정임이 입증되었다^[5]. 모든 RF 송수신 회로를 one chip으로 구현하고 동일한 CMOS 공정으로 구현 한다면 매우 큰 경제적 효과를 가져 올 수 있다. 따라서 CMOS 공정을 이용하여 효율이 높은 전력 증폭기를 구현하여야 한다.

많은 전력 증폭기에 대한 연구가 있었지만 소자의 열화로 인한 전력 증폭기의 성능 저하에 관한 연구는 미약하다. 본 연구에서는 전력 증폭기를 설계하기에 앞서 H-gate의 형태인 SOI MOSFET를 고주파 대역에서의 power 측정을 하였다.

소자의 성능 저하를 분석하기 위한 스트레스 조건은 $V_{GS}=0.8V$, $V_{DS}=3.1V$ 로 3600초간 인가하여 RF power 특성을 측정하였다.

* 정회원, 인천대학교 전자공학과
(Dept. of Electronic Engineering, Univ. of Incheon)

** 정회원, 유한대학 정보통신과
(Dept. of Information & Communications, Yuhan College)

접수일자: 2008년8월19일, 수정완료일: 2008년12월1일

II. 소자의 제작

본 연구에 사용된 SOI MOSFET는 n-채널로 공정은 SIMOX wafer $T_{BOX}=100nm$ 이며 $T_{OX}=3.8nm$ 이다.

그림 1은 SOI MOSFET의 H-gate 평면도로 소자의 게이트 길이가 $L=0.25\mu m$ 이며 게이트 구조는 multi-finger 형태로 단일 폭은 $W_f=20\mu m$ 이며, finger의 수는 4로 소자의 채널 폭은 $W=80\mu m$ 이다. 게이트 구조가 H-type인 SOI MOSFET는 게이트 양쪽 끝부분에 body contact이 있다. 소자의 RF 특성을 측정하기 위하여 패드는 GSG(Ground-Signal-Ground) 패턴으로 하였으며 메탈 라인의 기생 성분을 제거하기 위하여 de-embedding 하였다.

그림 2는 RF power 성능을 분석하기 위한 load-pull 시스템으로 입력 power는 $15dBm \sim 3dBm$, $f=2GHz$ 에서

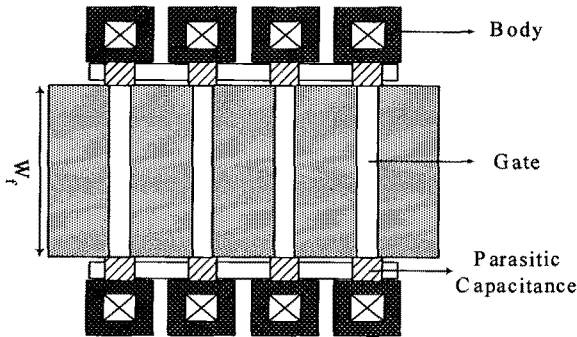


그림 1. H-gate SOI의 레이아웃
Fig. 1. layout of H-gate type SOI.

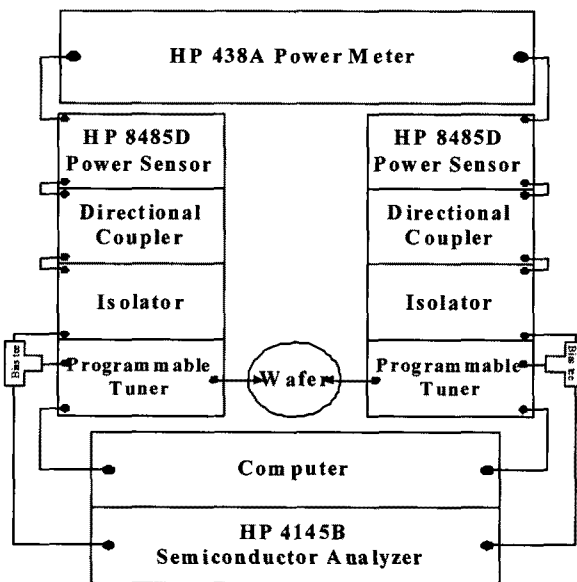


그림 2. load-pull 시스템의 블록도
Fig. 2. Block diagram of the load-pull system using electronic tuner.

측정하였다. 소자의 열화에 의한 성능 저하를 분석하기 위하여 스트레스 조건은 $V_{GS}=0.7V$, $V_{DS}=3.1V$ 로 3600sec 인가하여 RF power 특성을 측정·분석 하였다.

III. 소자열화로 인한 RF power 특성 분석

전력 증폭기는 공급 전압에 따라 동작점이 결정되며 [6], 전력 증폭기의 출력 power는 hot carrier effect로 인해 큰 영향을 받을 것으로 사료 된다.

그림 3은 Hot carrier로 인한 스트레스 전후에 output power (P_{out}), gain (G) and power added efficiency (PAE)를 나타낸 것이다. 스트레스 전에 RF power 특성은 포화 영역에서 P_{out} , 선형 영역에서 G 그리고 최댓값의 PAE는 각각 10.8dBm, 9.14dB, 30.5%로 측정 되었다.

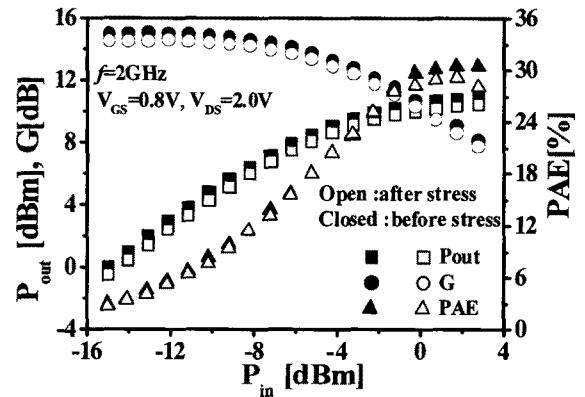


그림 3. 스트레스 전후의 P_{out} , G, & PAE 특성
Fig. 3. P_{out} , G, & PAE versus input power before and after stress.

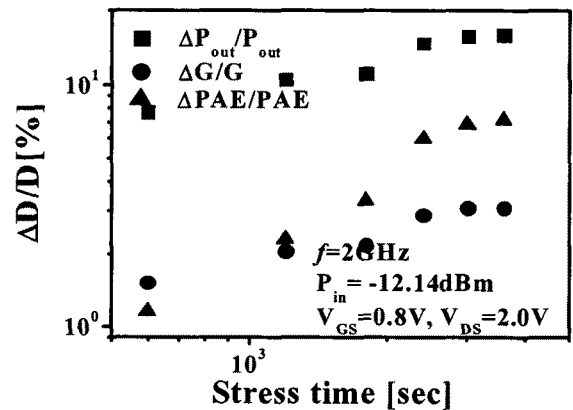


그림 4. 스트레스 시간에 따른 $\Delta P_{out} / P_{out}$, $\Delta G / G$, & $\Delta PAE / PAE$ 의 특성
Fig. 4. $\Delta P_{out} / P_{out}$, $\Delta G / G$, & $\Delta PAE / PAE$ versus stress time.

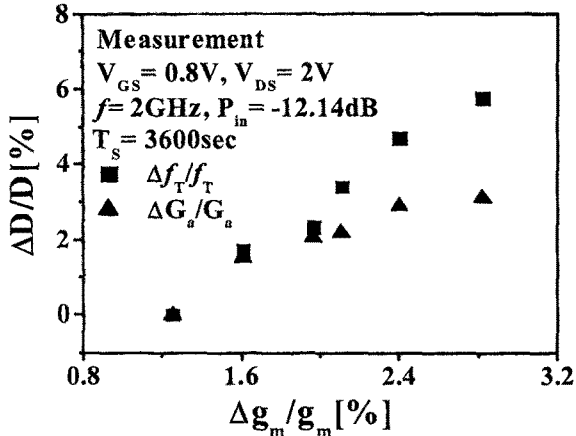


그림 5. RF 성능 저하와 $\Delta g_m / g_m$ 의 상관 관계
 Fig. 5. Relation between the RF performance degradation and $\Delta g_m / g_m$.

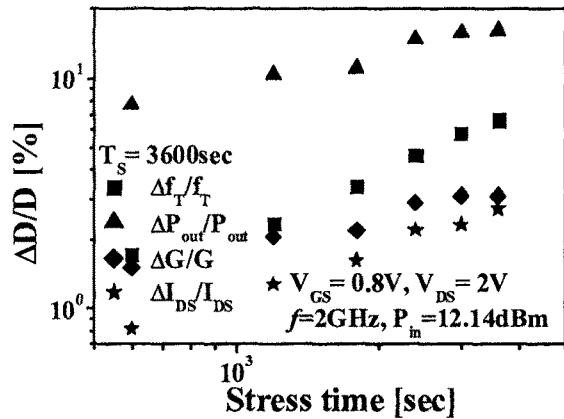


그림 6. 스트레스로 인한 DC 성능 지수와 RF 성능 지수와의 관계
 Fig. 6. The comparison of DC and RF performance degradation.

RF power의 성능 저하를 분석하기 위하여 $V_{GS}=0.7V$, $V_{DS}=3.1V$ 로 3600sec 동안 스트레스를 인가한 후 P_{out} , G, PAE는 각각 10.4dBm, 8.7dB, 29.2%로 감소하였다.

그림 4는 스트레스 시간에 따라 $\Delta P_{out} / P_{out}$, $\Delta G / G$, 그리고 $\Delta PAE / PAE$ 를 나타낸 것이다.

스트레스 후에 power 특성을 분석하기 위한 측정 조건은 $V_{GS}=0.8V$, $V_{DS}=2V$, $f=2GHz$ 이며 입력 power는 -12.14dBm이다. $\Delta P_{out} / P_{out}$ 의 변화가 16%로 가장 큰 변화율을 보여 주었다.

그림 5는 RF 성능 저하와 $\Delta g_m / g_m$ 과의 관계를 나타낸 것으로 g_m 의 감소와 C_{gs} 의 증가로 인하여 RF 성능이 감소된 것으로 사료된다.

그림 6은 스트레스로 인한 DC 성능 지수와 RF 성능 지수와의 관계를 나타낸 그림으로 RF 성능 감소와 DC

성능 지수는 비례 관계에 있음을 알 수 있으며, $\Delta P_{out} / P_{out}$ 가 가장 큰 변화율을 보여 준다. 따라서 hot carrier 로 인한 모든 RF 지수들을 고려하여 RF 회로 설계를 하여야 한다.

IV. 결론

RF IC를 소형, 경량화 및 저 전력화를 이루기 위하여 SOI MOSFET에 스트레스를 인가하여, P_{out} , gain, PAE의 성능 저하를 측정 분석 하였다. SOI MOSFET의 power 성능 지수들의 감소는 DC의 성능 지수와 비례 관계가 있다. RF IC 설계 시 hot carrier 현상에 의한 소자 열화는 심각히 고려해야 함을 알 수 있다.

참고 문헌

- [1] J. W. Ratkovic, W. M. Huang, B. Y. Hwang, M. Racanelli, J. Forestner, J. Woo, Novel Device Lifetime Behavior and Hot-Carrier Degradation Mechanism under $V_{gs}=V_{th}$ Stress for Thin-Film SOI nMOSFETS. Tech. Digest of IEDM, December 1995. p. 639-642.
- [2] W. S. Kwan, C. H. Chen, and M. J. Deen, Hot-Carrier Effects on RF Noise Characteristics of LDD MOSFETS, J. V. Sci. and Tech. 2000; A18(2): 765-769.
- [3] T. Sowlati, D.M. Leenaerts, A 2.4GHz 0.18um CMOS Self-Biased Cascode Power Amplifier, IEEE J. Solid-State Circuits 2000;38(8): 1318-1324.
- [4] J. P. Colinge, Silicon-on-Insulator Technology, 2nd Ed. Boston; Kluwer Academic: 1997, p. 181.
- [5] S. Cristoloveanu, S. M. Gulwadi, D. E. Ioannou, G. J. Campisi, and H. L. Hughes, Hot-Electron-Induced Degradation of Front and Back Channels in Partially and Fully Depleted SIMOX MOSFET's, IEEE. Electron Device Letters 1992;13(2):603-605.
- [6] S. H. Renn, J. L. Pelloie, and F. Balestra, Hot-Carrier Effects and Reliable Lifetime Prediction in Deep Submicron N- and P-Channel SOI MOSFET's, IEEE Trans. Electron Device 1998; 45(11):2335-2342.

저 자 소 개

이 병 진(정회원)
대한전자공학회 논문지
제44권 IE편 2호 참조

박 성 욱(정회원)
대한전자공학회 논문지
제44권 CI편 3호 참조

박 종 관(정회원)
대한전자공학회 논문지
제44권 CI편 3호 참조