
UWB 초고속 무선통신 시스템을 위한 FFT 프로세서 설계에 관한 연구

이상일* · 천영일**

A Study on the Design of FFT Processor for UWB Ultrafast Wireless Communication Systems

Sang-il Lee* · Young-il Chun**

이 논문은 2004년도 목포대학교 교내 연구비의 지원으로 수행되었음

요 약

UWB 초고속 무선통신 시스템을 위한 MB-OFDM-용 128-포인트 FFT 프로세서를 설계하였다. 128-포인트 FFT 프로세서는 Radix-2 FFT 알고리듬과 R2SDF 파이프라인 구조에 기초하고 있으며, VHDL을 이용하여 구현되었다. 그 결과는 Modelsim을 이용하여 검증되었으며, Xilinx Vertex-II FPGA를 이용하여 합성된 결과 18.7MHz의 동작주파수를 얻을 수 있었다. 제안된 128-포인트 FFT 프로세서는 병렬처리 되는 FFT 프로세서의 한 블록으로 이용될 수 있으며, 이를 이용하여 고속의 병렬처리 FFT 모듈이 구현될 수 있게 된다. 따라서 본 논문은 4개의 128-포인트 FFT 프로세서를 병렬로 연결하여 4배의 동작주파수를 얻을 수 있었으며, 결과적으로 MB-OFDM에서 요구되는 동작주파수 이상의 성능을 얻게 되었다.

ABSTRACT

We design and synthesize a 128-point FFT processor for multi-band OFDM, which can be applied to a UWB transceiver. The structure of a 128-point FFT processor is based on a Radix-2 FFT algorithm and a R2SDF pipeline architecture. The algorithm is efficiently modeled in VHDL and the result is simulated using Modelsim. Finally, they are synthesized on Xilinx Vertex-II FPGA, and an operational frequency of 18.7MHz has been obtained. It is expected that the proposed 128-point FFT processor can be applied to an entire FFT block as one of parallel processed FFTs. In order to obtain the enhanced maximum frequency of operation, we design the FFT module consisting of four 128-point FFT processors for parallel process. As a result, we achieve the performance requirement of computing the FFT module in multi-band OFDM symbol timing in 90nm ASIC process.

키워드

UWB, Multi-Band OFDM, FFT Processor, Ultrafast Wireless Communication System

* 국립목포대학교 정보공학부 정보전자공학전공
** (주) 한국정보공학

접수일자 2008. 09. 30

I. 서 론

무선 PAN(Personal Area Network)이나 고속 멀티미디어 신호 전송을 위한 무선통신 등에서 UWB(Ultra Wide Band)가 매우 중요한 기술이 될 것으로 예상되고 있으며, 저가, 저 전력에서 흡 멀티미디어 네트워크가 요구하는 고속의 데이터 전송을 구현 할 수 있는 기술로 발전되어 가고 있다. UWB와 관련된 표준들은 다른 어떤 분야 보다도 고속의 데이터 전송을 목표로 하기 때문에 칩 설계적인 측면에서도 매우 고속으로 동작하는 설계를 요구하고 있다. 그러나 저가, 저 전력의 칩이 만들어져야 하므로 기저대역에서 디지털처리 칩의 클록을 지나치게 높이지 않으면서도 고속으로 동작할 수 있는 기술들을 중심으로 활발하게 연구가 진행되고 있다[1].

UWB의 물리 계층에 대한 표준은 OFDM (Orthogonal Frequency Division Multiplexing)방식을 기본으로 하는 MB-OFDM(Multi-Band OFDM)이 가장 가능성성이 높은 표준 중 하나로 제안되고 있다. UWB 신호를 고속의 데이터 전송률을 갖는 무선 PAN에 적용하기 위해 IEEE 802.15 TG3a에서는 MB-OFDM을 UWB의 물리 계층 표준으로 제안하고 있으며, 이는 전체 주파수 대역을 여러 개의 528MHz 밴드로 나누어 Frequency Hopping을 하면서 전송되는 방식이다. 정보는 각 528MHz 밴드에서 OFDM 변조방식을 사용하여 전송되며 OFDM 반송파는 128-포인트 FFT(Fast Fourier Transform), IFFT (Inverse Fast Fourier Transform)를 이용하여 생성된다. MB-OFDM의 시스템 파라미터는 표 1에서 보여주는 바와 같다. 128-포인트 FFT 프로세서가 528MHz의 대역을 이용 하므로 부반송파 사이의 간격은 4.125MHz이며 하나의 OFDM 심볼의 총 길이는 312.5ns이다. 전체 128개의 부채널 중 실제 데이터를 전송하는 부반송파는 100개이고 12개의 부반송파는 파일럿용, 나머지 10개의 반송파는 보호 반송파용으로 이용된다. 사용하지 않는 반송파는 6개이다[2].

본 논문에서는 MB-OFDM 물리 계층의 여러 블록들 중에 다수 반송파의 변복조를 수행하는 핵심 블록인 FFT 처리 블록을 설계하고 회로의 연산 결과를 검증하였다. VHDL을 사용하여 하드웨어로 모델링한 후 Modelsim을 사용하여 검증하였고, Xilinx XC2V1000 FPGA를 이용하여 FFT 프로세서를 구현하였다. MB-OFDM에서 제안되는 표준에 따라 FFT의 포인트 수는

128개로 하였고 입력 데이터 비트는 10비트로 하였다. FFT 프로세서 설계 방식은 많이 일반화 되어 있는데 그 중 비교적 설계구조가 간단하고 효율성이 좋은 Radix-2 FFT 알고리즘과 Radix-2 SDF(Single Delay Feedback) 파이프라인 구조를 적용하여 설계하였다.

표 1. Multi-Band OFDM의 시스템 파라미터
Table 1. System parameters for Multi-Band OFDM

Parameter	Value
Bandwidth, BW	528MHz
FFT Size	128
Zero Prefix Duration	32 sample(60.61ns)
Guard Interval Duration	5 sample (9.47ns)
Symbol Interval	165 sample (312.5ns)
Subcarrier frequency spacing	4.125MHz(BW/128)
Modulation	QPSK
FEC	Convolutional code

MB-OFDM의 FFT 처리 블록은 OFDM 방식을 적용한 다른 통신 방식들에 비해 넓은 대역폭을 사용하므로 보다 고속의 동작 속도가 요구된다. 고속의 연산 처리 속도를 얻기 위해서 설계된 128-포인트 FFT 프로세서를 하나의 IP 형태로 두고 4개의 FFT를 병렬로 연결하였다. 그리고 연결된 FFT 프로세서들이 거의 동시에 처리될 수 있도록 동작 클록을 90도의 위상 차이를 두어 제어하도록 설계하였다.

II. FFT 알고리즘 및 파이프라인 FFT구조

2.1 FFT 알고리즘

OFDM의 변복조는 다수의 부반송파를 사용하므로 하드웨어적으로 구현하기가 매우 어렵다. 이러한 문제 점은 DFT(Discrete Fourier Transform)의 구현으로 어느 정도 해결될 수 있으나 DFT 또한 연산량이 많아 연산량을 줄일 수 있는 FFT 알고리즘이 주로 이용된다. FFT 알고리즘은 DIT (Decimation in Time) 또는 DIF(Decimation in Frequency)에서 길이가 N인 DFT를 보다 작은 길이의 DFT로 연속해서 분해하여 계산한다. 이렇게 함으로써 DFT의 연산량에서 곱셈을 N^2 번에서 $\log N$ 번 이하로 줄일 수 있게 되는데 대표적으로 사용되는 알고리즘이

Radix-2, Radix-4, Radix-22 등이 있다.

본 논문에서 사용된 Radix-2 DIF FFT 알고리즘에 대해 수식을 정리해 보면 N -point DFT의 식은 식(1)로 정의되고 주파수 영역에서의 $X(k)$ 를 홀수항과 짝수항의 주파수 표본으로 분리하여 전개하면 식(2)와 식(3)으로 표현된다[3].

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{kn} \quad (1)$$

$$X(2r) = \sum_{n=0}^{N/2-1} [x(n) + x(N/2+n)] W_{N/2}^{rn} \quad (2)$$

$$X(2r+1) = \sum_{n=0}^{N/2-1} [x(n) - x(N/2+n)] W_N^n W_{N/2}^n \quad (3)$$

그림 1은 Radix-2 DIF 8-포인트 FFT의 최종 플로우 그레프를 보여주고 있다.

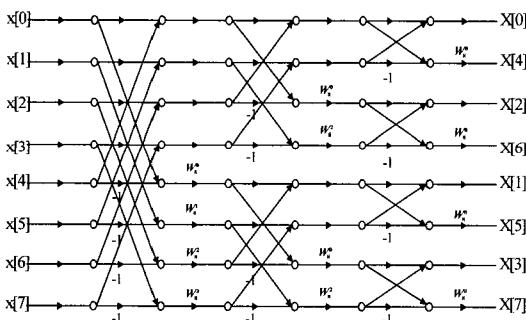


그림 1. 8-포인트 Radix-2 DIF FFT 플로우
Fig. 1 8-point Radix-2 DIF FFT Flow

2.2 파이프라인 FFT 구조

FFT 구조는 크게 완전 병렬 FFT와 파이프라인 FFT가 있다. OFDM 시스템을 구현하기 위해서는 포인트 수가 큰 FFT가 사용되어지므로 하드웨어의 크기가 큰 병렬 FFT 구조는 구현이 어렵고 파이프라인 구조로 FFT를 구현해야 한다. 파이프라인 구조는 하드웨어의 구조가 규칙적이므로 제어가 간단하며 순차적 입력과 순차적 출력을 제공하기 때문에 높은 성능을 요구하는 분야에서 많이 사용되고 있는 구조이다. 파이프라인 FFT는 대표적으로 R2MDC, R4MDC, R4SDF, R22SDF의 5가지 구조가 있는데 본 논문에서는 R2SDF 구조를 적용하여 설계하였다[4],[5].

R2SDF 구조는 하나의 데이터 입력 열을 받아서 피드백 되어지는 구조로, 그림 2에서 8-포인트 R2SDF 구조를 보여주고 있다. 여기에서 사용되는 SDF BF (Butterfly) 구조는 Radix-2 Butterfly와 2개의 Mux로 구성되며, 제어신호가 '0'이 입력되면 BF의 위쪽으로 출력되어 피드백 되어지고 아래쪽은 피드백 되어진 데이터를 출력시킨다. 제어신호가 '1'이면 Butterfly 연산 결과가 위와 아래가 바뀌어 출력된다. 첫 번째 단계에서는 $N/2$ 클록마다 Mux 신호가 스위칭 되고 그 다음 단에서는 $N/4$, 그 다음 단에서는 $N/8$ 과 같은 방식으로 스위칭 된다.

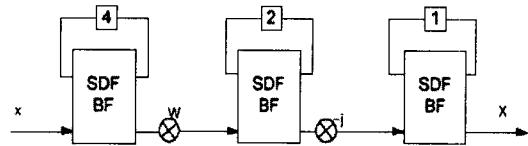


그림 2. 8-포인트 R2SDF FFT 구조
Fig. 2 8-point R2SDF FFT Structure

III. MB-OFDM UWB시스템을 위한 FFT 블록 설계

3.1 128-포인트 FFT 프로세서 설계

본 논문은 여러 파이프라인 구조들 중에 R2-SDF 구조를 적용하여 128-포인트 FFT 프로세서를 설계하였다. 전체적인 구조는 그림 3과 같고 Butterfly 연산 구조는 그림 4에서 보여주고 있다.

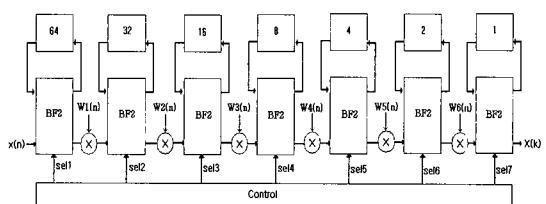


그림 3. 128-포인트 FFT 프로세서 구조
Fig. 3 128-point FFT Processor Structure

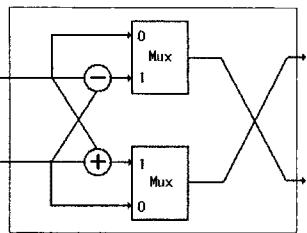


그림 4. Butterfly 구조
Fig. 4 Butterfly Structure

128개의 입력 중 상위 64개의 데이터는 제어신호에 따른 Mux의 컨트롤로 피드백 되어 순서대로 저장된 후 제어신호가 바뀌면 다음 64개의 데이터와 순서대로 Butterfly연산을 하게 된다. Butterfly 연산에 따라 출력된 값은 각 단계의 Twiddle Factor와 곱해져서 다음 단계의 입력으로 들어가고 최종적으로 7단계의 연산을 거쳐 $X(k)$ 의 출력 값을 얻을 수 있다. Butterfly 연산결과와 곱해지는 Twiddle Factor값은 각 단계마다 Lookup Table 형태로 저장이 되어 있다가 제어 신호에 의해서 순차적으로 복소수 곱셈기의 입력으로 들어가게 된다. 또한 각 단계에서 Butterfly의 동작제어와 Twiddle Factor값의 출력을 제어하는 전체적인 제어 모듈의 설계는 7비트 카운터의 출력 값으로 제어하였다. R2SDF구조를 적용하여 설계한 128-포인트 FFT의 전체 입출력 타이밍은 (in_enable)신호에 따라 128개의 입력 값이 순서대로 입력된 후 FFT처리를 하게 되고 하나의 심볼에 대한 처리가 끝나면 (out_enable)신호를 발생하고 계산된 결과 값들이 순서대로 출력되어 진다. 그림 5는 전체 입출력 타이밍을 보여주고 있다[6-8].

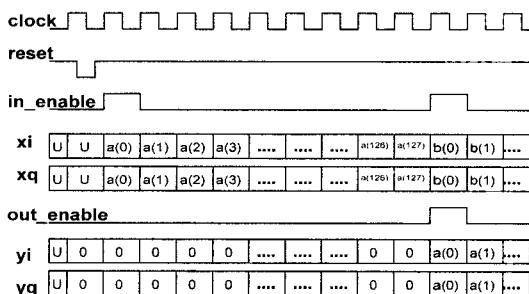


그림 5. 전체 입출력 타이밍도
Fig. 5 Entire Input-Output Timing Diagram

3.2 FFT 병렬 처리 블록의 설계

MB-OFDM에 적용할 FFT 블록은 매우 고속의 동작 속도가 요구된다. 앞 절에서 설계한 128-포인트 FFT 프로세서의 연산처리 속도로는 MB-OFDM에서 요구하는 하나의 심볼 타이밍 구간인 312.5ns를 만족시키기 어렵다. 따라서 128-포인트 FFT를 하나의 IP형태로 두고 4개의 FFT 프로세서를 병렬 연결하여 실질적으로 4배의 동작속도를 얻을 수 있도록 설계하고자 하였다. 또한 4개의 FFT 프로세서를 동시에 처리하기 위해서 한 개의 FFT 프로세서에 사용되는 동작 클록을 90도의 위상 차이를 두어 각 위상차에 의해서 동작 클록을 제어하도록 설계하였다. 병렬처리 블록의 전체적인 구조는 그림 6과 같다.

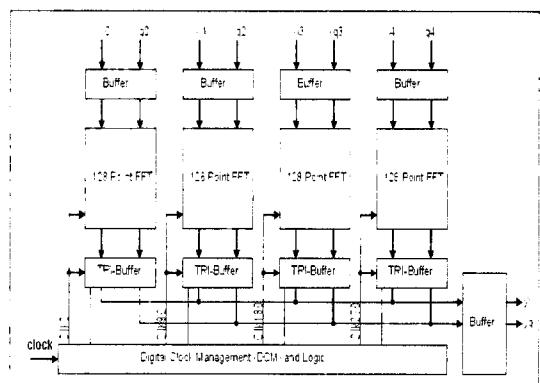


그림 6. 4개의 FFT 프로세서를 이용한 병렬 처리 FFT 블록
Fig. 6 Parallel Processing FFT Block Using 4 FFT Processors

IV. 결과검증

3장에서 MB-OFDM에 적용 가능한 128-포인트 FFT 프로세서를 설계 하였다. 하드웨어는 VHDL로 모델링 하였으며 임의의 128개의 복소수 입력 값을 주어 FFT 함수로 처리된 이론적인 결과 값들과 실제 설계한 FFT프로세서에서 연산된 결과 값들을 비교한 후 일치함을 확인하였다. 설계된 회로의 리소스와 타이밍 정보는 그림 7에서 보여주고 있으며, 시뮬레이션 파형은 그림 8에서 보여주고 있다. Xilinx XC2V1000 FPGA를 모델로 합성한 결과 최대 동작 주파수는 18.7MHz로

나타났다. 이는 FFT 프로세서를 하나의 IP형태로 두고 4개의 FFT 프로세서를 병렬로 연결시켜 실질적으로 74.8MHz의 동작 속도를 얻게 된다. 이렇게 적용된 병렬처리 블록 전체의 시뮬레이션 검증 과정은 그림 9와 같다.

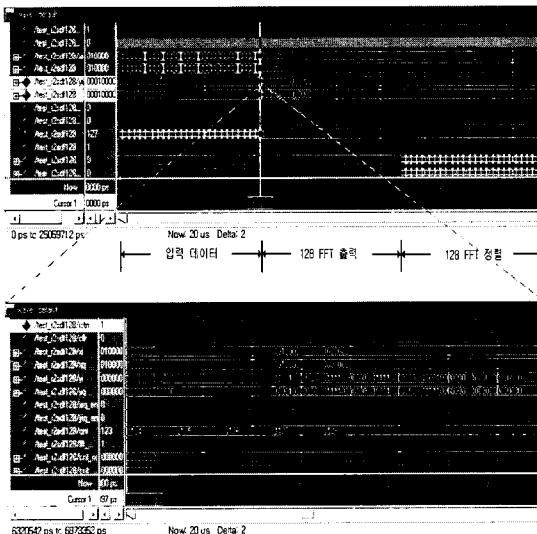
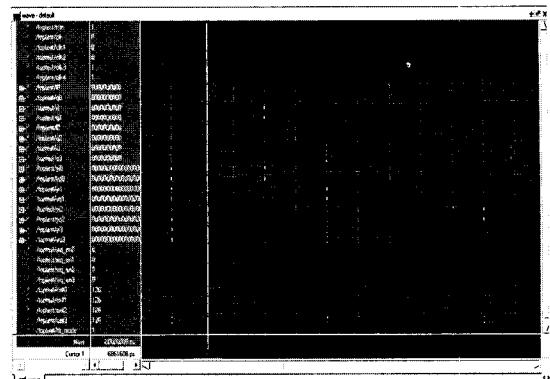
```

D4264 -
D4265 Resource Usage Report for r2sdfl128
D4266
D4267 Mapping to part: xc2v1600bg575-6
D4268 Cell usage:
D4269  I/O
D4270  RAM
D4271  ROM
D4272  MUX/AND
D4273  MUX/NOT
D4274  MUX/NOT
D4275  MUX/NOT
D4276  VCO
D4277  XOSC
D4278  XCOSC
D4279  I/O primitives: 58
D4280  DOUT 23 uses
D4281  DOUT 35 uses
D4282
D4283  BURST 1 uses
D4284
D4285  I/O Register bits: 0
D4286 Register bits not including I/Os: 3982 (3982)
D4287
D4288 RAM/FIFO usage summary
D4289 Global Clock Buffers: 1 of 16 (64)
D4290 Local Clock Buffers: 0
D4291 Block Multipliers: 20 of 40 (50%)
D4292 Global Clock Buffers: 1 of 16 (64)
D4293
D4294 Mapping Summary:
D4295 Total LUTs: 1387 (15%)
D4296 Map successful!

```

그림 7. 합성된 회로의 리소스와 타이밍 정보

Fig. 7 Resources and Timing Information of Synthesized Circuit

그림 8. 128-포인트 FFT Processor의 검증결과
Fig. 8 Verified Results of 128-point FFT Processor그림 9. 병렬처리 FFT 블록의 검증결과
Fig. 9 Verified Results of Parallel Processing FFT Block

V. 결 론

본 논문에서는 MB-OFDM의 물리계층에서 제안하고 있는 128-포인트 FFT 프로세서를 VHDL로 모델링하고 Modelsim을 이용하여 결과를 검증하였으며, Xilinx XC2V1000 FPGA로 구현하였다. 전체 구조는 R2SDF 구조를 적용하여 설계하였고, 설계된 회로의 최대 동작주파수는 18.7MHz로 나타났다. 이 결과는 MB-OFDM에서 요구하는 연산 처리속도를 만족시킬 수 있으며, 따라서 이 문제를 해결하기 위해 4개의 FFT가 병렬로 동작하는 고속의 FFT 블록을 설계하였다. 또한 이러한 병렬 구조에 사용된 4개의 FFT가 동시에 동작할 수 있도록 하기 위해 각 FFT의 기준 클록이 90도 위상 차이가 나도록 설계하였다. 결과적으로 병렬 처리된 FFT 블록은 최대 동작 주파수가 18.7MHz의 4배인 74.8MHz로 동작하는 것을 검증하였으며, 이는 90nm ASIC 공정을 적용하는 경우 MB-OFDM에서 요구하는 심볼 타이밍 구간인 312.5ns를 만족 시킬 것으로 예측된다. 그러나 MB-OFDM의 FFT 블록은 여전히 처리속도의 향상 및 저 전력소모 문제와 같은 해결해야 할 과제가 아직 많이 남아 있다. 향후 새로운 알고리즘의 개발로 좀 더 효율적인 FFT 처리 블록이 구현될 수 있을 것으로 기대된다.

감사의 글

본 연구는 2004년도 목포대학교 교내연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참고 문헌

- [1] R. S. Sherratt, O. Cadenas and S. Makino, "An efficient low power FFT implementation for multiband full-rate ultra-wideband(UWB) receivers," *Consumer Electronics*, June 2005, pp. 209-214.
- [2] A. Batra, J. Balakrishnan, and A. Dabak, "Multi-band OFDM: A new approach for UWB," *Circuits and Systems*, vol. 5, May 2004, pp. 23-26.
- [3] J. W. Cooley and J. W. Tukey, "An algorithm for the machine calculation of complex Fourier series," *Math. Comput.*, vol. 19, no. 5, 1965, pp. 87-109.
- [4] Shousheng He and M. Torkelson, "Design and implementation of a 1024-point pipeline FFT processor," *IEEE Custom Integrated Circuits Conference*, 1998, pp. 131-134.
- [5] E. H. Wold and A. M. Despain, "Pipeline and parallel pipeline FFT processors for VLSI implementation," *IEEE Trans. Comput.*, vol. C-33(5), 1984, pp. 414-426.
- [6] S. Wesinsten and P. Ebert, "Data transmission by frequency division multiplexing using the discrete Fourier transform," *IEEE Trans. Comm. Technology*, vol. Com-19, no. 15, 1971, pp. 628-634.
- [7] Huggett. C, Maharatna. K & Paul. K, "On the Implementation of 128-Pt FFT/IFFT for High-Performance WPAN," *IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS*, Vol. 6, May 2005, pp. 5513-5516.
- [8] 김재석, 조용수, 조중휘, 이동통신용 모뎀의 VLSI 설계, 대영사, 2001, pp. 322-329.

저자소개



이상일(Lee, Sangil)

1991년 8월 고려대학교 전자전산
공학과 (공학사)
1994년 2월 고려대학교 전자공학과
(공학석사)
2002년 8월 위성턴대학교(미) 전기공학과 (공학박사)
1994년 1월 ~ 1997년 9월: (주) 데이콤
2002년 9월 ~ 2003년 8월: (주) 삼성전자 통신연구소
책임연구원
2003년 9월 ~ 2005년 8월: 국립목포대학교 정보공학부
전임강사
2005년 9월 ~ 현재: 국립목포대학교 정보공학부
조교수
※ 관심분야: UWB, 초고속회로설계, 초고주파, RFID,
선박내무선통신



천영일 (Chun, Young-il)

2005년 2월 목포대학교 전자공학과
(공학사)
2007년 2월 목포대학교 전자공학과
(공학석사)
2007년 1월 ~ 현재 : (주) 한국정보공학
※ 관심분야: UWB, OFDM, ASIC