

IEEE 802.11n 무선 LAN 시스템의 시간 동기화 하드웨어 구조

준희원 조 종 민*, 종신회원 김 진 상*, 정희원 조 원 경*

Hardware Architecture of Timing Synchronization for IEEE 802.11n Wireless LAN Systems

Jongmin Cho* *Associate Member*, Jinsang Kim* *Lifelong Member*,
Won-Kyung Cho* *Regular Member*

요 약

본 논문에서는 MIMO-OFDM 기반의 차세대 무선 LAN(Local Area Network) 시스템, IEEE 802.11n 드래프트 표준의 시간 동기화 구조의 알고리즘과 하드웨어 구조를 제안한다. 제안된 시간 동기화 구조는 일반적인 대략추정과 상세추정 과정으로 이루어져 있고 자기 상관기를 이용하여 구현하였고, 대략추정에서는 자기상관함수의 최대치에서 발생하는 평탄면 문제를 해결하기 위해 슬라이딩 윈도우를 사용하였고, 상세추정을 위해서는 긴 훈련 심볼(L-LTS)의 공액복소수 대칭특성을 이용하여 연산구조를 단순화하였다. 또한, 제안된 구조에서는 기존의 시간 동기에서 필요한 상호상관이 쓰이지 않았기 때문에 곱셈 연산량이 감소되며 하드웨어 복잡도를 감소시키기 위해서 복소수 곱셈기를 부호비트만으로 양자화하여 사용하였다. 시뮬레이션 결과에 따라, 제안된 시간 동기화 구조는 기존의 알고리즘보다 시간 동기화 실패 확률이 감소함을 확인하였고, 추후 IEEE 802.11n 표준의 주파수 동기 구조와 쉽게 결합될 수 있다는 장점이 있다.

Key Words : OFDM, MIMO, Timing synchronization, IEEE 802.11n

ABSTRACT

In this paper, we propose a timing synchronization scheme and its hardware architecture of the next generation IEEE 802.11n wireless LAN standard which is based on MIMO-OFDM technique. Proposed timing synchronization method takes two steps which consist of two modified auto-correlators. For coarse timing synchronization, a sliding window differentiator is used after a conventional auto-correlation in order to avoid plateau problem. The conjugate symmetry property of L-LTS is utilized for the simplification of fine timing synchronization. Since cross-correlation based methods are not required, the computational complexity and the number of multipliers can be reduced. In order to reduce the hardware complexity, we have used sign multipliers. Based on simulation results, the proposed method outperforms a conventional method. The proposed scheme can be applied to IEEE 802.11n systems and can easily be expanded to frequency synchronization scheme.

1. 서 론

OFDM (Orthogonal Frequency Division Multiplexing)

은 다중경로 채널 등에 강인한 장점을 가지고 무선 LAN과 같은 다양한 무선 통신시스템에 효과적인 전송 기술이다. 그러나 OFDM은 채널 간 간섭

※ 본 연구는 한국학술진흥재단(KRF-2006-521-D00337), ITRC(IITA-2008-C1090-0801-002)과 IDEC(CAD)의 지원으로 수행되었습니다.

* 경희대학교 전자전파공학과 (jskim27@khu.ac.kr)

논문번호 : KICS2008-02-061, 접수일자 : 2008년 6월 23일, 최종논문접수일자 : 2008년 10월 14일

(ICI)과 심볼 간 간섭 (ISI)을 일으키는 동기화 에러에 민감하다.

대부분의 OFDM 시간 동기화 알고리즘은 자기상관과 상호상관을 기반으로 한다. 자기상관 기반의 알고리즘^{[2], [3]}은 낮은 복잡도를 가지고 있으나, 두 번 이상 반복되는 훈련심볼을 이용할 경우 정확한 심볼 타이밍을 찾을 수 없다. 반대로 상호상관 기반의 알고리즘은 높은 복잡도를 가지고 있으나, 정확한 심볼 타이밍을 추정할 수 있다^{[4],[7]}.

최근에 MIMO-OFDM은 다중경로 채널 하에서 높은 데이터 전송률과 대역폭의 효율적인 사용으로 차세대 통신에 가장 유망한 기술로 각광받고 있지만 MIMO-OFDM 시스템 역시 시간과 주파수 동기화에 민감하다는 단점이 있으며 이를 해결하기 위한 MIMO-OFDM 시스템의 동기화 알고리즘의 연구가 꾸준히 진행되고 있다^[6].

차세대 무선 LAN 표준, IEEE 802.11n은 높은 데이터 전송률을 위해 MIMO-OFDM 시스템을 기반으로 하고 있다. 만약 IEEE 802.11n 표준에 MIMO-OFDM 시간 동기화를 위해 적교성을 갖는 새로운 구조의 프리앰블을 적용할 경우^{[6],[10]} 기존의 무선 LAN 장비들과의 호환성을 제공할 수 없다. 그러므로 IEEE 802.11n 드래프트 표준에서는 기존 장비와의 호환성을 위해 3가지 구조의 프리앰블을 제공하는데 기존 무선랜의 프리앰블과 같은 Non-HT 모드(Legacy 모드), Legacy 프리앰블과 HT(High Throughput) 프리앰블이 결합되어 있는 HT mixed 모드, 높은 데이터 전송률을 위한 HT Greenfield 모드로 구성 되어있다.

본 논문에서 제안된 시간 동기 알고리즘은 자기상관함수의 최대 값에서 평탄면을 제거하기 위한 슬라이딩 윈도우를 이용한 대략추정과 긴 훈련 심볼(Legacy Long Training Symbol)의 공액복소수 대칭 구조를 이용한 상세추정, 두 단계로 구성 되어 있다. 또 효율적인 구현을 위해서 2 개의 수정된 자기상관기(Modified Auto-correlator)를 사용하였다. 제안된 구조는 HT mixed 모드 프리앰블의 cyclic shift에 의해 야기되는 “pseudo multipath” 문제^[4]를 해결할 수 있을 뿐 아니라 동기화 에러 확률 면에서도 기존 알고리즘의 성능을 증가한다. 또한 하드웨어 복잡도 면에서 있어서도, 기존의 상호상관이 아닌 자기상관 기반의 구조를 적용해서 복소수 곱셈기의 수를 64개에서 32개로 감소 시켰고, 더 효율적인 하드웨어 구현을 위하여 복소수 곱셈기를 부호 비트 곱셈기로 구현하였다.

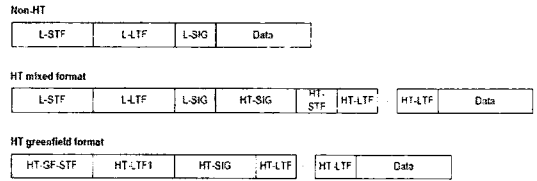


그림 1. PDU IEEE 802.11n 프레임 포맷^[11]

본 논문의 나머지 부분은 다음과 같이 구성 되었다. II장에서는 시스템 모델과 IEEE 802.11n 표준에 대하여 간략하게 소개하고, III장에서는 제안된 알고리즘과 하드웨어 구조에 대해서 설명할 것이다. 시뮬레이션 결과 및 분석과 FPGA 합성결과는 IV장에서 보여질 것이고, V장에서는 결론에 대하여 기술한다.

II. 시스템 모델과 IEEE 802.11n 드래프트 표준

그림 1.은 IEEE 802.11n 표준안의 세 종류의 PDU 프레임 포맷(Legacy 모드, HT mixed 모드, HT Greenfield 모드)이다. HT mixed 모드에서 Non-HT 부분은 PDU 디렉션, 반송파 주파수 옵셋, 시간 동기화 등에 사용되고, HT 부분은 MIMO 채널 추정 등을 위해 사용된다^[11]. IEEE 802.11n 드래프트 표준에서는 서로 다른 안테나에서 같은 신호를 전송했을 때 발생할 수 있는 의도하지 않은 beamforming 효과를 방지하기 위해 cyclic shift를 사용한다. 신호 $s(t)$ 의 T_{CS} 구간 동안 cyclic shift는 식 (1)과 같이 정의된다.

$$S_{CS}(t; T_{CS})|_{T_{CS} < 0} = \begin{cases} s(t - T_{CS}) & 0 < t < T + T_{CS} \\ s(t - T_{CS} - T) & T + T_{CS} < t \leq T \end{cases} \quad (1)$$

여기서 T는 DFT 연산시간, 3.2us로 정의된다^[11]. 만약 IEEE 802.11n 드래프트 표준의 HT mixed 모드의 프리앰블을 상호상관을 이용하여 시간 동기화를 수행할 경우 cyclic shift에 의해 야기되는 시간오차는 “pseudo multipath”로 정의되고 그림 2와 같다^[4]. 안테나 j에서 수신되는 수신신호 $r_j(n)$ 은 식 (2)로 정의된다.

$$r_j(n) = \sum_{i=1}^{N_i} h_{i,j}(n) s_i(n) + n_j(n) \quad (2)$$

여기서 $s_i(n)$ 은 송신 안테나 i에서 전송된 송신신호이고 $h_{i,j}(n)$ 은 송신안테나 i부터 수신안테나 j까지의 경로 이득, $n_j(n)$ 은 평균 0의 백색 가우시안 잡음이다. 본 연구의 시뮬레이션을 위한 다중경로채

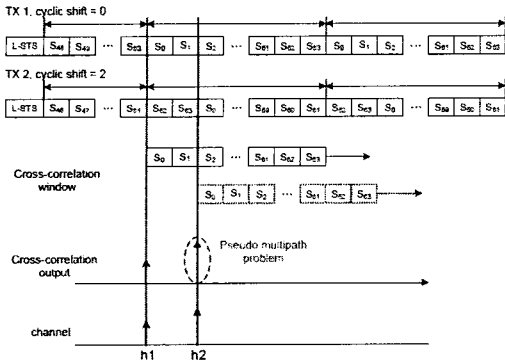


그림 2. The pseudo multipath 오류^[4]

널은 IEEE 802.11n 채널모델^{[8],[9]}을 사용 하였고 구현의 편의성을 위해 송수신 안테나 수는 2개로 하였으나 안테나 수는 쉽게 확장될 수 있다. 본 논문에서는 IEEE 802.11n HT mixed 모드의 짧은 훈련심볼(L-STB)과 긴 훈련심볼(L-LTS)을 사용하여 기존의 알고리즘보다 우수한 성능의 시간동기화 구조를 제안한다. IEEE 802.11n의 다른 두 가지 포맷인 Non-HT 모드(legacy 모드)의 프리앰블을 이용한 시간 동기화는 기존의 방법으로 수행될 수 있고, HT Greenfield 모드의 프리앰블을 이용한 시간 동기화는 추후에 연구할 예정이다.

III. 제안된 시간동기화 기법과 하드웨어 구조

3.1 대략 시간동기화 추정기법

자기상관 기반의 시간 동기화 기법의 문제점은 최대치 지점에서 하나의 최대값을 갖지 않고 평탄면을 가지기 때문에 정확한 심볼의 시작 점을 찾을 수 없다는 것이다. 이 문제를 해결하기 위해서 본 논문에서는 슬라이딩 윈도우를 사용하는 방법^[4]을 사용하였다. 그리고 적절한 하드웨어 구현을 위해 수정된 수식은 식 (5)와 같다. 수신 안테나 j에서의 자기상관 함수의 출력값은 식 (3)과 같다.

$$R^j(n) = \left| \sum_{k=0}^{L_s-1} r(n+k)r^*(n+k-L_s) \right|^2 \quad (3)$$

여기서 L_s 는 짧은 훈련심볼의 주기 16, L 은 16 이고 성능을 향상시키기 위해서 식 (4)와 같이 각 수신 안테나에서의 자기상관 함수의 출력 값은 모두 더해진다. 제안된 대략 시간 동기화 알고리즘은 식 (5)로써 최대값 지점에서 평탄면을 제거하고 최대값을 갖을 수 있고, 식 (6)으로 대략적 심볼 타이밍을 얻을 수 있다.

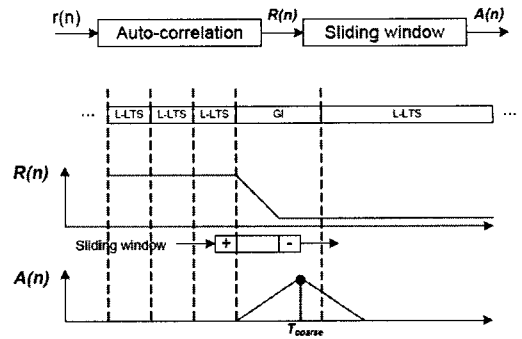


그림 3. 대략 시간 동기 추정

$$R(n) = \sum_{j=0}^M R^j(n) \quad (4)$$

$$A(n) = \sum_{i=0}^{W_s-1} \{R(n-i-16) - R(n-i)\} \quad (5)$$

$$T_{coarse} = \operatorname{argmax}_n \{A(n)\} \quad (6)$$

그림 3에서 보는바와 같이, 대략 시간동기화 추정기는 T_{coarse} 지점에서 피크 값을 갖지만, 낮은 SNR에서는 정확한 심볼 타이밍을 찾기가 어렵다. 그렇기 때문에 대략 시간동기화는 전체 시간동기화 측면에서 연산량 감소와 구현상의 전력소모 감소를 위해 이용된다.

3.2 상세 시간동기화 추정기법

IEEE 802.11n 표준에서는 cyclic shift에 의해 야기되는 여러 개의 최대값 때문에 기존의 상호상관 기법을 사용할 수 없다. 그러므로 기존의 상호상관 함수의 합으로 이루어진 SIR (signal-to-interference-ratio)를 이용한 상세 시간동기 방법이 제안되었다^[4]. SIR 함수는 다음의 식 (7)과 같다.

$$\Omega_c(n) = \frac{\sum_{i=0}^{L_c-1} \lambda_c(n+i)}{\sum_{i=1}^{L_l} i\lambda_c(n-i) + \sum_{i=1}^{L_g} i\lambda_c(n+L_g+i-1)} \quad (7)$$

여기서 λ_c 는 상호상관의 결과값이고 L_g , L_e , L_l 는 각각 보호구간의 길이, 신호 전력 윈도우의 길이, 간섭 전력 윈도우의 길이로 나타내어진다. 식 (7)의 SIR 함수가 cyclic shift에서 야기되는 잘못된 최대값을 제거할 수는 있다고 할지라도, 매 샘플당 Ω_c 의 결과값을 구하기 위해서는 다수의 상호상관 결과 값의 합이 요구된다. 이것은 연산량의 증가를 의미하고 하드웨어로 구현 시에도 복잡도가 크게 증가 할 수 있다.

IEEE 802.16a 시스템의 긴 훈련심볼의 공액복소수 대칭 구조를 이용한 시간동기화 기법이 제안되었다⁵⁾. IEEE 802.11a 시스템의 긴 훈련심볼 역시 공액 복소수 대칭 특성을 갖으나, IEEE 802.11a의 경우는 긴 훈련심볼은 채널 추정에 사용되기 때문에, 긴 훈련심볼 전에 시간동기화가 적절하게 이루어져야 한다. IEEE 802.11n의 경우는 채널 추정이 긴 훈련심볼 뒤에 전송되는 HT 프리앰블에서 채널 추정이 이루어지기 때문에 긴 훈련심볼이 시간 동기화에 이용하는 것에 문제가 없으므로 본 논문에서는 긴 훈련심볼의 공액 복소수 대칭 구조특성을 상세 시간 동기 추정을 위해 사용하였다. 또한 IEEE 802.11n 드래프트 표준의 HT mixed 포맷의 프리앰블을 이용한 시간동기 추정에서도 제안된 상세 시간 동기 추정기법은 1개의 최대값만을 갖기 때문에, cyclic shift에 의해 발생하는 시간동기 오류도 피할 수 있다. cyclic shift 때문에 발생하는 다수의 최대값을 제안된 구조에서 피할 수 있는 이유는 제안된 알고리즘이 자기상관을 기반으로 했기 때문이다. 보호구간을 제외한 128샘플의 긴 훈련심볼의 구조는 [YA(k) YB(k) YA(k) YB(k)]와 같고 이는 식 (8)과 같고, 상세 시간동기 추정은 식 (9)와 같이 이루어 질 수 있다.

$$Y_B(k) = Y_A^*(32-k), \quad k=0,1,\dots,31 \quad (8)$$

$$C(n) = \left| \sum_{k=0}^{N/2-1} r(n+k)r(n-k) \right|^2 \quad (9)$$

상세 시간동기 추정 함수 C(n)은 긴 훈련심볼 구간에서 4개의 최대 값을 갖는다. 이 4개의 최대 값은 첫 번째와 두 번째 긴 훈련심볼의 시작점과 각 긴 훈련심볼의 가운데 지점에서 나타난다. 대략 시간 동기 추정의 결과 값과 상세 시간 동기 추정을 결합하여 식 (10)과 같이 단 1개의 최대값만을 얻을 수 있다.

$$T_{fine} = \operatorname{argmax}_{n \in W_r} \{C(n)\} \quad (10)$$

여기서 W_r 는 대략 시간동기 추정 값으로부터 얻을 수 있는 최대값 지점의 윈도우이고 윈도우 크기는 조절될 수 있다. 실제적으로 안테나 j에서의 수신신호는 식 (2)와 같이 서로 다른 cyclic shift 값을 갖는 송신 신호의 합으로 나타나기 때문에, 상세 시간 동기화의 추정 값은 정확한 긴 훈련심볼의 시작점을 나타내지는 않는다. 그러나 송신신호의 평균값으로 이루어지는 상세 시간 동기함수는 단 1

개의 최대 값을 갖고 수신기에서는 각 송신 안테나에서 얼마만큼 cyclic shift가 이루어졌는지 이미 알고 있기 때문에 정확한 긴 훈련심볼의 시작점을 추정할 수 있다.

하드웨어 구현 측면에서는 긴 훈련심볼을 사용하는 상호 상관 기반의 SIR 기법¹⁴⁾은 64개의 복소수 곱셈기를 필요로 하나 제안된 상세 시간 동기 구조는 단지 32개의 복소수 곱셈기를 필요로 한다. 연산의 복잡도를 감소시키기 위하여, 그림 4의 세밀한 시간 동기화 블록의 enable 신호는 대략 시간 동기추정 블록에서 보내준다. 복잡도의 감소의 이유는 제안된 시간 동기 구조는 대략 시간동기 추정 과정 없이 세밀한 시간 동기 추정만으로도 정확한 시간동기화가 가능하나 수신기에서는 긴 훈련심볼의 시작점을 알 수 없기 때문에, 하나의 C(n)값을 얻기 위해서는 32번의 복소수 곱셈이 필요하게 된다. 대략 시간동기 추정 블록은 단지 덧셈기와 레지스터만 가지고 대략적인 긴 훈련심볼의 시작점을 추정할 수 있기 때문에, 모든 프리앰블 구간에서 상세 시간동기 추정기를 사용하는 것보다 대략 시간동기 추정기를 사용하여 연산량을 줄이는 것이 더욱 효율적이다. 또한 긴 훈련심볼의 공액복소수 대칭구조를 이용한 제안된 상세 시간동기화 기법은 반송파 주파수 오프셋(CFO)에 독립적인 것을 식 (11)를 통해서 알 수 있다. 따라서 CFO를 배제할 수 없는 실제 시스템에서 제안된 시간동기화 기법은 더욱 효율적이다.

$$\begin{aligned} C(n) &= \left| \sum_{k=0}^{N/2-1} r(n+k)r(n-k) \right|^2 \\ &= \left| \sum_{k=0}^{N/2-1} r(n+k)e^{j\frac{2\pi\epsilon(n+k)}{64}} r(n-k)e^{-j\frac{2\pi\epsilon(n-k)}{64}} \right|^2 \\ &= \left| \sum_{k=0}^{N/2-1} r(n+k)r(n-k)e^{-j\frac{2\pi\epsilon 2n}{64}} \right|^2 \\ &= \begin{cases} \sum_{k=0}^{N/2-1} |r(n+k)|^2, & \text{when } r(n+k) = r^*(n-k) \\ 0, & \text{otherwise} \end{cases} \end{aligned} \quad (11)$$

기존의 기법¹⁴⁾과 제안된 상세 시간동기화 추정기법 간의 복잡도 비교는 표 1에서 보여진다. 표 1에서의 연산 복잡도 비교는 기존 기법 식 (7)과 제안된 기법 식 (9)간에 이루어 졌다. 식 (7)에서 각 상호상관 값은 한 번 연산하여 저장하게 되면 다시 연산될 필요가 없기 때문에 각 $\Omega_c(n)$ 을 연산하는데 필요한 상호상관 연산 횟수는 1번으로 설정하였으며 L_e, L_i

는 각각 4로 설정되었다^[4]. 제안된 상세 시간동기화 기법의 연산 복잡도가 기존 기법보다 절반 이상 감소된다는 것을 표 1을 통하여 알 수 있다.

표 1. 기존기법과 제안된 기법의 연산 복잡도 비교

	Conventional			C(n)	Proposed		
	Mul.	Add.	Div.		Mul.	Add.	Div.
$\lambda c(n)$	64	64	-	32	32	-	
$\Omega c(n)$	12	13	1				
total	76	77	1	total	32	32	

3.3 하드웨어 구조

그림 4는 제안된 시간 동기화 전체 블록도이다. 제안된 대략 시간동기 추정기와 상세 시간동기 추정기는 각각 그림 5와 그림 6과 같다. 본 논문에서 제안된 시간 동기 구조는 자기 상관을 기반으로 하기 때문에, 각각 16샘플, 64샘플 지연이 필요한 정수부, 소수부 반송파 주파수 오프셋(CFO) 추정기와 하드웨어를 공유하는 구조로 쉽게 확장이 가능하다.

IEEE 802.11a의 시간동기부의 하드웨어 복잡도를 감소시키기 위해서 곱셈기가 없는 시간동기 구

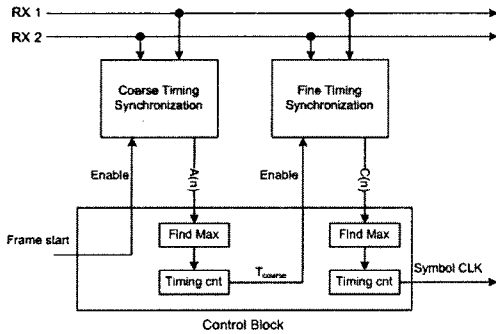


그림 4. 제안된 시간동기화 구조의 전체 블록도

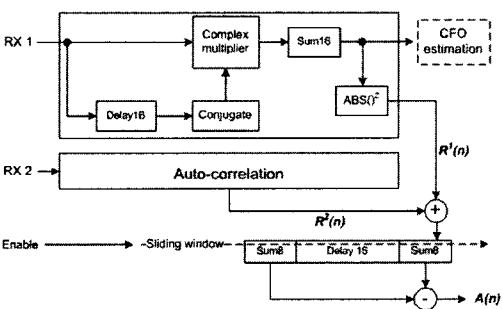


그림 5. 대략 시간동기 추정기의 하드웨어 구조

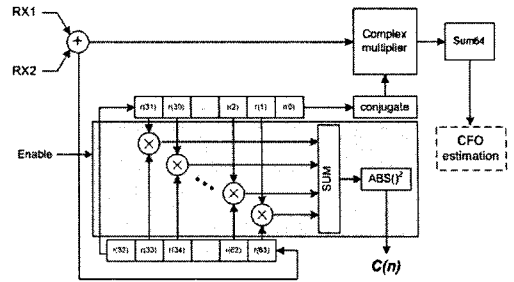


그림 6. 상세 시간동기 추정기의 하드웨어 구조

조가 제안되었고^[11], MIMO-OFDM 기반의 무선 LAN에서는 수신 안테나의 숫자에 따라 수신기의 복잡도가 높아지기 때문에 효율적인 하드웨어 구현이 더욱 중요하다. 제안된 구조에서 기존 방법보다 곱셈기를 감소시켜 32개의 복소수 곱셈기가 필요하지만, 이는 128개의 실수 곱셈기를 의미하고 이 역시 큰 하드웨어 복잡도를 요구하게 된다. 제안된 상세 시간 동기화 구조는 더욱 효율적인 하드웨어 구현을 위하여 상세 시간동기의 복소수 곱셈기를 부호 비트 곱셈기로 구현하였다. 부호 비트 곱셈기의 출력값은 상세 시간 동기, $C(n)$, 추정을 위하여 누적된다. 식 (8)에서 나타나는 공액 복소수 대칭구조를 만족시켜서 최대값을 갖는 지점의 인덱스가 그림 6에서 나타난다.

IV. 시뮬레이션 결과 및 분석

본 논문의 시뮬레이션을 위한 다중경로 채널 모델은 50ns 지연확산을 갖는 전형적인 사무실 환경인 TGn Sync 채널 모델 'D'^{[8],[9]}를 사용하였다. 송수신 안테나 수는 각각 2개로 설정 되었고, cyclic shift는 TX1에서는 0ns, TX2에서는 -200ns로 설정되었다. 그림 7은 제안된 대략, 상세 시간동기 구조가 오직 1개의 최대값을 갖는다는 것을 보여준다. 제안된 구조에서는 64개의 긴 훈련심볼의 공액 복소수 대칭 특성을 이용했기 때문에 짧은 훈련심볼을 사용하는 것보다 상대적으로 큰 최대값을 갖는다.

그림 8에서는 RTL 레벨 시뮬레이션 결과, 각 수신 안테나의 자기 상관 함수 $R(n)$ 과 대략 시간동기함수 $A(n)$, 전 프리앰블 구간의 상세시간동기함수 $C(n)$, 대략 시간동기 추정과 세밀한 시간동기추정이 결합한 제안된 구조의 결과가 마지막에 나타나 있다.

일반적으로 무선랜 시스템은 상세 시간동기화 이전에 짧은 훈련심볼을 이용한 정수부 반송파 주파수

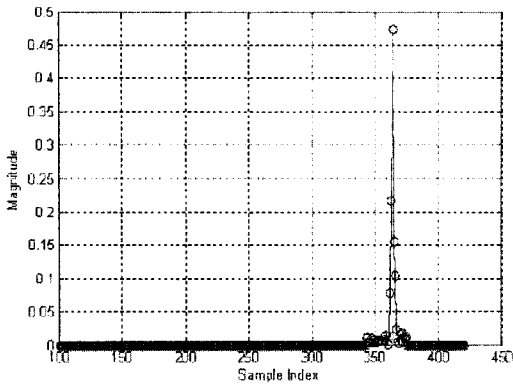


그림 7. 제안된 구조의 시간동기화 결과, SNR 14dB, 채널 모델 'D'

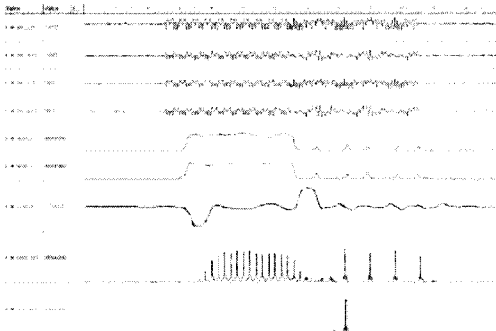


그림 8. 제안된 구조의 RTL 레벨 시뮬레이션, SNR 14dB, 채널모델 'D'

오프셋(Coarse CFO) 추정과 보상이 이루어지고, 시간 동기화 이후에 소수부 반송파 주파수 오프셋(Fine CFO) 추정과 보상이 이루어진다. 따라서 본 논문에서는 CFO의 추정과 보상이 시간동기화에 미치는 영향에 고려하여 시뮬레이션을 진행하였다.

그림 9에서는 짧은 훈련심볼을 이용하여 정수부 CFO 추정과 보상이 이루어진 이후의 시간동기화 실패 확률을 보여준다. 알고리즘 레벨의 성능과 하드웨어 구현 후의 성능을 비교하기 위하여, 부동 소수점 연산과 부호 비트만 사용하여 고정 소수점 연산으로 구현하였을 때의 성능을 각각 표현하였다. CFO는 부반송파 간격으로 정규화 된 CFO로써 0.5일 때, 추정과 보상이 이루어 졌다. 시뮬레이션 결과에서 볼 수 있듯이 제안된 시간동기화 구조의 성능은 기존의 시간 동기화 기법¹⁴⁾을 능가한다. 제안된 구조가 기존의 알고리즘을 능가하는 이유는 기존의 SIR기반의 알고리즘은 많은 상호상관함수의 합으로 나타나기 때문에 SNR값에 더욱 의존적이다.

그림 10에서는 제안된 시간동기화 기법이 CFO

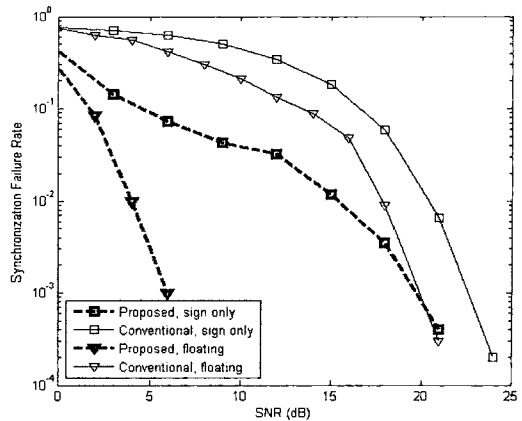


그림 9. 시간 동기화 실패확률, 정수부 CFO 추정 및 보상 있을 시 (CFO=0.5), 채널모델 'D'

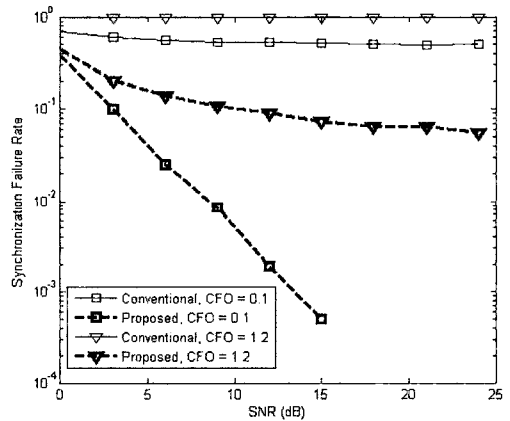


그림 10. 시간동기화 실패확률, 정수부 CFO 추정 및 보상 없을 시, 채널모델 'D'

에 독립적이라는 것을 보여주기 위한 시뮬레이션이다. 짧은 훈련 심볼을 이용한 CFO 추정과 보상이 이루어지지 않고 시간동기화를 진행하였을 때의 시간 동기화 실패 확률이다. 그림 10에서 보는 것과 같이 상호 상관기반의 기존 기법은 CFO=0.1일 때도 동기화 실패 확률이 절반이상 된다. 그러나 제안된 기법은 CFO 추정과 보상이 이루어 졌을 때와 거의 근접한 성능을 보인다. CFO=1.2로써 매우 큰 값일 경우 기존 기법은 시간 동기화가 거의 모두 실패하는데 반하여, 제안된 기법은 10⁻¹ 이하의 실패확률로 어느 정도 적절하게 동작함을 볼 수 있다. 제안된 기법이 큰 CFO 값에서 성능 열화가 발생하는 이유는 부동 소수점 연산이 아닌 부호 비트로만 양자화 된 값이 시간 동기화에 사용되었기 때문이다.

제안된 구조의 FPGA 합성은 Xilinx ISE에서 이

표 2. FPGA 구현 결과

Device	3s1000fg456-4
Number of Slices	1569
Number of Slice Flip Flops	2105
Number of 4 input LUTs	1577
Number of Multipliers	17

루어 졌고 구현은 Xilinx Spartan 3 디바이스를 이용하였다. FPGA 구현 결과는 표 2에서 보여진다. 표 2에서 볼 수 있듯이, 제안된 구조는 단지 자기상관과 절대값 제곱에서 사용된 17개의 실수 곱셈기만이 사용됨을 확인할 수 있다.

V. 결 론

본 논문에서는 MIMO-OFDM 기반의 무선 LAN 표준, IEEE 802.11n에 적용될 수 있는 시간동기 알고리즘과 하드웨어 구조가 제안되었다. 제안된 시간 동기화 추정기법은 IEEE 802.11n의 HT mixed 포맷의 프리앰블을 이용하여 시간 동기화를 수행했을 때 cyclic shift에 의해서 야기되는 부정확한 최대값을 방지 할 수 있고, 시간 동기화 실패확률 측면에서 기존의 성능을 능가한다. 하드웨어 구현 측면에서는 곱셈기를 기존의 64개에서 32개로 줄일 수 있고, 더욱 효율적인 하드웨어 구현을 위해 부호 비트 곱셈기를 사용하였다. 또한 제안된 구조는 자기상관 기반으로 구현되어 반송파 주파수 오프셋 추정기와 하드웨어를 공유하는 구조로 쉽게 확장될 수 있다.

참 고 문 헌

[1] IEEE P802.11n™/D2.0, "Draft STANDARD for Information Technology - Telecommunications and information exchange between systems - Local and metropolitan area networks - Specific requirements. Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Amendment 4: Enhancements for Higher Throughput," Feb. 2007.

[2] T. M. Schmidl and D. C. Cox, "Robust frequency and timing synchronization for OFDM," IEEE Trans. on Comm., Vol.45, No.12, pp.1613-1621, Dec. 1997.

[3] J. J. V. D. Beek, M. Sandell and P. O. Borjesson, "ML estimation of timing and frequency offset in OFDM Systems," IEEE Trans. on Signal Processing, Vol.45, no7, pp.1800-1805, July 1997.

[4] D. Wang and J. Zhang, "Timing Synchronization for MIMO-OFDM WLAN Systems," IEEE WCNC 2007, pp.1178-1183, Mar. 2007.

[5] M. Wu and W.P. Zhu, "A Preamble-Aided Symbol and Frequency Synchronization Scheme for OFDM Systems," IEEE ISCAS 2005, Vol.3, pp. 2627-2630, May 2005.

[6] A. N. Mody and G. L. Stuber, "Synchronization for MIMO OFDM systems," IEEE GLOBECOM 2001, Vol.1, pp.509-513, Nov. 2001.

[7] A. Fort, J. W. Weijers, V. Derudder, W. Eberle, A. Bourdoux, "A performance and complexity comparison of auto-correlation and cross-correlation for OFDM burst synchronization," IEEE ICASSP 2003, Vol.2, pp.II-341-344, April, 2003.

[8] Erceg V. et al., "IEEE 802.11 document 03/940r2," TGN Channel Models, Jan. 2004.

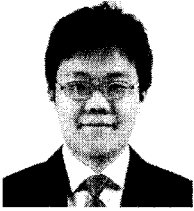
[9] L. Schumacher "WLAN MIMO Channel Matlab program," download information: http://www.info.fundp.ac.be/~lsc/Research/IEEE_80211_HTSG_CMSC/distribution_terms.html

[10] H. C. Wang, C. L. Wang, "A New Joint Time Synchronization and Channel Estimation Scheme for MIMO-OFDM Systems," IEEE GLOBECOM 2006, Nov. 2006.

[11] K. W. Yip, Y. C. Wu and T. S. Ng, "Design of Multiplierless Correlators for Timing Synchronization in IEEE 802.11a Wireless LANs," IEEE Trans. on Consumer Electronics, Vol.29, issue1, pp.107-114, Feb. 2003.

조 종 민 (Jongmin Cho)

준회원



2007년 2월 경희대학교 전자공
학과 졸업

2007년 3월~현재 경희대학교
전자·전파 공학과 석사 과정
<관심분야> 이동통신 SoC 설계

김 진 상 (Jinsang Kim)

종신회원



1985년~1987년 2월 경희대 전
자공학과 학사/석사

2000년 12월 미국 콜로라도 주
립대 전자공학박사

1990년~2001년 KT연구소

2001년~현재 경희대학교 전자
정보학부 부교수

<관심분야> 영상처리 및 이동통신용 SoC 설계

조 원 경 (Won-Kyung Cho)

정회원



1986년 8월 한양대학교 전자공
학과 공학박사

1980년~현재 경희대학교 전자
정보학부 정교수

<관심분야> 컴퓨터시스템 구조,
VLSI 설계