

단위 픽셀 회로의 간소화를 통해서 해상도를 향상시킨 이차원 윤곽 검출용 시각칩

성동규 · 공재성 · 현효영 · 신장규[†]

Vision chip for edge detection with resolution improvement through simplification of unit-pixel circuit

Dong-Kyu Sung, Jae-Sung Kong, Hyo-Young Hyun, and Jang-Kyoo Shin[†]

Abstract

When designing image sensors including a CMOS vision chip for edge detection, resolution is a significant factor to evaluate the performance. It is hard to improve the resolution of a bio-inspired CMOS vision using a resistive network because the vision chip contains many circuits such as a resistive network and several signal processing circuits as well as photocircuits of general image sensors such as CMOS image sensor (CIS). Low resolution restricts the use of the application systems. In this paper, we improve the resolution through layout and circuit optimization. Furthermore, we have designed a printed circuit board using FPGA which controls the vision chip. The vision chip for edge detection has been designed and fabricated by using 0.35 μm double-poly four-metal CMOS technology, and its output characteristics have been investigated.

Key Words : vision chip, edge detection, resolution, FPGA

1. 서 론

영상센서와 영상신호처리 회로를 함께 집적하는 것은 최근 영상 시스템에서 많은 관심을 가지는 분야이다. 이런 영상 시스템에 사용되는 영상정보 중에서 물체의 윤곽정보만을 가지고도 여러 응용 시스템을 구축 할 수 있다^[1,2]. 일반적으로 윤곽정보는 CCD(charge coupled device) 카메라를 이용하여 영상 정보를 얻은 후, 이 영상 정보를 PC(personal computer)를 이용하여 소프트웨어적 라플라시안 필터링과 같은 영상 처리를 수행함으로써 얻을 수 있다. 이와 같은 기존의 시스템에서는 얻어진 영상 정보를 직렬 처리하기 때문에 여러 단계의 신호처리가 필요하여 실시간 정보 처리가 어렵고, 또한 변화하는 환경에 대해서 이 시스템을 적용하기에는 신뢰성의 문제가 있다^[1,3-4].

경북대학교 전자공학과(Department of Electronics, Kyungpook National University)

[†]Corresponding author: jkshin@ee.knu.ac.kr
(Received : August 17, 2007, Accepted : November 23, 2007)

최근 CMOS 기술의 발전으로 인해 영상취득과 신호 처리 기능을 하나의 칩에 집적하는 영상센서의 구현이 가능하게 되었다^[3]. 취득한 영상 정보를 별별 신호 처리하는 인간의 망막 구조의 모방을 통해 영상취득과 신호처리 기능을 하나의 칩에 집적시킴으로서 저 전력 소비 시스템의 구현 및 시스템 규모의 축소 등이 가능하다^[1,3-5].

인간의 망막 구조를 모방한 시각칩을 구현하기 위해서 단위 픽셀내에는 일반적인 CIS 이외에 저항망 및 신호 처리 회로가 추가되어야 하기 때문에 시각칩의 해상도를 향상시키는 것은 매우 어렵다. 해상도를 향상시키기 위해 레이아웃의 최적화, 칩 사이즈의 증가 및 수광부와 윤곽 검출 회로부의 분리 등의 가능성이 언급되었다^[6]. 실제로 참고 문헌[7]에서는 해상도를 향상시키기 위해 윤곽 검출 회로부를 분리한 윤곽 검출용 시각칩이 발표되었다. 이 시각칩의 경우, 윤곽 검출하는 회로부분을 수광부에서 분리하고 일차원으로 열(column)에 평행하게 배치되어 있기에 해상도는 향상되었다. 하지만 칩의 동작 속도 저하 및 데이터 손실이

라는 문제점이 발생하게 되었다. 이런 문제점들은 윤곽 검출 회로를 이차원으로 배열함으로서 개선할 수 있다. 이런 구조로서는 R. Takami 등이 $0.25\text{ }\mu\text{m}$ 표준 CMOS 아날로그 공정을 이용해 $80\times 80\text{ }\mu\text{m}^2$ 크기의 단위 픽셀을 가지는 윤곽 검출용 시각칩을 제작하였다^[8]. 이 시각칩은 단위 픽셀내에 2층 저항망 구조를 사용하고, 많은 커패시터를 필요로 하기 때문에 회로를 간소화 할 필요가 있었다. 이에 1층 저항망 구조 및 옵셋 보상 회로를 적용한 $100\times 100\text{ }\mu\text{m}^2$ 크기의 단위 픽셀을 가지는 시각칩이 제작되었다^[9]. 이 시각칩의 경우 트랜지스터의 문턱 전압 변화에 따른 출력 옵셋을 제거 할 수 있었다. 하지만 최종 출력단 회로의 간소화 및 칩 전체의 레이아웃 최적화를 통해서 시각칩을 구성하는 단위 픽셀의 크기를 더 줄일 수 있을 것으로 예상된다.

이에 본 연구에서는 1층 저항망 구조를 적용한 이차원 윤곽 검출용 시각칩을 제작하였다. 또한 출력단을 구성하는 회로의 간소화 및 레이아웃의 최적화를 통해 $0.35\text{ }\mu\text{m}$ 표준 CMOS 아날로그 공정을 이용해 $70\times 70\text{ }\mu\text{m}^2$ 크기의 단위 픽셀을 가지는 윤곽 검출용 시각칩을 제작하여 해상도를 증가 시켰고, 그 특성을 평가하였다.

2. 이론

2.1. 윤곽 검출 원리

인간의 눈은 여러 가지 세포들로 구성되어 있으며, 물체의 윤곽과 움직임을 검출한다. 인체 망막은 그림 1과 같이 무축삭 세포(amacrine cell), 신경절 세포(ganglion cell), 시세포(rods and cones), 수평 세포(horizontal cell) 및 쌍극 세포(bipolar cell)로 구성되어 있다. 그 중 시세포, 수평 세포 그리고 쌍극 세포가 물체의 윤곽 검출에 관여한다고 알려져 있다^[1,9,10]. 망막은 인간의 시각 신경계에서 초기 신호처리 시스템으로서, 망막의 별린신호처리구조는 실시간 영상신호 처리에 적합하다. 이러한 망막의 구조를 모방함으로서 효율적이고 간결한 시스템을 구축할 수 있고, 영상신호 처리비용을 줄일 수 있다.

인간의 망막에서 윤곽 검출의 원리에 대한 세포들의 응답 특성을 그림 2에 나타내었다. 1차원으로 배열된 세포들의 가운데를 중심으로 하나의 윤곽을 가지는 입력이 존재할 경우, 시세포는 입사된 광신호를 전기적 신호로 변환하고, 수평세포는 인접한 시세포의 영향을 받아 공간적으로 평활화된 신호를 출력한다. 이와같이 입력된 광강도에 대응하는 시세포의 출력과 평활화된 출력은 쌍극세포를 통하여 그 차를 출력한다. 따라서 동일한 입력 광강도 분포에 대해서는 출력의 변화가

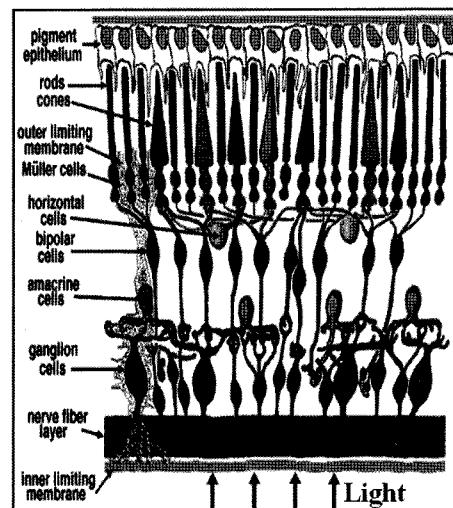


그림 1. 망막의 구조

Fig. 1. Retina structure.

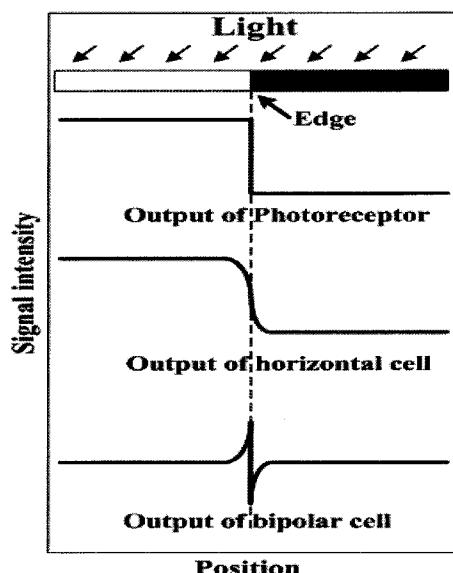


그림 2. 윤곽 검출의 원리

Fig. 2. Principle of edge detection.

없고, 윤곽부분에서만 큰 피크의 출력이 존재하게 된다^[3,9-11,15].

2.2. SCDS(simplified correlated double sampling)의 적용

시각칩 구현을 위해서 생체 망막 내의 시세포, 수평 세포, 쌍극세포의 기능을 CMOS 기술을 이용해 구현 할 수 있다. 하지만 동일하게 제작된 소자일지라도 단위소자의 부정합에 의해 물리적인 특성이 시간에 의존

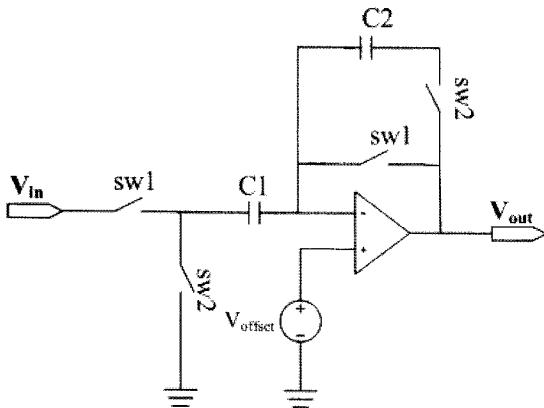


그림 3. 일반적인 CDS 회로
Fig. 3. Conventional CDS circuit.

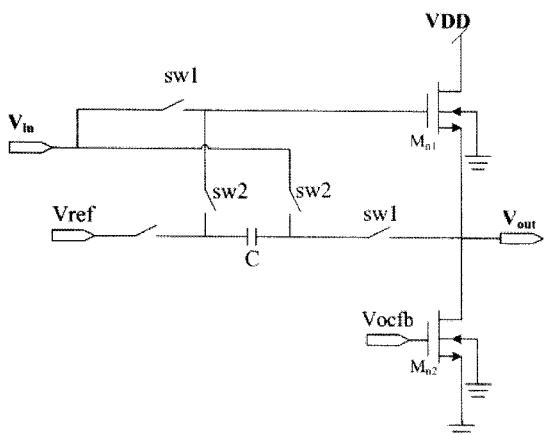


그림 4. 간소화된 correlated-double sampling 회로도
Fig. 4. A schematic of simplified correlated-double sampling.

하지 않는 랜덤한 변화를 일으킨다. 이런 변화에 의한 잡음은 아날로그 신호처리에 있어서 제한적인 요소로 작용하여 시각침의 출력 특성을 나쁘게 하고, 응용시스템의 입력으로 사용될 경우 시스템의 신뢰성을 제한하게 된다^[13].

일반적으로 MOSFET의 부정합에 의한 옵셋을 제거하기 위해서는 2개의 커패시터와 4개의 스위치를 이용한 CDS 회로를 주로 사용한다^[12]. 기존의 CDS 회로를 그림 3에 나타내었다. CDS를 사용할 경우, 2개의 커패시터와 4개의 스위치가 필요하기에 많은 면적을 차지하게 된다. 따라서 좀 더 간단하면서 작은 면적을 차지하고도 충분히 CDS 기술의 특성을 나타내는 회로의 필요성이 대두되었다^[14].

본 연구에서는, S. Kavadias 의해 제안된 SCDS를 적용하여 APS(active pixel sensor)에서 발생되는 고정 패

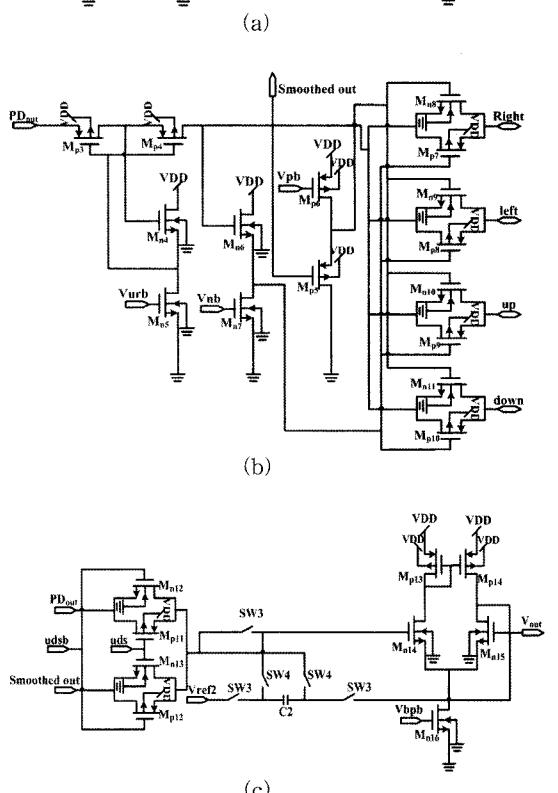
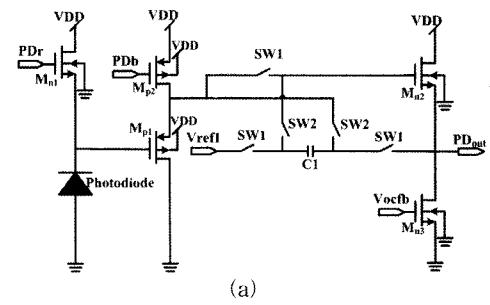


그림 5. 단위 픽셀 회로: (a) 광다이오드와 SCDS, (b) 저항회로망, (c) 최종 출력단
Fig. 5. Unit-pixel circuit: (a) Photodiode and SCDS, (b) Resistive network, (c) Output stage.

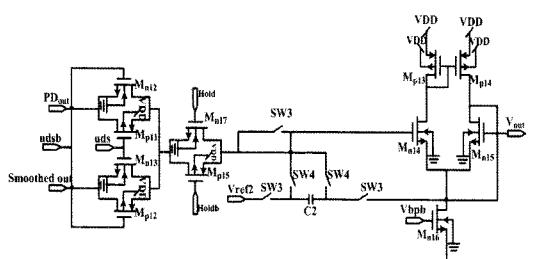
던 잡음(fixed pattern noise; FPN)을 제거하고자 하였다. SCDS의 회로도를 그림 4에 나타내었다. 5개의 스위치, 1개의 커패시터 그리고 1개의 소스 폴로워로 구성된 SCDS는 기존의 CDS 회로에 비해 커패시터의 수를 줄임으로써 단위 픽셀 면적의 감소를 기대 할 수 있다.

3. 시각침의 설계 및 특성평가

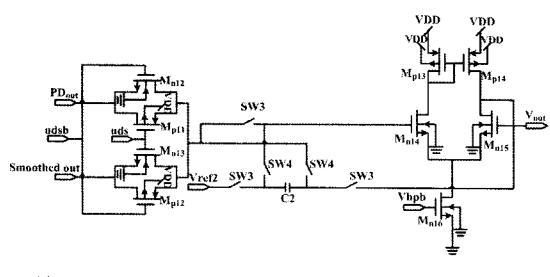
3.1. 단위 픽셀

그림 5은 설계한 윤곽 검출용 시각침의 단위 픽셀

회로를 나타낸다. 그림 5(a)에서 1개의 포토다이오드, M_{n1} (reset transistor), 그리고 M_{p1} , M_{p2} (source follower)는 3-transistor(3-Tr.) APS 구조로서, 인간의 시각 시스템 중에 시세포의 역할을 수행한다. PMOS를 이용해서 소오스 풀로워를 구성함으로 출력 스윙을 크게 할 수 있다. 이는 NMOS를 이용한 소오스 풀로워 경우에는 출력 스윙의 최대값이 인가된 전원 전압에서 문턱 전압을 2번 뺀 값으로 제한되는데 반해, PMOS를 이용한 경우는 전원 전압에서 M_{n1} 의 문턱 전압을 빼고 M_{p1} 의



(a)



(b)

그림 6. 출력단의 시뮬레이션 결과: (a) 트랜스퍼 게이트를 가지는 경우의 출력단, (b) 트랜스퍼 게이트를 가지지 않는 경우의 출력단

Fig. 6. Simulation results of output stage: (a) Output stage with transfer gate, (b) Output stage without transfer gate.

문턱 전압을 더하기 때문에 출력 스윙의 최대값이 커지게 된다. 그리고 수광 회로내에 있는 트랜지스터의 부정합으로 인해 발생되는 FPN을 개선하기 위해 SCDS를 적용하였다. 그림 5(b)는 APS의 출력을 인접한 픽셀과 연계하여 공간적으로 평활 하는 저항 회로망을 나타내고 있다. 이는 인간의 시각 시스템 중에 수평 세포의 역할을 수행한다. 그림 5(c)는 APS의 출력과 저항망을 거친 평활 된 출력의 차를 이용해 윤곽 신호를 출력하는 최종 출력단 회로이다. 이는 인간의 시각 시스템 중에 쌍극 세포의 역할을 수행한다. 이때 최종 출력단 회로는 SCDS를 응용함으로서, 출력단을 구성하는 트랜지스터의 FPN을 개선하도록 하였다.

참고문헌 [6]에서 설계된 단위 픽셀내의 최종 출력 단을 구성하는 회로 중 NMOS와 PMOS로 구성된 트랜스퍼 게이트가 존재했다. 그림 6은 트랜스퍼 게이트가 있는 경우와 없는 경우의 1×20 어레이의 시뮬레이션 결과를 나타낸다. 시뮬레이션 결과를 통해 보면 윤곽 영상을 획득하는데 있어서는 트랜스퍼 게이트가 무의미하다는 판단을 하게 된다. 또한 그림 7에서 보듯이 윤곽 영상을 얻기 위한 제어신호 중 헤드 신호가 high로 고정되어 있어 트랜스퍼 게이트는 항상 ON 상태에서 동작하게 되고, 이는 윤곽 영상을 얻는 데는 의미가 없었다. 이에 트랜스퍼 게이트를 제거함으로써 PMOS를 위한 n-well의 면적과 7,200개의 MOSFET을 줄일 수 있었다. 이로 인해 단위 픽셀 크기를 감소시킬 수 있었고, 해상도를 증가시켰다.

윤곽 검출용 시각칩은 IDEC(IC Design Education Center)을 통하여 매그나칩/하이닉스의 0.35 μm double-poly four-metal 표준 CMOS 공정을 이용하여 제작되었다. 그림 8은 제작된 칩의 단위 픽셀 및 칩 전체의 레이아웃이다. 칩의 중앙은 단위픽셀이 정방향으로 배열되어 있고 좌측은 행 디코더가 아래쪽은 열 디코더가 배치되었고, 수광부는 3-Tr. APS 구조를 이용하였

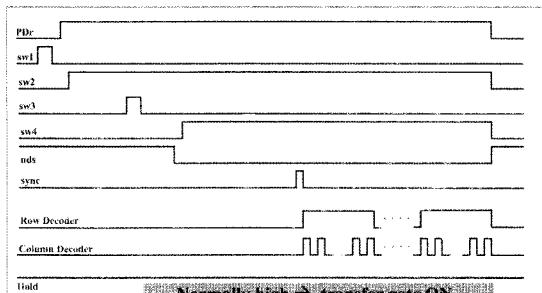


그림 7. 트랜스퍼 게이트를 가지는 경우의 제어 신호 흐름
도

Fig. 7. Control signal flow with transfer gate.

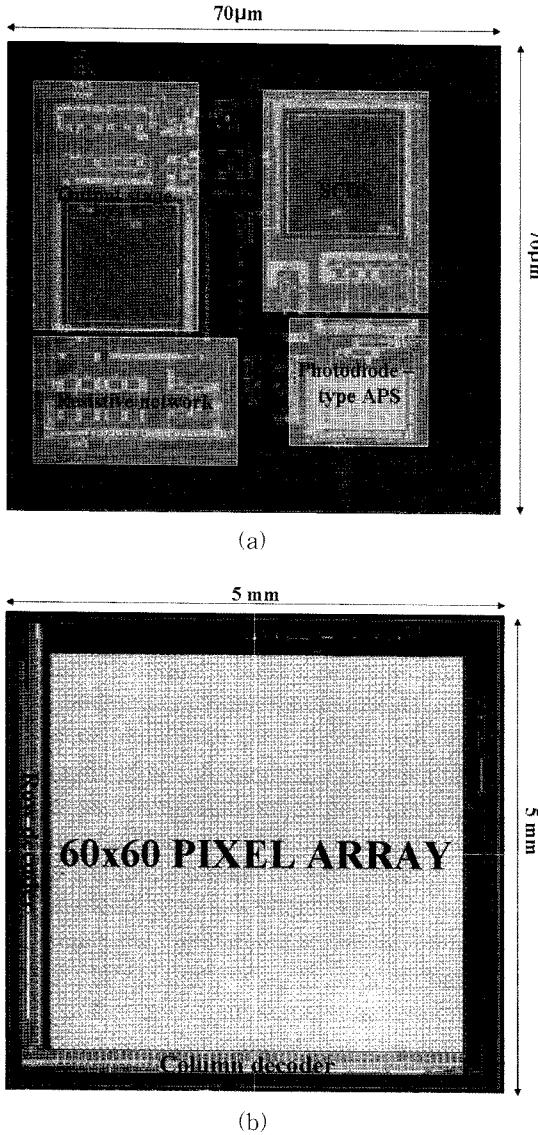


그림 8. 시각칩 레이아웃: (a) 단위 픽셀 레이아웃, (b) 전체 칩 레이아웃
Fig. 8. Vision chip layout: (a) Unit-pixel layout, (b) Whole chip layout.

다. 데이터 전송에 관여하는 메탈길이의 최소화를 위해 소자배치 및 레이아웃을 고려했고, 그 결과 단위픽셀의 크기를 줄일 수 있었다. 전체 칩 면적은 $5 \times 5 \text{ mm}^2$ 이고, 단위 픽셀의 크기는 $70 \times 70 \mu\text{m}^2$ 으로 기존에 제작된 시각칩 면적[6]의 절반 이상으로 줄일 수 있었다. 또한 R. Takami 등은 2층 저항망구조와 CDS를 적용한 회로를 이용해 $0.25 \mu\text{m}$ 표준 CMOS 아날로그 공정을 이용해 $80 \times 80 \mu\text{m}^2$ 의 단위픽셀 크기를 가지는 시각칩을 제

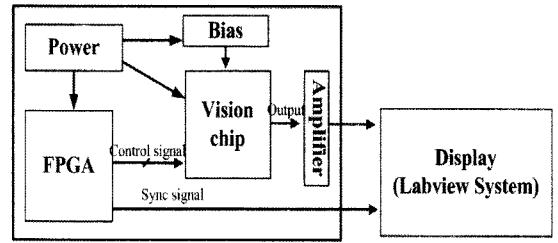


그림 9. 측정 시스템의 블록 다이아그램
Fig. 9. Block diagram of measurement system.

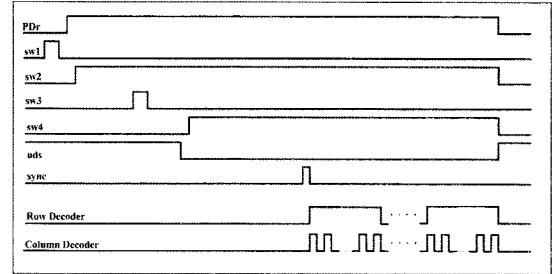


그림 10. 제어 신호 흐름도
Fig. 10. Control signal flow.

작^[8]한것에 비해 본 연구에서는 1층 저항망구조와 SCDS를 적용한 회로를 이용해 $0.35 \mu\text{m}$ 표준 CMOS 아날로그 공정을 이용해 $70 \times 70 \mu\text{m}^2$ 의 단위픽셀 크기를 가지는 시각칩을 설계 및 제작하였다. 각각의 단위 픽셀은 열 디코더와 행 디코더를 이용해 선택되어지고, 신호를 최종 출력하게 된다.

3.2. 윤곽검출 시각칩의 측정 시스템

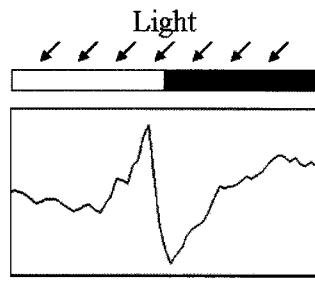
제작된 시각칩의 출력 신호를 측정하기 위해 그림 9과 같이 PCB(printed circuit board)를 구성하였다. PCB는 시각칩, 시각칩의 제어신호를 생성하는 FPGA, 시각칩의 바이어스 전압 조절부, 영상신호를 증폭하는 증폭단, 그리고 영상을 획득하기 위해 외부의 영상출력 시스템과의 연결부 등으로 구성되어져 있다. FPGA에서 생성되는 시각칩 제어신호 및 영상획득을 위한 동기신호는 Quartus 소프트웨어를 이용하여 시뮬레이션 및 검증을 하였다. 그림 10은 시각칩 제어 타이밍도와 동기신호를 나타낸다. 측정하고자 하는 이미지에 광원을 이용해서 빛을 조사시킨후 시각칩을 이용해서 이미지를 측정하고, 영상출력 시스템을 이용해서 실시간으로 화면에 출력 신호 및 영상을 나타내었다.

3.3. 윤곽검출 출력특성

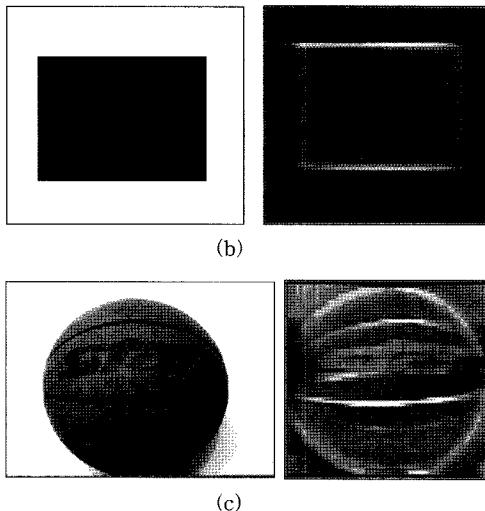
칩으로부터 나온 아날로그 전압을 이용해 윤곽 출력

표 1. 제작된 시각칩의 특성**Table 1.** Chip specification.

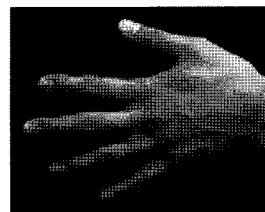
사용된 공정	0.35 μm double-poly four-metal 표준 CMOS공정
칩 크기	5 \times 5 [mm^2]
해상도	60 \times 60 [pixels]
단위 픽셀회로크기	70 \times 70 [μm^2]
전력 소모	0.53 [W]
최대출력크기	160 [mV]
잡음	24.7 [mV]



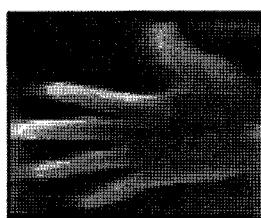
(a)

**그림 11.** 윤곽 검출 결과: (a) 단일 윤곽 패턴의 일차원 출력, (b) 직사각 패턴의 이차원 출력, (c) 농구공에 대한 이차원 출력**Fig. 11.** Results of edge detection: (a) 1-dimensional result with a simple edge pattern, (b) 2-dimensional result with a rectangular pattern, (c) 2-dimensional result with a basketball.

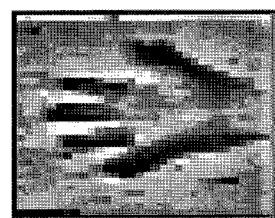
특성을 평가하였으며, 그 출력 특성을 표 1에 나타내었다. 단위 픽셀의 크기를 참고 문헌[6]에 제시된 100 \times 100 μm^2 에 비해 절반이상으로 줄임으로서 해상도를 향상 시켰다. 단위 픽셀내의 많은 전류길로 인해 전력소



(a)



(b)



(c)

그림 12. 윤곽 검출 결과: (a) 입력 영상, (b) 60 \times 60 시각 칩으로 측정한 손에 대한 이차원 출력, (c) 32 \times 32 시각 칩으로 측정한 손에 대한 이차원 출력**Fig. 12.** Results of edge detection: (a) Input image, (b) 2-dimensional result with a hand by 60 \times 60 vision chip, (c) 2-dimensional result with a hand by 32 \times 32 vision chip.

기가 발생하게 된다. 최대출력크기에 대한 잡음은 표준 CMOS공정을 이용하여 시각칩을 구현하였기에 크게 나왔다고 판단되며, 이는 CIS 전용 공정을 사용함으로서 개선되어 질 수 있다고 생각된다. 밝은 빛이 입사할 수록 낮은 아날로그 전압이 출력될 것이고, 현 시스템에서는 낮은 전압은 흰색, 높은 전압은 검은색으로 표시하여 확인하였다. 하지만 밝은 빛이 입사했을 경우, 출력 특성이 검은색으로 나타나는 것은 SCDS에 의해 출력 신호가 반전되기 때문이다. 한 프레임을 읽는 시간은 약 95 ms였고, 광 집적 시간은 약 60 ms였다. 칩을 구동하기 위한 메인클럭은 1 MHz를 사용하였고, FPGA를 이용해 칩을 제어하기 때문에 기존의 시스템에 비해 측정 조건들을 쉽게 변증시킬 수 있었다. 그림 11(a)에서는 가운데를 중심으로 하나의 윤곽을 가지는 입력이 존재할 경우의 출력을 일차원적으로 나타낸 결과이다. 잡음으로 인해 동일 광감도 분포부분에서 전압 크기가 일정하게 나타나지 않지만 예상된 윤곽 신호를 얻을 수 있었다. 그림 11(b)는 직사각형의 입력 패턴과 그에 대한 이차원 출력 결과를 나타내고 있다. 여기서는 논문[7]에서 나타나는 윤곽 정보의 손실 없음을 확인 할 수 있다. 그림 11(c)는 농구공을 탁자위에 놓고, 칩의 윤곽 검출 특성을 조사한 것이다. 윤곽선이 두꺼운 부분에서만 윤곽 검출이 확인 되었고, 이는 해상도

의 향상을 통해 얇은 윤곽선 부분의 윤곽도 표현되어 질 것이라 생각된다.

그림 12(a)는 측정을 위한 입력 영상을 나타낸다. 그럼 12(b)는 본 논문에서 제시한 시각칩으로 측정한 손에 대한 이차원 출력 결과를 나타내고, 그림 12(c)는 참고 문헌[6]에서 제작된 시각칩으로 측정한 손에 대한 이차원 출력 결과를 나타낸다. 본 논문에서는 칩 사이즈 증가와 레이아웃 및 단위 픽셀 내 회로의 최적화를 통해 해상도를 향상시킬 수 있었다. 참고 문헌[6]에서 제작된 시각칩은 32×32 의 해상도를 가지고 있고, 본 논문에서 제시한 시각칩은 60×60 의 해상도를 가지고 있다. 측정된 영상 결과를 보면 참고 문헌[6]에 비해 본 논문에서 해상도가 향상되었다는 것을 확인할 수 있다. 또한 측정 결과를 통해 본 논문에서 제시한 윤곽 검출용 시각칩은 인체 망막의 윤곽 검출 메커니즘에 부합하는 예상된 윤곽 정보를 얻을 수 있었다.

4. 결 론

생체망막의 윤곽 검출 메커니즘에 관여하는 시세포, 수평세포, 쌍극세포의 기능을 전자회로로 모델링하여 시각칩을 설계 및 제작하였다. 광신호를 전기적 신호로 변환하기 위해 APS를 사용하였고, APS에서 발생할 수 있는 FPN을 감소시키기 위해 SCDS를 적용하였다. APS의 출력을 인접한 픽셀과 연계하여 공간적으로 평활하기 위해 MOSFET 저항을 이용해 저항망을 구현하였다. 마지막으로 APS의 출력과 저항망을 거친 평활된 출력의 차를 구하기 위해 SCDS를 응용한 차동 증폭 회로를 구현하였다. 또한 최종 출력단 회로를 간소화하고, 레이아웃의 최적화를 통해서 단위픽셀 크기를 줄일 수 있었다. 본 연구에서는 $0.35 \mu\text{m}$ double-poly four-metal 표준 CMOS공정을 이용하여 60×60 해상도를 가지는 시각칩을 설계 및 제작하였다. 시각칩의 제어를 위한 FPGA, 시각칩의 바이어스 전압 조절부 등으로 구성된 PCB를 이용해 시각칩의 윤곽 검출 성능을 평가 하였으며, 윤곽이 존재하는 부분에 출력 전압 피크가 나타남을 확인하였다.

제안된 시각칩은 $70 \times 70 \mu\text{m}^2$ 의 단위픽셀 크기를 가지며 이를 통해 전체 칩의 해상도를 증가시켰다. 본 연구에서 제작된 단위픽셀 크기로는 $10 \times 10 \text{ mm}^2$ 의 칩 사이즈에 128×128 이상의 해상도를 가지는 시각칩을 구현할 수 있을 것이다. 아울러 더 넓은 범위의 응용시스템 제작 및 응용 시스템의 입력단에서 하드웨어적인 윤곽 검출을 통한 전체 시스템의 속도와 성능향상 및 보다 저렴한 비용의 다양한 시스템 설계가 가능할 것

으로 기대된다.

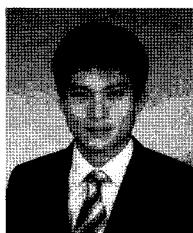
감사의 글

본 연구는 뇌과학연구센터의 뇌신경정보학연구사업비 및 BK21의 지원에 의해서 수행되었음.

참고 문헌

- [1] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [2] Z. Jia, A. Balasuriya, and S. Challa, “Recent developments in vision based target tracking for autonomous vehicles navigation”, *Intelligent Transportation Systems, 2006 IEEE, Proceedings*, 2006.
- [3] Alireza Moini, *Vision Chips or Seeing Silicon*, CHiPTec, 1997.
- [4] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, “CMOS active pixel image sensors for highly integrated imaging systems”, *IEEE J. Solid-State Circuits*, vol. 32, pp. 187-197, Feb. 1997.
- [5] C. Y. Wu and C. F. Chiou, “A new structure of the 2-D silicon retina”, *IEEE J. Solid-State Circuits*, vol. 30, pp. 890-897, 1995.
- [6] S. H. Suh, J. H. Kim, J. S. Kong, and J. K. Shin, “Vision chip for edge detection with a function of pixel FPN reduction”, *J. Korean Sensors Society*, vol. 14, no. 3, pp. 191-197, 2005.
- [7] J. S. Kong, S. H. Suh, S. H. Kim, J. K. Shin, and M. H. Lee, “Resolution improvement of a CMOS vision chip for edge detection by separating photo-sensing and edge detection circuits”, *J. Korean Sensors Society*, vol. 15, no. 2, pp. 112-119, 2006.
- [8] R. Takami, K. Shimonomura, S. Kameda, and T. Yagi, “An image pre-processing system employing neuromorphic 100×100 pixel silicon retina [robot vision applications]”, *Circuits and Systems, ISCAS 2005. IEEE International Symposium, vol. 3*, pp. 2771-2774, 23-26 May 2005.
- [9] H. Yamada, T. Miyashita, M. Ohtani, K. Nishio, H. Yonezu, and Y. Furukawa, “An integrated circuit for two-dimensional edge-detection with local adaptation based on retinal networks”, *OPTICAL REVIEW*, vol. 9, no. 1, pp. 1-8, 2002.
- [10] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, and J. K. Shin, “A novel retina chip with simple wiring for edge extraction”, *IEEE Photonics Technology Letters*, vol. 10, no. 2, pp. 261-263, 1998.

- [11] J. H. Kim, J. H. Park, J. K. Shin, M. H. Lee, “Analysis of local light adaptation mechanism in a biologically motivated CMOS vision chip for edge detection”, *IEEE Int. Conf. Neural Networks and Signal Processing*, vol 1, pp. 275-278, 2003
- [12] R. C. Yen and P. R. Gray, “A MOS switched-capacitor instrumentation amplifier”, *IEEE J. Solid-State Circuits*, vol. 17, no. 6, pp. 1008-1013, 1982.
- [13] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, “Matching properties of MOS transistors”, *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, 1989.
- [14] S. Kavadias “Offset-free column readout circuit for CMOS image sensors”, *Electronics Letters*, vol. 35, no. 24, pp. 2112-2113, 1999.
- [15] D. S. Park, K. M. Kim, S. K. Lee, H. S. Kim, J. H. Kim, M. H. Lee, and J. K. shin, “Design and fabrication of 32×32 foveated CMOS retina chip for edge detection with local-light adaptation”, *J. Korean Sensors Society*, vol. 11, pp. 84-92, 2002.



성동규

- 2005년 8월 경북대학교 전자전기공학부 졸업(공학사)
- 현재 경북대학교 전자공학과 석사과정
- 주관심분야 : 비전 센서, 응용시스템



현효영

- 2007년 2월 경북대학교 생물산업기계공학과 졸업(공학사)
- 현재 경북대학교 센서 및 디스플레이공학과 석사과정
- 주관심분야 : 비전 센서, 응용시스템

공재성

- 센서학회지 제14권 제6호 p.69 사진참조
- 2002년 2월 경북대학교 전자전기공학부 졸업(공학사)
- 2005년 2월 경북대학교 전자공학과 졸업(공학석사)
- 현재 경북대학교 전자공학과 박사과정
- 주관심분야 : 비전 센서, 아날로그-디지털 혼성 회로 설계, 신경망

신장규

- 센서학회지 제14권 제6호 p.69 사진참조
- 1978년 2월 서울대학교 전자공학과 졸업(공학사)
- 1980년 2월 KAIST 전자공학과 졸업(공학석사)
- 1991년 5월 미국 클로라도 주립대학교 전자공학과 졸업(공학박사)
- 현재 경북대학교 전자전기컴퓨터학부 교수
- 주관심분야 : 이미지 및 바이오 센서