

# PCI Express 시스템의 전기 파라미터 측정

Electrical Budgets Measurements in PCI Express System

권원옥 (W.O. Kwon)

서버플랫폼연구팀 연구원

김성운 (S.W. Kim)

서버플랫폼연구팀 팀장

## 목 차

- .....
- I . 서론
  - II . PCI Express 전기 규격 및 특징
  - III . PCI Express 시스템 파라미터 측정
  - IV . 결론

PCI Express는 고속 차동신호를 사용한 점대점(point-to-point) 프로토콜로 신호무결성(signal-integrity) 측정을 위해 기존의 병렬버스신호와 다른 파라미터(parameter)들이 사용되고 있다. PCI Express 시스템에서 중요한 전기 파라미터는 loss와 jitter이며 eye diagram을 통해서 분석이 가능하다. 본 고는 PCI Express 송수신 버퍼의 전기 규격과 애드인카드(add-in card) 시스템의 전기적 여유(budgets)의 의미와 분석을 다룬다. 또한 실제적인 PCI Express 시스템에서 전기 파라미터들을 측정하고 분석, 디버깅의 방법을 다룬다.

## I. 서론

지난 20년간 사용되어온 PCI나 PCI-X 같은 병렬버스 I/O는 다중 공유(multi-shared)의 버스 구조로 여러 가지 물리적인 한계에 봉착해 있다. 병렬 버스 I/O는 구조적 문제로 한 번에 단 두 개의 디바이스만이 서로 통신이 가능하며 다중 분기(multi-drop)로 인한 스텐브(stub) 발생과 많은 버스 신호로 인한 신호 무결성 문제, 라우팅의 복잡성 문제, 파워 문제 등이 있다. 이러한 병렬 버스의 문제는 점대점(point-to-point) 방식의 고속 차동신호로 해결 가능하게 되었다. 병렬버스 PCI를 대체할 점대점 방식의 PCI Express가 바로 그것이다.

PCI Express는 인텔이 3 GIO(The 3rd Generation I/O)의 명칭으로 개발하였고 2002년 PCI-SIG에서 규격화되었으며 2005년 현재 PCI Express Base Specification Revision 1.1이 발표되었다. PCI Express 프로토콜은 클록이 임베디드된 2.5Gbit/s 속도의 LVDS 신호를 사용한다. 링크 당 1x, 2x, 4x, 8x, 12x, 16x, 32x의 다중 레인을 지원하여 자유롭게 대역폭을 조절할 수 있다.

PCI Express 1x 대역폭은 8b/10b 인코딩의 리턴턴시와 양방향을 고려하면 500Mbytes/s가 유효 대역이 된다. x16 링크에서는 8Gbytes/s의 대역이 실현된다. 현재 데스크톱 PC에서 주류인 32bit/33MHz PCI의 데이터 전송 레이트는 133Mbytes/s임을 고려할 때 큰 대역폭을 실현하고 있다.

PCI Express 송수신은 사이드밴드(side-band) 신호가 없이 직렬 차동신호만 사용되어 병렬신호보다 신호 수가 현격히 줄어들었다. 신호의 감소는 디바이스 핀의 감소와 보드 라우팅을 줄여주었다. 커넥터의 폼팩터(form factor)가 줄어서 PCB 면적도 줄어든다. 노이즈에 강한 LVDS 신호를 사용함으로써 저전력으로 더 멀리 신호를 전송하게 되었다.

그러나 인터페이스 신호가 고속 직렬화됨에 따라서 새롭게 신호무결성(signal integrity)에 대한 검증이 필요하게 되었다. PCI Express는 칩의 송수신

버퍼의 전기적 규격은 물론 시스템에 대한 전기규격을 제시하고 있다. 전기 규격에서 가장 중요한 파라미터는 손실(loss), 지터(jitter), eye diagram, cross-talk 등이다. 이들 파라미터는 서로 밀접한 연관성을 지니며 고속 직렬신호에 대한 무결성을 검증하는 중요한 파라미터들이다.

본고는 PCI Express 송수신 버퍼의 AC, DC 규격을 살펴본 후 PCI Express 시스템과 애드인카드(add-in card)에 대한 jitter budgets, loss budgets 과 eye diagram 규격을 분석한다. 이를 기반으로 실제 PCI Express 시스템과 애드인카드의 신호 측정과 분석을 시행한다.

## II. PCI Express 전기 규격 및 특징

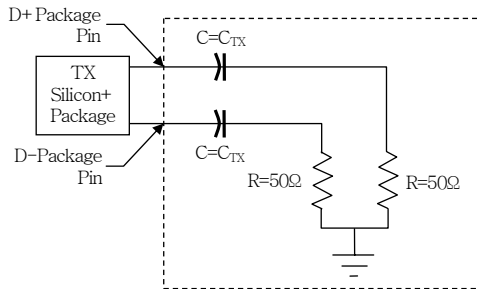
### 1. 송수신 버퍼 전기 규격

#### 가. 송수신 버퍼 전기 파라미터 측정방법

(그림 1)은 PCI Express 송수신버퍼의 AC 타이밍과 전압 파라미터를 측정하는 모습이다. 송신 패키지 핀에서 0.2인치 이내에서 (그림 1)과 같은 R, C 연결 부하에서 측정해야 된다. 이 때 AC 커플링 커패시터(coupling capacitor),  $C_{TX}$ 는 75~200nF 값을 사용한다. 수신 버퍼의 파라미터 측정시 수신단 패키지 핀에서 측정하며  $C_{TX}$ 는 사용하지 않고 50Ω 저항으로 정합(termination)한다.

#### ● 용어해설 ●

**지터(Jitter):** 일반적으로 반복적인 신호의 주파수 패턴에서 원치 않는 신호의 변위를 뜻한다. 직관적으로 생각하면 지터는 신호의 기준지점에서 얼마나 일찍 혹은 늦게 신호가 도달하는지를 뜻한다. 지터는 신호가 변화하는 지점에서 중요한 의미를 가지며 고속직렬링크 통신에서 신호무결성을 판단하는 중요한 요소이다.



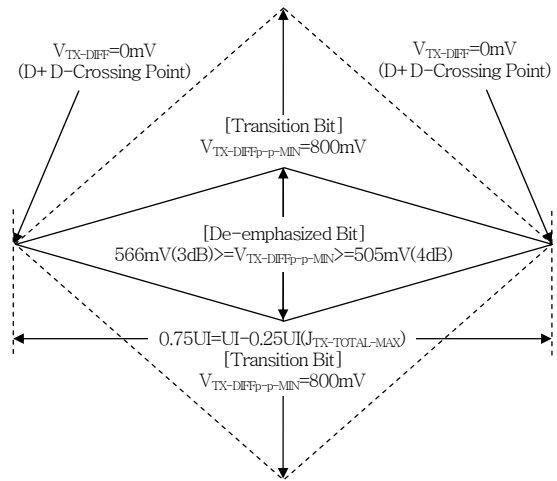
(그림 1) Compliance 테스트 및 측정 부하[1]

나. TX Electrical Budgets

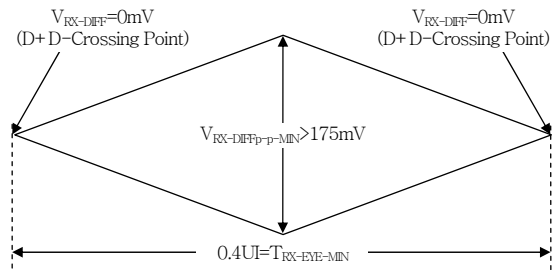
(그림 2)는 PCI Express 송신버퍼의 compliance eye diagram을 나타내고 있다. 트랜지션 비트의 최소 eye opening height는 800mV이며, 3~4dB de-emphasized 비트의 eye opening height는 566~505mV이다. 또한 최대 jitter budgets는 0.25 UI이다.

<표 1>은 송신버퍼의 중요 파라미터 값을 나타내고 있다. Peak-to-peak 차동전압은 800~1200 mV 범위이며 최대 허용지터,  $J_T$ 는 0.25UI로 100 ps이다. 그 외 de-emphasis 전압 규격, AC 커플링 커패시터 규격 등이 있다.

(그림 3)은 수신단의 eye diagram을 나타내고



(그림 2) Minimum TX Timing and Voltage Output Compliance Specifications[1]



(그림 3) Min RX Eye Timing and Voltage Compliance Specification[1]

<표 1> PCI Express 송신버퍼 전기 규격[2]

Symbol	Max	Min	Units	Notes
UI	400.12	399.88	ps	400ps nominal
$T_{TX-EYE}$		0.75	UI	MAX eye width $J_T=1-T_{TX-EYE}$
$J_T$	0.25		UI	Maximum jitter
$T_{TX-RISE}$ $T_{TX-FALL}$		0.125	UI	Rise and fall time 20~80% voltage point at differential signal
$V_{TX-DIFFP-P}$	1200	800	mV	Peak-to-peak differential voltage
$V_{TX-DIFFP}$	600	400	mV	Half of $V_{TX-DIFFP-P}$
$V_{TX-DC-CM}$	3.6	0	V	DC common mode voltage
$V_{TX-DEE-DIFFP-P}$	566	505	mV	MIN differential peak-to-peak voltages for de-emphasized bits
$V_{TX-IDLE-DIFFP}$	20	0	mV	Peak differential voltage under electrical idle state of link
$RL_{TX-DIFF}$			10dB	Differential return loss
$Z_{TX-DIFF-DC}$	120	80	Ω	Transmitter differential mode low impedance. Typical value is 100ohms
$C_{TX}$	200	75	nF	AC coupling capacitor at transmitter
$L_{TX-SKEW}$	1.3		ns	MAX lane-to-lane skew at transmitter between any two lanes

〈표 2〉 수신 버퍼 전기 규격[2]

Symbol	Max	Min	Units	Notes
UI	400.12	399.88	ps	UI=400ps nominal
$T_{RX-EYE}$		0.4	UI	MIN eye width $J_T=1-T_{RX-EYE}$
$J_T$	0.6		UI	Maximum jitter
$V_{RX-DIFFp-p}$	1200	175	mV	Peak-to-peak differential voltage sensitivity of receiver
$V_{RX-DIFFp}$	600	88	mV	Half of $V_{RX-DIFFp-p}$
$V_{RX-IDLE-DET-DIFFp-p}$	175	65	mV	Electrical idle detect threshold voltage
$RL_{RX-DIFF}$		10	dB	Differential return loss
$Z_{RX-DIFF-DC}$	120	80	$\Omega$	Receiver DC differential mode impedance. Typical value is 100ohms
$L_{RX-SKEW}$	20		ns	Lane-to-lane skew that a receiver must be able to compensate

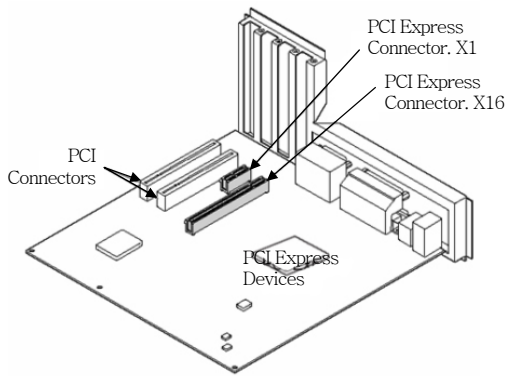
있다. 수신단의 최소 eye opening은 0.4UI이며 eye opening height는 175mV 이상이어야 한다.

〈표 2〉는 수신버퍼의 중요 파라미터 값을 나타내고 있다. 수신버퍼의 최소 수신전압은 175mV 이며 최대 허용 지터 값은 0.6UI이다.

## 2. PCI Express 시스템

### 가. PCI Express 시스템 토폴로지

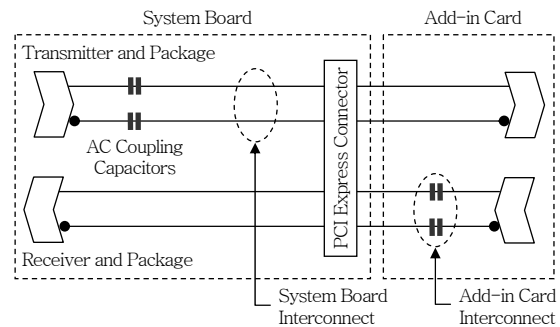
PCI Express 시스템 토폴로지는 커넥터 없는 온보드(on-board)형과 (그림 4)와 같이 시스템-애드인카드 구조를 가진 커넥터 연결형으로 나눌 수 있다. 커넥터 연결형은 riser 카드 형태까지 포함할 수 있다.



(그림 4) 시스템보드-애드인카드 구조[1]

### 나. 링크 정의

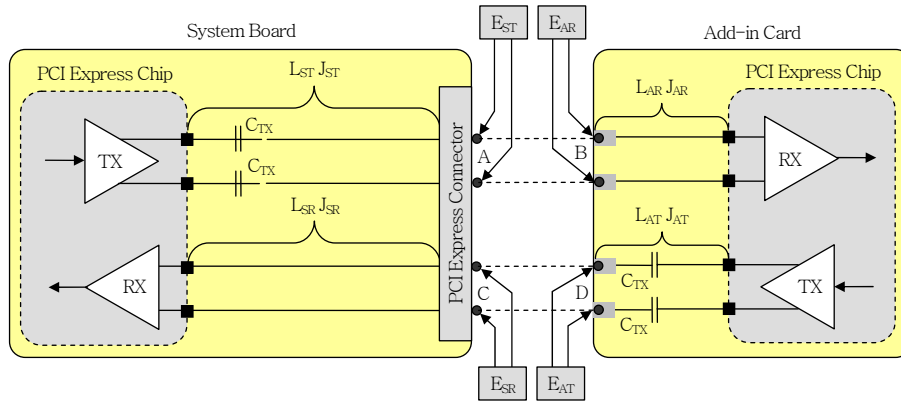
PCI Express 시스템의 링크(link)는 (그림 5)와 같이 크게 시스템보드와 애드인카드로 나뉜다. 시스템보드는 ASCI의 송수신단, 패키지, AC 커플링 커패시터, PCB 상의 coupled microstrip 혹은 stripline, via, 커넥터, riser 카드 인터페이스 등으로 구성되어 있다. 애드인카드는 coupled microstrip 혹은 stripline과 via, AC 커플링 커패시터, ASIC 송수신단으로 구성되어 있다.



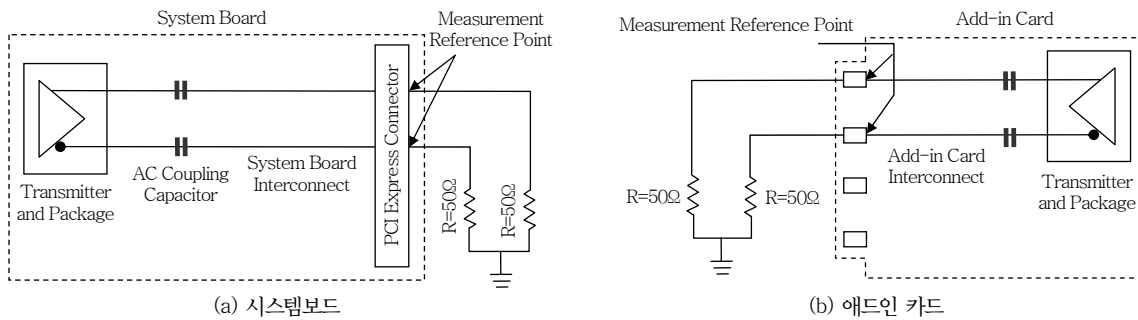
(그림 5) 두 컴포넌트 간의 링크 정의[1]

### 다. 시스템 Budget 측정

(그림 6)은 PCI Express 애드인카드 시스템에서 각종 전기규격을 측정하는 지점을 나타내고 있다. 시스템 budget에서 loss, jitter 값은 가장 중요한 파라미터이며 eye diagram을 통해서 종합적인 신호



(그림 6) Electrical Budget 측정지점(Loss, Jitter, Eye Diagram)



(그림 7) 커넥터 인터페이스 시스템의 터미네이션 방법[1]

무결성 분석을 할 수 있다. 그림에서 L은 loss를, J는 지터를 뜻하며 S는 시스템, A는 애드인카드, T는 송신, R은 수신을 각각 뜻한다.

전기규격은 시스템 budget 측정과 애드인카드 budget 측정으로 나뉜다. 시스템 budget을 구할 때는 PCI Express 커넥터 다음 단, 즉 애드인카드가 꽂히는 지점에서 (그림 7a)와 같이 100Ω 차동저항을 터미네이션 시킨 후 각 파라미터를 측정한다. 애드인카드의 전기 budget을 구할 때는 (그림 7b)와 같이 PCI Express 애드인카드 에지핑거에 100Ω 차동저항을 터미네이션 시킨 후 각 파라미터를 측정한다. 이 때 시스템 보드의 트레이스(trace) 길이는 12인치 이하, 애드인카드의 트레이스 길이는 4인치 이하로 설계해야 된다.

### 3. Electrical Budgets

PCI Express 시스템의 전기 budget은 다음과

같은 다양한 파라미터들이 있으며 시스템카드 budget과 애드인카드 budget이 구분되어 있다.

- AC coupling capacitors
- Insertion loss
- Jitter
- Lane-to-lane skew
- Crosstalk
- Equalization

본 고는 이들 중 가장 중요한 파라미터인 loss와 jitter에 대해서 살펴본 후 이를 기반으로 eye diagram 분석을 다룬다.

#### 가. Insertion Loss

PCI Express 시스템의 loss 값은 시스템보드와 애드인카드의 최대 손실 값을 dB로 나타낸다. ASIC 패키지의 송수신단에서의 전압 대 차동 100Ω 터미

〈표 3〉 애드인카드와 시스템보드의 Loss Budget[1]

Loss Parameter	Loss Budget Value at 1.25GHz(dB)
Total Loss	$L_T < 13.2$
Guard Band	1.25
PCI Express Add-in Card	$L_{AR} < 2.65$ $L_{AT} < 3.84$
System Board and Connector	$L_{ST} < 9.30$ $L_{SR} < 8.11$

네이션된 PCI Express 커넥터 단에서의 전압비를 insertion loss라 부르며 〈표 3〉과 같은 유효 범위 안에 있어야 한다.

애드인카드 budget은 AC 커플링 커패시터의 감소를 고려하며 애드인카드의 에지핑거(edge finger)나 커넥터를 포함하지 않는 값이다. 〈표 3〉의 애드인카드 loss budget은 최대 4인치 차동신호 길이에 5mil 폭의 트레이스를 기준으로 작성되었다. 시스템보드 budget은 PCI Express 커넥터의 감소를 포함하고 있으며 송신부의 AC 커플링 커패시터의 감소를 고려하고 있다.

시스템의 total loss( $L_T$ )는 〈표 1〉과 〈표 2〉에서 최소 송신 차동 peak-to-peak 전압(800mV)과 최소 수신 차동 peak-to-peak 전압(175mV)을 사용하여 식 (1)과 같이 구할 수 있다.

$$L_T = 20 \log \frac{V_{TX-DIFFp-p}}{V_{RX-DIFFp-p}} = 13.2dB \quad (1)$$

〈표 3〉에서 정리된 PCI Express loss budget 값은 모든 가능한 crosstalk(near-end and far-end)과 커넥터 단의 임피던스 부정합 등을 고려한 값으로 전체 인터커넥션 손실을 1.25GHz(non de-emphasized)의 신호에서 최대 11.95dB로 규정하며 이는 시스템 최대 loss budget 13.2dB에서 가드밴드(guard band) 1.25dB를 뺀 값이다. 가드밴드는 애드인카드가 시스템에 꽂히면서 발생하는 임피던스 부정합 등의 요인에 의한 손실을 고려한 마진이다.

#### 나. Jitter Values

〈표 4〉는 PCI Express 시스템의 지터 budget을 나타내고 있다. 송신부(Tx), 기준클럭(ref clock),

〈표 4〉 PCI Express 시스템의 Jitter Budget[1]

Jitter	Min Rj(ps)	Max Dj(ps)	Tj at BER $10^{-12}$ (ps)
Tx	2.8	60.6	100
Rx	2.8	120.6	160
Media	0	90	90
Ref Clock	4.7	41.9	108
Linear Total Tj			458
Root Sum Square Total Tj			399.13

인터커넥션(media), 수신부(Rx)의 최소 랜덤(random) 지터(Rj)와 최대 디터미니틱(deterministic) 지터(Dj),  $10^{-12}$  BER에서 total jitter를 각각 나타내고 있다.

〈표 5〉는 인터커넥션 지터 budget을 나타낸다. 지터 값은 UI(2.5Gbps에서 1UI=400ps)의 %로 나타낸다. PCI Express 규격에서 허용하는 최대 인터커넥션 지터 budget은 0.225UI(90ps)이며 가드밴드는 없다. Attenuation, crosstalk, mismatch로 인한 모든 지터는 허용도 안에 위치해야 된다. 최대 total jitter,  $J_T$ 는 (2)와 같이 나타낼 수 있다.

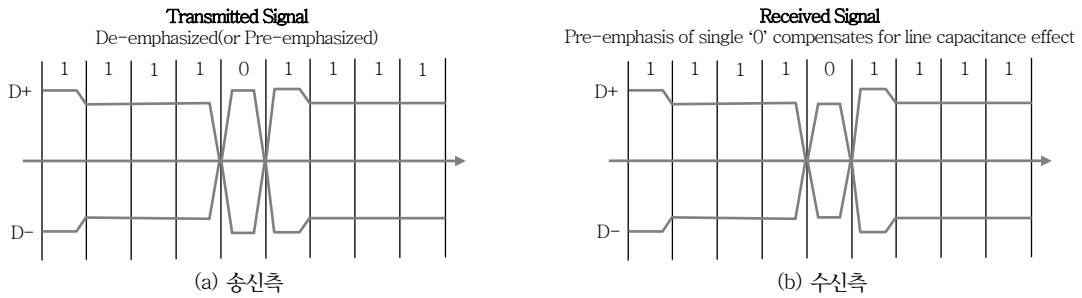
$$\begin{aligned} J_{T-MAX} &= 0.225UI = \text{MAX}(J_{ST} + J_{AR}) \\ &= \text{MAX}(J_{AT} + J_{SR}) \end{aligned} \quad (2)$$

〈표 5〉 Interconnection Jitter Budget[1]

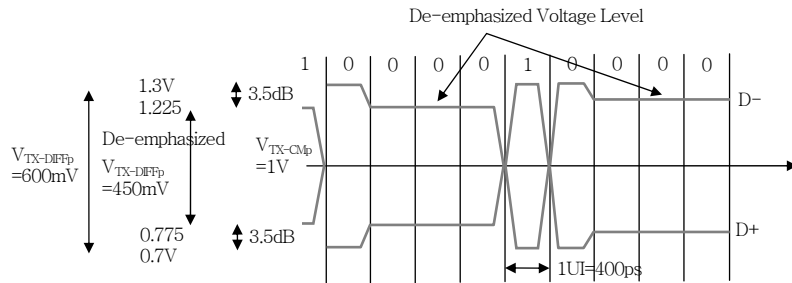
Jitter Parameter	MAX Jitter Budget(UI)
Total Jitter	$J_T < 0.225(90ps)$
PCI Express Add-in Card	$J_{AR} < 0.0575$ $J_{AT} < 0.0650$
System Board and Connector	$J_{ST} < 0.1675$ $J_{SR} < 0.1600$

#### 다. Equalization(De-emphasis)

비트의 전송 속도가 증가하면서 UI는 감소한다. 2.5Gbit/s 전송 속도의 UI는 400ps로 아주 작다. 따라서 링크의 커패시터 효과가 크게 나타난다. 라인 커패시터는 패드( $C_{PAD}$ )와 인터커넥션( $C_{interconnect}$ )과 AC 커플링 커패시터( $C_{TX}$ )의 합으로 표현되며 이러한 커패시터에 의해 쉽게 빨리 다른 비트로 천이되지 않는다. 이런 효과를 ISI라 하며, ISI 효과를 줄이



(그림 8) Pre-emphasis 효과



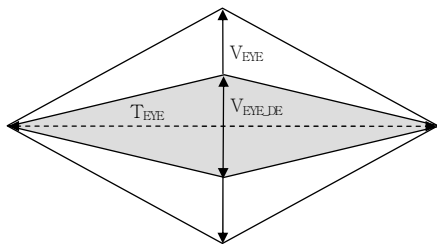
(그림 9) PCI Express De-emphasis

기 위해서 (그림 8)과 같이 트랜지션 첫 비트를 다른 비트보다 더 크게 전송하면(pre-emphasis) 수신단에서 ISI 영향을 제거할 수 있다.

PCI Express 전송단은 ISI를 줄이기 위해 전송 신호의 첫 비트를 3.5dB(+/-0.5dB) 낮게 de-emphasis 하여 (그림 9)와 같이 전송한다. 이는 시스템 전체의 BER 감소 효과를 가져다 준다.

라. Eye Diagram

(그림 10)은 eye diagram의 파라미터를 나타내고 있다.  $V_{EYE}$ 는 eye opening height를,  $V_{EYE,DE}$ 는



(그림 10) Eye Diagram의 파라미터

de-emphasized된 eye opening height를,  $T_{EYE}$ 는 eye opening time을 각각 나타낸다. 이러한 파라미터들은 (그림 6)의 A, B, C, D 각 지점에서 측정되며 <표 6>, <표 7>과 같은 규격을 만족해야 한다.

<표 6> 애드인카드 TX, RX Eye Diagram 규격[1]

TX Parameter	Value	RX Parameter	Value
$V_{TXA}$	$\geq 514mV$	$V_{RXA}$	238mV
$V_{TXA,d}$	$\geq 360mV$	$V_{RXA,d}$	219mV
$T_{TXA}$	$\geq 274ps$	$T_{RXA}$	233ps
$J_{TXA-MID-to-MAX-JITTER}$	$\leq 63ps$	$J_{RXA-MID-to-MAX-JITTER}$	83.5ps

주) Jitter 값은 BER  $10^{-12}$ 을 기준

<표 7> 시스템보드 TX, RX Eye Diagram 규격[1]

TX Parameter	Value	RX Parameter	Value
$V_{TXS}$	$\geq 274mV$	$V_{RXS}$	445mV
$V_{TXS,d}$	$\geq 253mV$	$V_{RXS,d}$	312mV
$T_{TXS}$	$\geq 233ps$	$T_{RXS}$	274ps
$J_{TXS-MID-to-MAX-JITTER}$	$\leq 83.5ps$	$J_{RXS-MID-to-MAX-JITTER}$	63ps

주) Jitter 값은 BER  $10^{-12}$ 을 기준

1) 애드인카드 송신 파라미터 계산법

애드인카드의 최소  $V_{TXA}$  값은 <표 3>의  $L_{AT}$  값을 이용하여 (3)과 같이 풀 수 있다.

$$L_{AT-MAX} = 20 \log \frac{800mV}{V_{TXA-MIN}} = 3.84dB \quad (3)$$

$$V_{TXA-MIN} = 514mV$$

이때 최소  $V_{TXA-d}$ 는  $V_{TXA-MIN}$  보다 3dB 적은 360mV이다.

애드인카드 송신단 eye opening time,  $T_{TXA}$  최소 값은 (4)와 같이 구할 수 있다.

$$T_{TXA-MIN} = 1UI - J_{TX-MAX} - J_{AT-MAX} \quad (4)$$

$$= 1 - 0.25 - 0.065 = 0.685UI = 274ps$$

따라서 최대 median-to-max jitter outlier는

$$J_{TXA-MID-to-MAX-JITTER} = \frac{1UI - T_{TXA-MIN}}{2} = 63ps \quad (5)$$

와 같이 표현된다.

2) 시스템보드 송신 파라미터 계산법

시스템보드 송신 최대 전송 손실  $L_{ST-MAX}$ 는 9.3

dB이므로 최소  $V_{TXS}$ 는 (6)과 같이 풀 수 있다.

$$L_{ST-MAX} = 20 \log \frac{800mV}{V_{TXS-MIN}} = 9.3dB \quad (6)$$

$$V_{TXA-MIN} = 274mV$$

최소  $V_{TXS-d}$ 는  $V_{TXS-MIN}$  보다 0.66dB 작은 253mV이다.

시스템보드 송신단 eye opening time  $T_{TXS}$ 의 경우 (7)과 같이 구할 수 있다.

$$T_{TXS-MIN} = 1UI - J_{TX-MAX} - J_{ST-MAX} \quad (7)$$

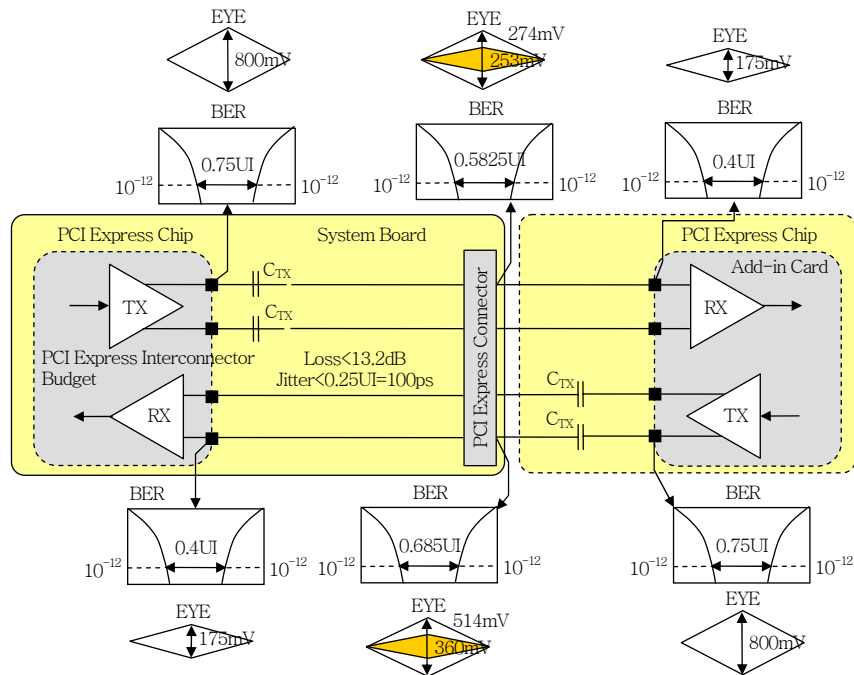
$$= 1 - 0.25 - 0.1675 = 0.5825UI = 233ps$$

따라서 최대 median-to-max jitter outlier는 (8)과 같다.

$$J_{TXS-MID-to-MAX-JITTER} = \frac{1UI - T_{TXS-MIN}}{2} = 83.5ps \quad (8)$$

3) 수신 파라미터 계산법

시스템보드의 수신 파라미터는 애드인카드 송신 파라미터와 밀접한 관련성이 있다. Eye opening 전압은 시스템보드의 경우 가드밴드 손실 1.25dB를



(그림 11) PCI Express 시스템의 Eye Diagram 규격[3]



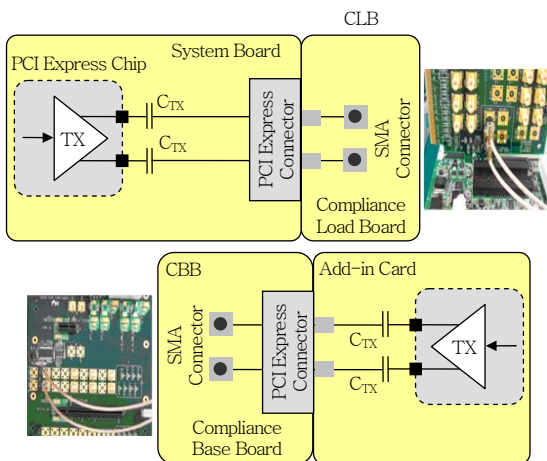
포함하기 때문에 애드인카드 eye opening 전압에서 1.25dB 낮은 값을 취한다. 지터의 경우 가드밴드가 존재하지 않으므로 시스템보드의 최대 값과 동일하다.

마찬가지로 애드인카드의 송신 파라미터는 시스템보드의 수신 파라미터와 관련성이 있으며 eye opening 전압의 경우 1.25dB 감쇄가 있으며, 지터의 경우 동일한 값을 가진다.

(그림 11)은 PCI Express 시스템의 위치에 따른 eye diagram 규격을 나타내고 있다.

### III. PCI Express 시스템 파라미터 측정

III장에서는 II장에서 살펴본 PCI Express 시스템 파라미터를 측정을 통하여 분석한다. (그림 12)는 PCI Express 시스템의 전기규격 측정 방법[4]을 나타내고 있다. 시스템보드 커넥터 단의 신호 분석을 위해서 사진과 같은 CLB를 메인보드에 꽂고 시스템의 송신 신호를 SMA 커넥터 단에서 뽑아 오실로스코프를 통해서 측정한다. 애드인카드의 신호 분석은 CBB라 불리는 애드인카드 신호 측정을 위한 더미(dummy) 시스템 보드에 SMA 커넥터를 통해 오실로스코프로 신호를 측정한다[5].



(그림 12) CLB와 CBB를 사용한 시스템 및 애드인카드의 신호 무결성 테스트

<표 8>은 신호 측정을 위한 테스트 환경을 정리하였다. 실험에 사용된 시스템보드는 Intel PCI Express 서버 보드를 사용했으며 애드인카드는 ETRI의 PCI Express 엔드포인트(endpoint) 카드를 사용하였다. ETRI 애드인카드에 사용된 FPGA는 ALTERA사의 StratixGX 제품이며 PCI Express SerDes는 StatixGX에 내장된 ALTGXB 트랜시버를 사용하였다.

<표 8> 테스트 환경

오실로스코프	LeCroy SDA 6020, BW=6GHz, Quad 20GB/s Sampling
애드인카드	ETRI PCI Express add-in card
시스템보드	Samsung PCI Express Server Board
애드인카드 SerDes	FPGA 임베디드 SerDes: ALTGXB StratixGX EP1SGX25D-5
시스템보드 SerDes	Intel PCI Express RC: Lindenhurst MCH : x4 PCI-E, x8 PCI-E
시스템보드 테스트 Fixture	Intel PCI Express Compliance load board(CLB)
애드인카드 테스트 Fixture	Intel PCI Express Compliance base board(CBB)

<표 9>는 ALTGXB 트랜시버 설정을 나타내고 있다. ALTGXB 특성상 시스템보드의 100MHz SSC는 사용하지 않으며 자체 125MHz OSC 클럭을 사용하였다.

<표 9> 애드인카드 ALTGXB 설정

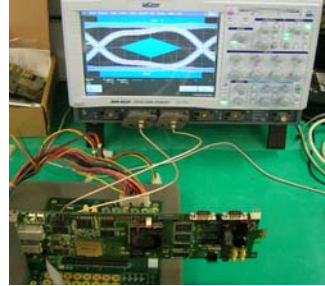
트랜시버 설정	2.5Gbps PCI Express 프로토콜용
TX 설정	Vod=800mV, Pre-emphasis Level: 3 100ohm Termination Register
기준클럭	125MHz Single-ended Clock

(그림 13)은 시스템보드와 애드인카드의 전기 파라미터 측정 사진을 나타내고 있으며 (그림 14)는 실험 결과 파형을 나타내고 있다. 실험을 통해서 측정된 전기 파라미터 값은 <표 10>~<표 12>에 각각 나타내었다.

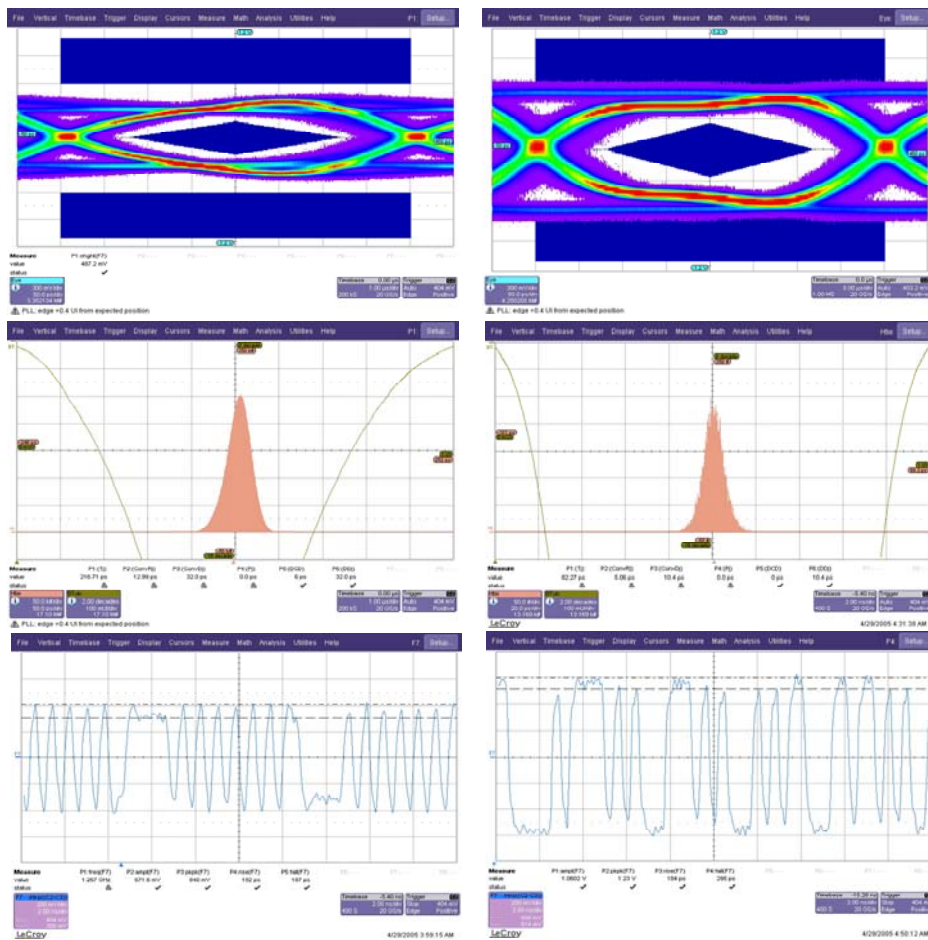
(그림 14)는 측정된 시스템보드와 애드인카드의 송신단 eye diagram, bath tube 곡선, TIE 히스토그램, waveform을 각각 나타내고 있다.

시스템보드 측정 값에서 eye opening height의 경우 487mV, de-emphasis의 경우 387mV로 모두 규격을 만족하고 있다. 그러나 지터의 경우  $R_j=13\text{ps}$ ,  $D_j=32\text{ps}$ 로  $10^{-12}$  BER에서 total 지터는 216

ps이다. 따라서 eye opening time은 184ps이다. 이는 시스템보드 최소 eye opening time,  $0.5825 \text{ UI}=233\text{ps}$  보다 작은 값으로 시스템보드 지터 값을 줄여야 함을 알 수 있다.



(그림 13) CLB(좌)와 CBB(우)를 사용한 PCI Express 시스템의 전기 파라미터 측정 사진



(a) 시스템보드 송신부 측정

(b) 애드인카드 송신부 측정

(그림 14) 측정 결과

〈표 10〉 신호 측정 결과(@1.25GHz)

	시스템보드	애드인카드
Voltage amplitude	671.6mV	1060mV
Peak-to-peak voltage	840mV	1230mV
Rising time	192ps	184ps
Falling time	187ps	295ps

〈표 11〉 지터 측정 결과 (단위: ps)

	시스템보드	애드인카드
Total jitter(Tj)	216.71	82.27
Rj	12.99	5.06
Dj	32.0	10.4

〈표 12〉 Eye Diagram 파라미터 측정 결과

Parameter	V <sub>Normal</sub>	V <sub>De-emphasized</sub>	T <sub>eye-opening</sub>
시스템 규격	>= 274mV	>= 253mV	>= 233ps
측정 값	487mV	387mV	183.3ps
애드인 규격	>=514mV	>=360mV	>=274ps
측정 값	548mV	450mV	317.73ps

실험에 사용된 인텔 PCI Express 서버 보드는 규격 1.0a 지터 규격을 따라 만들어졌다. 규격 1.1에서는 송신 버퍼와 인터커넥션 지터 규격이 더 엄격해졌기 때문에 규격을 만족하지 못한다.

애드인카드 측정값에서 eye opening height의 경우 548mV, de-emphasis의 경우 450mV로 모두 규격을 만족하고 있다. 지터의 경우 Rj=5ps, Dj=10ps로 10<sup>-12</sup> BER에서 total 지터는 82ps이다. 따라서 eye opening time은 318ps이다. 이는 애드인카드의 최소 eye opening time, 0.685UI=274ps보다 큰 값으로 지터 값이 규격을 만족하고 있다.

● 용어해설 ●

**신호무결성(Signal Integrity):** 일반적으로 고속 데이터 신호 전송에서 reflection, crosstalk, power/GND 노이즈 등 다양한 요인에 의해 신호 외곡이 발생한다. 외곡된 신호의 질(quality)을 다양한 방법(parameter)으로 측정하는 것을 신호무결성 측정이라고 부른다.

측정을 통하여 시스템보드의 지터 마진이 부족함을 파악했으며 J<sub>ST</sub> 값을 줄이기 위해 좀더 세밀한 보드 설계와 고속 신호 분석 툴을 사용한 토폴로지 시뮬레이션이 필요함을 알 수 있다.

## IV. 결론

본고는 PCI Express 시스템의 전기 규격과 측정 파라미터에 대한 고찰과 분석을 다루었다. 실제 PCI Express 시스템과 애드인카드의 파라미터 측정과 분석, 시스템 디버깅에 대해서 살펴보았다. 본고를 통하여 보다 신뢰성 있는 PCI Express 시스템 및 애드인카드 설계에 도움이 되길 바란다.

## 약어정리

CBB	Compliance Base Board
CLB	Compliance Load Board
ISI	Inter-Symbol Interference
LVDS	Low-Voltage Differential Signaling
SSC	Spread Spectrum Clock

## 참고문헌

- [1] PCI Express Card Electromechanical(CEM) Specification, Rev 1.1, Mar. 28, 2005.
- [2] PCI Express Base Specification Revision 1.1, Mar. 28, 2005.
- [3] System & Add-in Card Simulations for PCI Express Architecture, Henry Peng(PCI Express Electrical and Card), *PCI-SIG Developers Conference*, June 14-15, 2004.
- [4] 권원옥, 김성운, 김명준, “고속직렬데이터의 지터 측정방법,” 전자통신동향분석 제 20권 제 3호, 2005. 6., pp. 112-121.
- [5] Board Design Guidelines for PCI Express Architecture, Cliff Lee(Staff Engineer Intel Corporation Member, PCI Express Electrical and Card), *PCI-SIG Developers Conference*, June 14-15, 2004.