



# Design Methodology 2:

## Test관점에서 본 Analog Front-End SiP의 I/O Pad 설계 및 BER Test제안

이 글은 당사에서 개발 진행한 TDMB, ISDB-T 등의 Mobile TV Receiver단의 Analog Front-End SiP들의 Test H/W, S/W제작 경험을 바탕으로 보다 효율적이고 성공적인 SiP 개발이 될 수 있도록 도움을 주고자 기술 하였다.

서기복 앰코테크놀로지코리아 선임연구원(kbseo@amkor.co.kr)

### I. Introduction

TDMB, ISDB-T, DVB-H 등의 Digital Mobile TV System의 Handheld Device Market이 빠르게 확장되면서 이 시장의 수혜를 보려는 업체들이 늘어나고 있고, 보다 경쟁력 있는 Solution의 필요성이 대두되면서 이들 Chip Vendor들은 서로 다른 복안을 가지고 시장에 접근하고 있다. 이 가운데 SoC와 더불어 SiP는 이들 업체들에게 매우 매력적인 대안으로 떠오르고 있으며 지금은 가히 SiP의 전성시대라 할 수 있다. 특히 최근에 불고 있는 IP 분쟁을 피하려는 Chip설계자들에게 새로운 SoC를 만드는 것보다 시간 상으로도 성능 면에서도 증명된 Chip들을 한데 묶음으로써 보다 빨리 Time to Market을 실현 할 수 있고 성능 면에서

도 위험을 피할 수 있는 SiP는 피할 수 없는 유혹일 수 있을 것이다.

불과 6~7년 전만 하더라도 Package기술 및 RLC소자 기술의 한계로 SiP의 대상이 될 수 있는 Application은 극히 제한적이었고 이를 실행에 옮기는 업체는 손에 꼽을 정도였다. 필자가 SiP라는 것을 처음 접한 것은 지금으로부터 약 6년 전 Power-One이라는 회사에서 Amkor에 SiP의 Packaging과 Test를 의뢰하면서부터였다. 해당 Application은 System의 입력 Power단에 들어가는 Power Module이었던 것으로 기억이 나고, 크기도 가로, 세로 약 8cm x 1.5cm 정도 되는 PCB기판에 RCL가 양 옆으로 붙어 있어 무척 크고 두꺼워 보였다. 이것은 SiP라기 보다는 Module로서 차라리 PCB를 기존형태보다 조금

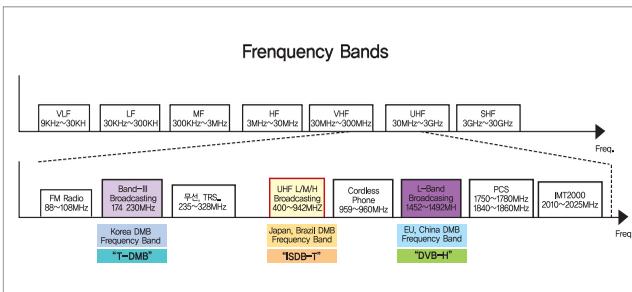


## Design Methodology 2:

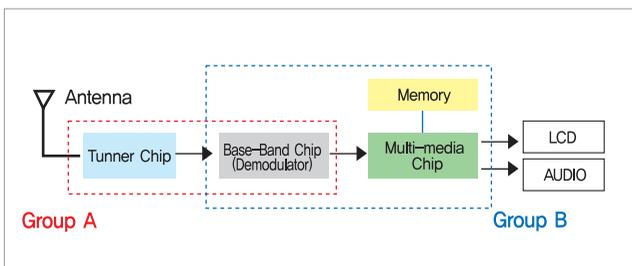
작게 만든 것이었다. 하지만 근래에 필자가 다루는 대부분의 SiP 들은 가로, 세로 1cm 정도 미만에 두께가 1.5mm 이내로 One-Chip화한 것이 대부분이다. 물론 Application이 다르기 때문에 단순비교에는 무리가 있지만, 그 당시만 하더라도 이런 Mobile에 들어가는 Application을 SiP화 한다는 것은 상상조차 하지 못했던 것이 사실이다. 이런 이유로 Mobile부분에 있어서 2개의 Chip을 하나로 통합시키는 시도는 SiP보다 SoC분야에 집중이 되어 있었다. 하지만 비약적인 Packaging기술의 발전과 보다 작으면서 성능이 뒤쳐지지 않는 RLC 소자들의 출현 덕으로 이제 우리는 과거에 가능하지 않았던 System이나 Application을 하나의 Package안에 구현을 하고 있으며, 이런 추세는 Mobile 분야를 중심으로 그 대상을 점차 넓히며 지속될 것으로 보인다.

### II. Digital Mobile Broadcasting Receiver System의 주파수 대역 및 SiP 구성도

아래는 Mobile TV 방송에 할당된 주파수 대역(그림 1) 및 수신기의 Block Diagram(그림 2)이다. 각 표준 별 각기 다른 주파수 대역을 사용하고 있으며, 아직까지는 어떤 표준도 전세계 시장에서 절반 이상의 점유율을 가지지는 못하고 있다. Qualcomm사의 MediaFlo방식도 있지만 아직 진행 중에 있는 관계로 제외하도록 한다.



〈그림 1〉 Mobile TV 표준별 주파수 대역



〈그림 2〉 Mobile TV Receiver System Block Diagram

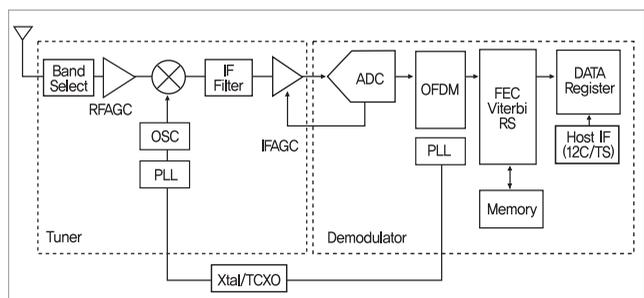
〈그림 2〉와 같이 Mobile TV 수신기 구성에 필요한 Chip들은 크게 세 가지 정도로 구분이 된다. 우선 Tuner는 RF주파수(200MHz~1.4GHz)를 중간 단계에 주파수로 변환을 하며, Base-

Band(Demodulator) Chip은 Tuner에서 변환 된 중간 주파수의 Analog값을 Digital Data 형태로 변경을 하고 Error Correction 기능을 수행한다. 마지막으로 Multi-media chip은 변경된 Digital Data값에서 영상 신호와 음성 신호를 분리하여 LCD화면이나 Speaker에 뿌려주는 역할을 한다.

아직까지 위 3개의 Chip을 모두 묶은 SiP혹은 SoC화 한 Chip은 시장에 나오지 않은 상태이다. SiP혹은 SoC화하기 어려운 이유는 여러 가지가 있겠지만, 기술적 난이도와 이를 수행하기 위한 비용이 가장 큰 걸림돌로 보인다. 현재로서는 대부분이 업체들이 두 구간의 Chip을 SiP화하거나 혹은 SoC화 되고 있는 추세이다.

파란색 점선과 빨간색 점선으로 표시된 부분이 현재 활발하게 SiP화 되고 있는 부분들이다. 이 중에서 파란색 점선으로 표시된 부분(Group B)이 좀더 수요가 많은 것 같다. 이 부분은 곧 SoC형태의 Chip이 등장하지 않을까 생각한다. 이유는, 이 구간에서 신호의 대부분은 Digital과 Low Speed Analog(Base-Band) Signal로 이루어져 있어 하나의 Silicon에 SoC이 구현이 쉽고 Chip성능 검증이 "Group A" 보다 용이하기 때문이다. 반면 빨간색 점선 부분(우리가 이번에 다루려고 하는 부분, 이하 Analog Front-End Solution)은 최근 활발하게 SiP화하는 시도가 일어나는 부분으로서 우리는 이 부분에 대해서 중점적으로 이야기 하고자 한다. 이 부분도 결국 SoC형태로 발전하겠지만, 필자는 앞으로도 더 많은 SiP가 출현할 것이라고 생각한다. 그 이유는, SiP가 SoC에 비해 RF 입력 단의 Matching 문제에 있어 좀더 자유로우며 또한 아직은 SiP가 SoC보다 성능 면에서도 우위에 있기 때문인 것으로 보인다. 실제로 일부 Set업체에게 RF 입력 단의 Matching문제는 다루기 어려운 일 중의 하나이다.

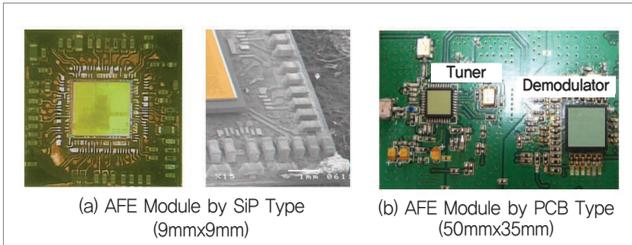
DMB, ISDB-T의 Analog Front-End(이하 AFE) SiP Module의 대략적인 Block Diagram은 〈그림 3〉과 같다. 표준에 따라 약간씩 다를 수 있지만, 기본적으로 아래와 같은 형태를 유지하고 있다. 〈그림 4〉(a)에서는 AFE SiP Module의 실제 구현 형태를 보여주고 있다. 대략적으로 가로 세로 1cm 미만의 크기에 RF Matching Component 및 기타 RLC가 이미 Package내에 추가되어 있으며 User는 단지 Clock(Xtal/TCXO)만 추가하면 되는 구조를 가지고 있다. 크기 비교를 위해 동일한 Application을 PCB로 구현 했을 때의 경우가 〈그림 4〉(b)에 나타나 있다.



〈그림 3〉 AFE SiP Module의 System Block Diagram



## Design Methodology 2:



〈그림 4〉 AFE Module의 SiP형태와 PCB형태 비교

### III. AFE(Analog Front-End)SiP Module의 위험 요소 및 I/O 배열비교

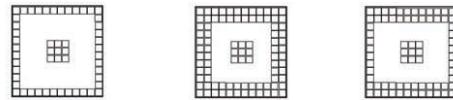
〈표 1〉은 일반적인 Mobile TV의 AFE SiP Module이 가질 수 있는 I/O Pad의 배열을 나타낸 것이다. 설계자는 해당 SiP 개발 시 동일한 Package Size내에서 되도록이면 더 좋은 특성을 보이는 Design을 택하려 할 것이다. 보다 더 좋은 성능, Simple한 Design 그리고 사용자의 편의성 측면에서 본다면 (A) Type의 Design이 좀 더 유리할 수 있다. 보다 넓은 Ground Pad를 가져갈 수 있고 Simple한 I/O는 보다 좋은 특성과 사용상 편리함으로 End User로부터 큰 환영을 받을 수 있기 때문이다.

그러나 SiP Module의 검증을 진행하는 Test Engineer입장에서 보면 검증에 보다 유리한 형태는 (B)와 (C)가 될 수 있을 것 같다. 앞서 말한 것 같이 일반적으로 Designer는 SiP 성능과 사용상의 편의점에 초점을 맞춘 (A) Type의 Design을 채택하는 경향을 보이는 데, 이는 SiP가 가지는 위험 요인을 충분히 고려하지 못한 결과라고 생각한다.

그러면 SiP가 가지는 위험 요인은 무엇인가? SiP가 가지는 위험 요인들은 SiP자체가 가지는 구조적 특성과 Packaging공정의 특징에서 찾을 수 있다고 본다. SiP는 독립적인 두 Chip과 수많은 RLC소자를 하나의 Package안에 물리적으로 연결한 Package로, 구조적으로 Packaging업체의 기술력 및 공정 안정도가 매우 중요한 Package이다. 따라서 PCB Design 및 Packaging공정 차이, 즉 Packaging업체의 기술력에 따라 성능 차이가 존재 할 수 있다. 또한 SiP를 진행하는 Fabless업체는 자사의 Chip과 조합을 이루는 Chip에 대해서 보다 높은 원가를 가지고 시작하며, Packaging업체에 지불하는 Assembly 비용 또한 다른 Package에 비해 훨씬 크다. 따라서 어떤 형태의 불량이면 일단 발생할 경우, 해당 Fabless 업체는 자사 Chip 및 조합을 이루는 Chip에 대한 비용과 고가의 Packaging 비용에 대한 손실을 동시에 떠안아야 한다. Chip가격과 더불어 Assembly에 들어가는 PCB 및 기타 부대 비용은 전체 가격의 10~15%선이므로 결코 적은 가격이 아닐 수 없다. 이렇게 놓고 볼 때 Margin을 고려한 기대 수익은 아마도 90%이상은 얻어야 할 것이라는 예측을 할 수 있다. 즉, 다른 Package에 비해 기대 수익이 매우 높다는 것이다.

그러면, 이 손실을 줄이기 위한 방법, 즉 수익을 높이기 위한 방법에는 어떤 것이 있을까? SiP는 문제가 발생했을 경우 이것을 찾아내고 해결 방안을 제시 할 수 있는 공정이 Test공정 이외에는 딱히 존재하지 않는다. 그런데 이 때 I/O Pad Design이 사용자 편의에 맞춰져 있어 불량 분석 진행이 수월하지 않다면 어떻게 될까? 그 업체는 아마도 불량 분석을 위하여 많은 시간을 투자해야 할 것이고 만약의 경우 Chip을 Revision해야 하거나 심각한 경우 해당 SiP의 경쟁력을 잃게 되어 Project 자체를 포기해야 할 상황도 있을 것이다.

〈표 1〉 AFE SiP Module의 I/O Pad Design별 Test공정 장단점 비교



TYPE	A. 동작에 필요한 최소 I/O 핀만을 구성하는 형태	B. 두 Chip의 검증이 독립적으로 모두 가능하도록 I/O를 배치하는 형태	C. 한쪽 Chip의 검증만 가능하도록 I/O를 배치하는 형태
장점	End User가 Application구성하기 수월함	각 Chip들의 독립 Test가 가능하므로 Test Coverage가 높고, Test Time을 절약할 수 있음	A type과 B Type의 중간형태
단점	두 Chip에 대한 독립적인 검증이 수월하지 않아 주로 연동 Test를 통해 Chip검증이 이루어질 경우 Test Time이 길어지고 저수율 발생시 문제 원인을 찾는 데 어려움이 있음	End User의 사용이 A type 보다는 다소 복잡함 (Application 구성에 있어서)	A type과 B Type의 중간형태
사용예	두 Chip의 Wafer Test Coverage가 매우 높고 오랫동안 검증된 Chip을 사용하는 경우 유리, 또한 SiP를 진행하는 Assembly Site의 Package공정이 매우 안정적이어야 할 경우 최소한 Chip의 상태를 Monitor할 수 있는 핀들 만이라도 빼놓아야 함	Wafer상태의 두 Chip의 성능 검증에 확신이 부족하고 Wafer Test Coverage가 높지 않거나 문제가 예상 될 때 사용하지 않으며 Assembly Site의 SiP Package 공정 자체가 안정적이지 않다고 판단되어 질 때 사용	두 Chip중 어느 한쪽의 Wafer Test Coverage가 높지 않거나 문제가 예상 될 때 사용하고, 다른 한 Chip은 Test를 위해서 Monitor할 수 있는 핀들을 배열함, 반대로 어느 한 Chip에 대해서 검증이 완료되어 안정적이라 판단 될 때에도 사용
예상 Test Flow	Contact Test Current Test Interface Mode Test Tuner or Demodulator Test Operation Test (BER, LOCK)	Contact Test Current Test Interface Mode Test Tuner Test Demodulator Test Operation Test (BER, LOCK)	Contact Test Current Test Interface Mode Test Tuner or Demodulator Test Operation Test (BER, LOCK)

\* 주의 : Package Type을 LGA를 기준으로 나타낸 것은 현재 출시되는 대부분의 AFE SiP Module에서 LGA SiP 형태가 주류를 이루고 있기 때문이나, BGA도 동일한 성능에 있음을 주지해 주길 바란다.

따라서 이러한 위험요소를 줄이기 위해서라도 SiP역시 Design 단계부터 일정부분 DFT(Design for Test)의 개념을 가지고 Project를 수행할 필요가 있다고 본다. SoC에서 DFT의 구현은 곧 Chip Size증가를 의미하지만, SiP에서는 전체적인 Chip Size증가 없이 각 Chip의 독립 Test를 진행할 수 있는 정도의 I/O Pad를 만드는 것만으로도 DFT를 구현할 수 있기 때문에, 어떤 관점에서 보면 SiP가 SoC보다 DFT구현에 더 유리할 수 있다고 보고, 이는 Designer의 작은 관심으로 충분히 실현 될 수 있다고 생각한다.

위에서 나열한 SiP가 가지는 구조적 위험 요소로 인해 장점이 많은 (A) Type을 지양해야 하는가에 대한 논쟁은 있을 수 있다. (A) Type Design이라도 발생할 수 있는 문제 예측 및 이에 대한 검증에



## Design Methodology 2:

있어서 효과적으로 Design을 했다면 문제가 되지 않을 수 있기 때문이다. 하지만, 우리가 (B)와 (C) Type을 선호하는 또 다른 중요한 이유는 다음 절에 논의되는 Test Time에 관련되어 있다.

### IV. AFE(Analog Front-End) SiP Module의 Test Plan 수립과 연동 Test 시간의 고려

SiP 제작을 진행하는 Fabless업체의 End User지향적인 I/O Pad의 Design이외에 발견되는 흥미로운 점은 Test Plan수립 시 대부분 어느 한 쪽 방향으로 치우친 Test Plan을 만든다는 것이다. Demodulator를 설계하는 회사의 SiP Test Plan에서는 Demodulator Test관련 Item이 많이 있고 Tuner Test Item이 적은 반면, Tuner 전문 업체의 Test Plan의 경우 Demodulator Test Item은 적고 Tuner Test Item만 자세히 기술되어 있는 식이다. 나름대로 추측해본 이유는, 대부분이 특정 Application의 Chip만을 전문적으로 설계하는 업체인 경우가 많아 해당 전문 인력의 부재 때문이기도 하지만, 서로의 Test 검증 절차나 Test Plan에 대해서 자세한 사항까지 공유를 하지 못하고 있는 것도 하나의 이유인 것 같다.

보다 좋은 Test Plan이 보다 높은 Test Coverage를 제공하는 것은 당연한 일이다. 또한 좋은 Test Plan은 Test Setup(ATE용 H/W제작, S/W제작)비용도 상당히 절감시킬 수 있다. 일 예로 근래는, ATE용 PCB Board 제작 공정이 많이 안정화 되어 예전과 같이 PCB공정 상의 Error로 인한 PCB Revision은 많이 줄어든 반면 잘못된 Test Plan으로 인해 외부 Wiring의 작업을 추가하거나 PCB Revision을 하는 경우가 간혹 발생하고 있다. 한 번 PCB Revision 진행 시 2주 정도의 Delay를 감안하면, 2~3번의 Revision이면 적어도 한달 이상의 Test Setup Delay를 가져오게 되는 셈이다. 따라서 SiP를 진행하는 업체는 자사 Chip과 연동 Test를 목적으로 Test Plan을 작성하기 보다는 상대 회사와 긴밀한 협력을 통해 두 Chip의 특성을 모두 Test할 수 있는 좋은 Test Plan을 세울 필요가 있다.

〈표 2〉 AFF(Analog Front-End) SiP Module 구성 Chip들의 Test Item 비교

RF Tuner Test 항목	Demodulator Test 항목	연동 Test 항목 (Tuner + Demodulator)
Contact Test(Open/Short)	Contact Test(Open/Short)	Locking Status Test
Leakage Test	Leakage Test	Clock Output
Operating IDD/Power Down	Operating IDD/Power Down	BER
IDD	IDD	SNR
Gain/P1dB	ADC/DAC Test	CNR
NF/Sensitivity	Functional Test	
IRR/IP2/IP3	SCAN/BIST	
Filter		
Phase Noise		

\* 각 회사마다 아래 항목들 이외의 고유한 Test Item 및 Test방법을 가지고 있으므로 개별 Test Item 및 방법에 대해서 논하지 않도록 한다.

조합을 이루는 Chip에 대한 Test정보를 어느 정도 가지고 있다면, 전체적인 Test Plan을 수립하게 되는데 이때 중요한 것은 RF Tuner Test와 Demodulator Test 및 연동 Test가 적절히 분배가 될 수 있도록 효율적인 Test H/W 및 S/W개발이 되도록 해야 한다는 것이다. 동시에 측정할 수 있는 항목과 개별적인 항목으

로 구분하고 개별 Test에 대해서는 이미 Wafer level에서 검증이 끝난 것이 확인 되었다면 반드시 필요한 항목들이나 각 Chip에서 취약한 부분들에 대해서 먼저 진행을 하는 것이 유리하다.

연동 Test는 OFDM Locking Status나 BER, CNR, SRN등을 Test진행하는 것으로 대부분 Test Flow중 마지막에 위치시키는데, 이는 연동 Test의 시간이 오래 걸리기 때문이다. 연동 Test가 오래 걸리는 것은 Channel Acquisition Time 때문인데, 이 시간은 각 회사마다 다르지만 짧게는 수 백ms에서 1초 이내가 시간이 소요된다. 아래는 Telechips사에서 출시한 Demodulator 중 하나인 TCC310의 특성으로, 채널 획득 시간(Channel Acquisition Time)에 관한 언급을 접할 수 있다. 다른 업체들은 이 사항을 공개하지 않아 부득이 Telechips의 내용을 참고로 한다.

〈표 3〉 Telechips TCC310 Demodulator의 특성

#### TCC310 Features

- T-DMB / DMB channel decoder supporting Eureka-147 standard
- Fully hardwired logic for stable operation and low power consumption
- Support 800KHz to 48.912MHz IF frequency(Very low IF available)
- Internal offset correction loop for time and frequency synchronization (No need VCXO)
- Fast channel acquisition time (about 600ms)
- Support Transmitter Identification Information (TII) decoding
- Fully support UEP/EEP error correction at 3.072MHz decision speed 이하 생략

\* Telechips의 Homepage내용 중 TCC310내용에서 발췌

연동 Test는 Tuner와 Demodulator 모두를 검증할 수 있기 때문에 SiP의 최종 동작여부 검증에 효과적이긴 하지만 위의 예와 같이 Channel Acquisition Time 및 Locking 시간으로 인해 시간이 많이 소요됨으로 가장 효율적이고 경제적인 Test Plan이 되도록 작성해야 한다. 위의 TCC310의 경우 Channel Acquisition Time의 경우 600ms를 요구하지만, ATE에서는 Data 처리 및 Test Condition 설정 등으로 인해 추가적인 시간이 필요하다. 그러므로 무엇보다 연동 Test의 횟수를 줄이는 것이 가장 최선의 방법인데 이를 위해서는 연동 Test의 불량 항목과 이와 연관된 Parameter를 Tuner나 Demodulator에서 찾아내어 Tuner나 Demodulator Test부분에서 이 Parameter 값을 먼저 검증하도록 해야 한다. 이를 위해서 설계자는 오류에 대한 검증이 가능하도록 되도록이면 많은 I/O Pad를 만드는 것이 중요하다. 그렇지 않을 경우 Test엔지니어는 불량을 검증하기 위해서 시간이 많이 소요되는 연동 Test에 대부분 의지하게 되고 이는 Test Time증가 및 생산 단가가 높아지는 결과로 이어진다. 이것이 SiP Design시 (B)나 (C) Type의 설계가 (A) Type의 설계보다 유리한 두 번째 이유이다.

### V. ATE선택

SiP에서 I/O Pad Design, Test Plan작성과 더불어 중요한 것이 ATE의 선택이다. ATE 선택에 있어 무엇보다 중요한 사항은 해당 ATE가 통합된 SiP의 Test항목 모두를 검증할 수 있는냐일 것이다. 단순히 동작 여부만 확인할 예정이라면 Tuner와 Demodulator



## Design Methodology 2:

의 모든 Test 항목이 가능한 고가의 ATE를 고집할 필요는 없지만, 두 가지 Application에 대한 검증 모두를 진행하고자 한다면 이 두 가지 Application의 검증이 모두 가능한 ATE를 선정해야 한다. 아래는 Mobile TV의 Analog Front-End Module SiP에서 두 가지 모듈을 검증하고자 할 때 일반적으로 요구될 수 있는 ATE 기능들을 나열한 것이다.

〈표 4〉 Analog Front-End SiP 검증에 요구되는 ATE 기능

<b>Digital Functionalities</b>
High Speed Digital(100MHz/10ns) and larger vector memory size(min. 4M per pin)
Dynamic Read/Write Function for global register access
Time on the fly, Format on the fly(Optional)
<b>Traditional Analog/RF Test Functionalities</b>
Min. 2 Tones of CW Stimulus Capabilities(~2GHz)
Noise Source, Phase Noise (Optional)
Digital Modulation Capabilities (Optional)
High Resolution Digitizer(Min.12Bits Resolution)
High Performance AWG or CWM/Min. 1MB Array Memory Size/Min. 400MHz Sampling Speed)
<b>그 밖의 필요한 기능들</b>
Faster Power Supplies
Precision Voltage and Current Meter
External Instrument Controlling by GPIB or RS232

위의 조건을 놓고 보았을 때 현재 시장에 출시된 ATE중에서 약 5 기종 정도가 Mobile TV의 Analog Front-End Module SiP의 Test진행에 효과적일 것으로 보인다. 각기 장 단점 있지만, 가장 민감한 사항은 Test 정확성 및 빠른 Test Time 그리고 Test Cost일 것이다. 또한 현재 Test 시장에서 어떤 ATE장비가 손쉽게 접근이 가능하며 해당 ATE 기종의 Test엔지니어의 기술 축적도도 중요한 Factor들 중의 하나이다. 언젠가 경쟁 업체는 보다 싼 Solution을 가지고 시장에 접근할 것이고, 이때 역량을 발휘할 수 있는 항목 중의 하나가 보다 저렴한 업체로의 Test공정 이전이나 신속하고 정확한 Test H/W 혹은 S/W의 Conversion일 것이다.

이를 놓고 볼 때 Teradyne사의 Catalyst와 LTX사의 Fusion Series는 좋은 대안일 수 있다. 먼저 위 조건들을 충실히 만족하고 있고 RF Tester시장 점유율 기준으로 볼 때 시장에 가장 많이 보급된 기종들이기도 하기 때문이다. Teradyne사의 새로운 Tester인 Flex Series 및 Verigy사의 V93K 등은 매우 강력한 성능을 지니고 있지만, 아직까지는 시간당 높은 Test 단가로 인해 경쟁력이 두 기종에 비해 떨어지고 있다.



출처 : www.teradyne.com, www.verigy.com, www.ltx.com, www.credence.com

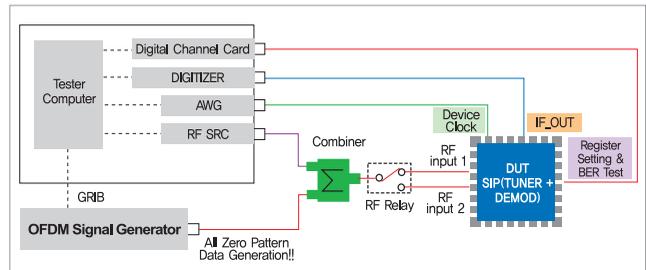
〈그림 5〉 Analog Front-end Solution SiP의 Test가 가능한 ATE 종류들

## VI. 연동 TEST 방법

ATE가 선택되었다면 이제 연동 Test방법에 대해 많은 고려를 해보아야 한다. 연동 Test는 Tuner와 Demodulator가 조합을 이루어 이상 없이 잘 동작하는가를 확인하는 Test로 Tuner와 Demodulator의 개별 Test와는 별도로 반드시 진행해야 하는 Test Item중 하나이기 때문이다. 전체적인 Test진행은 OFDM Signal을 입력 받은 Tuner가 RF신호를 IF신호로 변경하여 Demodulator에게 전달하면 Demodulator는 Analog 신호를 일정한 규격에 따라 신호를 복호화하고 Error를 수정하는 기능을 수행하는지 확인하는 것으로 끝마친다. 이 과정에서 필요한 OFDM신호는 ATE에서 만들기도 하지만 때로는 아래와 같은 OFDM 전용 신호 발생기를 사용하기도 한다. 아직까지는 어떤 장비도 서로 다른 표준의 신호를 완벽하게 만들어주지는 못하고 있으나 조만간 모든 조건을 충족시키는 장비가 출시가 되리라 생각한다.



〈그림 6〉 OFDM 신호 발생기 (좌로부터 TDMB, ISDB-T, DVB-H순)



〈그림 7〉 BER TEST Setup Block Diagram

별도의 외부 신호 발생기를 사용할 경우, 실제 방송신호와 동일한 신호를 사용함으로써 연동 Test의 효과는 더 높일 수 있으나, Tester에서 외부 신호 발생기의 제어문제와 제어에 따른 시간 손실이 따를 수 있다. 반면 ATE에서 OFDM 신호를 만들 경우 시간 손실은 줄일 수 있으나, AWG(Arbitrary Waveform Generator)의 Memory Size 제약으로 인해 OFDM신호를 만들 수 있는 용량이 제한되어 있기 때문에 제품의 검증 능력에 제한이 있을 수 있다.

연동 Test의 Item들은 앞에서 언급한 것과 같이 Locking Status나 BER, CNR, SNR등이 있는데, 우리는 연동 Test의 핵심이 되는 BER Test 방법과 각 방법의 장단점 대해 논의하고자 한다. ATE에서 가능한 BER Test의 방법에는 아래와 같이 세 가지 정도로 나눌 수 있으며, 주로 첫 번째와 두 번째 방법이 ATE에서 사용되고 있다.



## Design Methodology 2:

1. BER Data를 Demodulator의 특정 Register에서 Return 받는 방법
2. Demodulator에서 Multi-media chip으로 보내는 Data를 직접 Capture하여 비교하는 방법
3. BER Test전용 장비를 이용하여 측정하는 방법

BER Data를 Demodulator에서 Return받는 방법은 Demodulator에서는 Error Correction을 수행하는 Block(Viterbi, R/S)에서 Update되는 Error Correction Bit값을 ATE에서 Return받는 방식이다. 이 값의 정확도는 Chip에 따라 다를 수 있기 때문에 평균값을 취하거나 BER Data이외의 다른 기준이 되는 값(CN, SNR)들과 비교하여 보정을 하는 방법 등이 사용될 수 있다. 이 방법의 경우 ATE에서 구현은 간단하지만 Demodulator에서 유효한 Data가 Update되기까지 다소 시간이 걸린다는 것과 정확도면에서 약간 떨어진다는 단점을 가지고 있기 때문에 이 점을 잘 감안하여 사용 여부를 결정해야 한다.

Demodulator에서 Multi-media chip으로 보내는 Data를 직접 비교하는 방법의 경우는 Channel 정보 입력 후 Demodulator의 Lock이 걸리면 ATE가 Demodulator의 기준이 되는 핀과 Sync를 맞춘 후에 일정 시간 동안 Data를 Capture한 후 원래 Data와 비교를 하는 방법으로 비교적 정확하고 Register에서 BER Data를 Return받는 방법에 비해 Test Time을 줄일 수 있는 장점이 있다. 최대 20~30% Test Time Saving이 있는 것으로 조사되고 있는데 이 방법을 사용하기 위해서는 ATE가 Demodulator와 Sync를 정확히 잡을 수 있어야 하고 신호발생기에 사용되는 Pattern의 Data를 미리 알고 있어야 한다. 이런 측면에서 All Zero Pattern과 All One Pattern은 이 방법을 사용 시 유용하게 사용될 수 있다. 그러나, 간혹 장비업체별로 해당 Pattern에 대한 제공이 불가하거나 새로운 Pattern을 만드는데 추가 비용이 들어갈 수 있으니 이점은 주의해야 한다. 당사에서는 이 방법에 대한 Solution을 확보하고 있으며 현재 주요 고객의 SiP 검증에 적용하고 있다.

마지막으로, BER Test전용 장비를 이용하여 측정하는 방법 경우는 정확도 면에서는 우수하지만, 외부 계측장비에서 BER Data를 가져오는 시간이 발생하고 해당 Option을 수행할 수 있는 장비가 고가라는 단점이 있다.

## Ⅶ. 결론

지금까지 Test를 고려한 Analog Front-End SiP Module Design 및 연동 Test기법에 대해서 살펴보았다. 많은 회사의 Design Engineer들은 지금도 보다 좋은 성능의 Chip개발을 위해 밤을 새가며 그들만의 외로운 투쟁을 하고 있을 것이다. 때로는 성공적의 결과를 낳기도 하고 그렇지 않기도 하는데, 시장은 밀림과 같아 오로지 강자만을 선택한다. 선택된 Solution은 그 성능과 더불어,

적기에 적절한 가격에 출시가 된다. 반면 선택되지 못한 Solution은 대부분 그 진행 과정에서 많은 문제들을 경험하고 이 문제들로 인해 많은 시간을 낭비한다. 모든 SiP가 나름대로 문제를 가지고 있거나 진행과정에서 문제가 발생하는 것은 사실이다. 그러나, 더 중요한 것은 문제가 발생했을 때 얼마나 빨리 그 문제를 해결하고 더 좋은 성능을 이루어 내는 가이다. Analog Front-End SiP에 있어서 User 지향적인 Design은 매우 매력적인 것이 사실이지만, 그 만큼 높은 위험 요소를 가지고 있다. 또한 ATE에서 검증 방법이나 검증에 소요되는 시간에 있어서도 불리한 것이 사실이다. 더욱이 비메모리 반도체 공정은 그 특성상 LOT마다 공정이 조금씩 변할 수 있다. Wafer Fab, Service업체를 바꾸면서 혹은 미세공정으로 변환하면서 조금씩 특성이 변할 수 있고 그 때마다 작은 성능의 차이가 발생할 수 있는 것이다. 또한 SiP는 개별 Silicon이외에도 문제가 발생할 수 있는 부가 공정이 존재하고 있다. 좋은 SiP Design 및 Test 공정은 이런 다양한 문제 발생에 대한 올바른 해결책들을 제공할 수 있다. 만약 설계자들이 조금만 더 검증 문제에 관심을 기울인다면 뛰어난 성능과 더불어 문제 해결에 좋은 Design을 채택할 수 있을 것이다.

지적 재산권 및 난해한 ATE Language로 인해 Test공정에 관한 심도 깊은 내용을 더 실지 못한 아쉬움이 있지만, Test 공정에 대한 고민을 더 많이 하고 투자함으로써 성공적인 Project가 될 수 있도록 SiP 설계자나 테스트 엔지니어들에게 많은 도움이 되었으면 한다.

## Keywords

SiP (System In a Package) : 하나 이상의 서로 다른 Chip들이 하나의 Package형태에 집적되어 있는 반도체

SoC (System On a Chip) : 하나의 Silicon에 서로 다른 기능의 Chip을 집적하여 넣은 반도체

BER (Bit Error Rate) : 총 전달된 Data중 오류가 발생한 Data Bit수

TDMB (Terrestrial Digital Media Broadcasting) : 한국형 Digital Mobile Broadcasting System

ISDB-T (Integrated Service Digital Broadcasting Terrestrial) : 일본형 Digital Mobile Broadcasting System

DVB-H (Digital Video Broadcasting Handheld) : 유럽형 Digital Mobile Broadcasting System

AFE (Analog Front-End) : 시스템에서 Analog 신호를 처리하는 부분

OFDM (Orthogonal Frequency Division Multiplex) : 직교 주파수분할 다중 전송방식

DFT (Design For Test) : 검증을 위한 반도체 설계방식

AWG (Arbitrary Waveform Generator) : 임의함수 파형 발생기

ATE (Automatic Test Equipment) : 반도체 자동화 테스트 장비