

논문 2007-44IE-3-1

3극 티타늄 실리사이드 전계방출 팁 어레이의 제작

(Fabrication of triode type Ti-silicided field emission tip array)

엄 우 용*

(Woo-yong Ohm)

요 약

Si 팁 기술의 장점을 살리면서 팁을 실리사이드화하여 팁표면의 열화학적 내구성을 증가시키고 전계방출 전류밀도를 금속 팁에 가깝게 끌어올릴 수 있는 새로운 3극관 형태의 전계방출 팁 구조를 제작하였다. 제작된 소자의 전계방출 특성을 10^{-8} Torr의 초고진공 상태에서 캐소드-애노드 간격을 $100\mu\text{m}$ 로 하여 측정한 결과, turn-on 전압이 약 40V로, 방출전류가 인가 전압 150V에서 약 $69\mu\text{A}$ 로 나타났다.

Abstract

A new field emission tip array was realized by Ti silicidation of Ti coated Si tip, which has long term durability, chemical stability, and high emission current density. The fabricated Ti silicided FE tip array under high vacuum condition of about 10^{-8} Torr shows that the turn-on voltage is about 40V and the emission current is about $69\mu\text{A}$ when the bias of 150V is applied between anode and cathode of $100\mu\text{m}$ distance.

Keywords: Ti-silicide, field emission device, emission current, anode

I. 서 론

FED(field emission display)는 진공 마이크로 일렉트로닉스 기술을 이용한 차세대 평판디스플레이로 부상되고 있으며 이에 대한 국내 산·학·연의 비상한 관심이 집중되고 있다.

FED의 표시 메카니즘은 냉음극선을 이용한 진공관의 원리로 캐소드에 강한 전계가 인가되면 전자의 전계방출이 발생하고 튀어나온 전자는 형광체가 발려 있는 애노드쪽으로 가속되어 형광체를 두들김으로써 빛을 내게 하는 원리이다.^[1-3]

전계방출 효과는 1928년 Fowler와 Nordheim에 의해 그 이론적인 개념이 처음 제시되었고^[4] 그 후 40년이 지난 1968년 미국 SRI(Stanford Research institute)의

C. A. Spindt에 의해서 그 소자모습이 최초로 선을 보였으며^[5-6] 최근 10년 정도의 짧은 기간에 진공 마이크로 일렉트로닉스 기술은 반도체 공정기술과 막대한 시장을 염두에 둔 집중적인 투자에 힘입어 비약적으로 발전하고 있다.

FED가 세계 전자정보 시장에 눈과 귀를 집중시키는 것은 이론적으로 컬러브라운관 및 액정 디스플레이(LCD)로 대표되는 평판 디스플레이의 장점을 모두 갖추고 있어 향후 LCD를 대표할 수 있는 유일한 차세대 평판 디스플레이로 평가되고 있기 때문이다.

FED의 핵심기술로는 고내구성/저전압용 팁의 개발과 어레이의 제작기술, 저에너지형의 R/G/B 형광체 개발, FED 패널의 구동회로 및 시스템 개발, 및 고진공 패키징 기술 등을 들 수 있다.

이중에서도 고내구성/저전압용 전계방출팁의 개발은 FED 개발에 가장 핵심기술이라고 할 수 있으며 열화학적 안정성이 높고 전자방출 효율이 좋은 재료로 전계방출팁을 가공하고 반도체 기술로 이를 활용한 SVGA급 픽셀을 실현하는 것이 차세대 FED(field emission

* 평생회원, 인하공업전문대학 디지털전자정보과
(Department of Digital Electronics & Information,
Inha Technical College)

※ 본 논문은 2006년도 인하공업전문대학 교내연구비 지원사업의 연구결과입니다.

접수일자: 2007년4월19일, 수정완료일: 2007년9월4일

display) 개발의 궁극적 목표이다.

이상적인 전계방출팁 재료로는 높은 전자 방출량에 견딜 수 있는 고용융점 물질과 낮은 일함수 물질, 그리고 진공상태에서의 낮은 증기압(low vapor pressure) 등을 갖는 물질이 우선 고려되어야 한다.^[5] 내열성 금속(W, Mo 등)은 높은 용융점과 낮은 증기압을 갖고 있으나 공정이 까다롭고, 실리콘은 내열성 금속에 비해 낮은 용융점과 높은 증기압을 가지나 공정이 쉽고 반도체 공정에 의해 최저의 팁 반경을 갖는 물질로 평가 되어 현재로서는 Si를 이용한 팁의 제작 연구가 활발히 진행되고 있다.^[7-9]

그러나, 실리콘만을 팁 재료로 사용하면 표면상태 결합과 높은 일함수로 인해 전자방출효과가 작게 나타나고 장시간 사용 시 산화 및 열화에 의한 신뢰성 문제가 제기된다.

FED 구조에서 형광체로부터 나오는 빛의 밝기는 전소 이미터 방출 전류 밀도에 비례하므로 고휘도 발광을 위해서는 팁밀도의 증가 및 단위 팁 당 전계방출 전류 밀도를 크게 해야 한다. 일시적으로 팁을 Si으로 가공할 경우 금속재료의 팁에 비해 팁 어레이 밀도(tip array density)를 증가시킬 수 있고 제조공정이 간단하나 오랜 기간 사용 시 실리콘 팁의 표면상태 변화로 전자방출전류의 불안정한 특성을 나타내게 된다.

본 논문에서는 실리콘 팁 기술의 장점을 살리면서 실리콘 팁을 실리사이드화 하여 팁 표면의 열화학적 내구성을 증가시키고 전계방출 전류 밀도를 금속 팁에 가깝게 끌어올릴 수 있는 새로운 전계방출팁 구조를 개발하고자 한다. 이를 위해 전자선 리소그래피(E-beam lithography)를 이용하여 수 마이크로 크기의 초소형 팁을 좁은 면적 위에 고밀도로 집적시키고 또한 방출된 전자를 집속시킬 애노드 전극(anode electrode)을 게이트 전극위에 설치하여 3극관(triode) 형태의 구조로 만들어 전자방출 효과를 높였다. Ti 실리사이드화한 팁 어레이를 제작하여 각각 게이트 전압 변화에 따른 애노드 전류의 변화를 측정하였으며, 초고진공 하에서 소자의 내구성을 측정하였다.

II. 소자 제작

1. 전계방출 팁 어레이 설계

본 논문에서 제작하고자 하는 소자는 실리콘 팁을 가지는 전계 방출 소자이다. 전계방출소자는 인가전압, 팁 사이의 간격, 팁의 높이, 팁 끝의 반경, 애노드와 캐소드

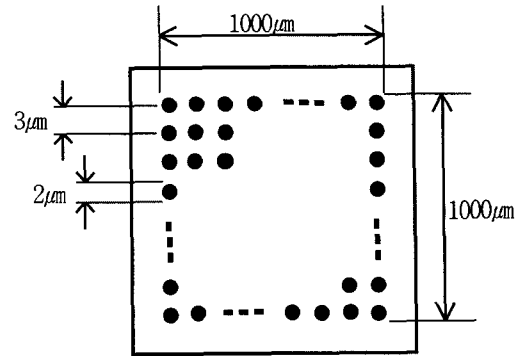


그림 1. 제작된 마스크 패턴

Fig. 1. Mask pattern.

사이의 거리에 의해서 전계방출 특성이 달라지므로 최적의 특성을 얻기 위해서는 적절한 공정 조건의 확립이 필요하다.

소자의 넓이가 고정되었을 때, 팁의 밀도를 높이는 것은 팁의 높이와 연관되어 있기 때문에 무한정 팁의 밀도를 높일 수도 없고 팁의 높이만을 높일 수도 없으며 높이와 밀도를 절충하여야 한다. 또, 팁들이 아주 가까이 있을 정도로 팁의 밀도가 높으면 전계의 상호작용이 강해져서 팁 끝부분에 걸리는 전계의 세기를 낮추게 된다. 따라서 적절한 팁의 높이와 팁 사이의 거리를 갖는 구조의 설계가 필요하다.

이에 본 논문에서는 $1000 \times 1000 \mu\text{m}$ pixel 영역에 $2 \mu\text{m}$ (dia.) 크기의 dot pattern (200×200 array)을 갖는 마스크를 제작하였으며, 최적의 전계 방출을 위해 두 팁 중심과의 거리는 $3 \mu\text{m}$ 로 하였다. 그림 1에서는 본 논문에서 사용하고자 하는 마스크 패턴을 나타내었다.

2. 실험 방법

n형 (100) Si 웨이퍼($\rho = 1 \sim 10 \Omega \cdot \text{cm}$)에 n^+ 영역의 형성을 위하여 TP-470 source를 사용하여 1100°C , N_2 분위기에서 120분간 확산시켰다($R_s = 3.0 \Omega / \square$). 그 다음 캐소드로 사용될 팁을 형성하기 위해서 열산화막을 H_2O 분위기에서 6000 \AA 성장시킨 후 앞에서 제작된 마스크를 사용하여 사진식각기술로 직경이 $1.6 \sim 2.0 \mu\text{m}$ 인 원형의 산화막 패턴을 얻었다. 적절한 높이의 팁을 형성하기 위해 실리콘을 RIE(reactive ion etching)에 의하여 120초간 식각하여 팁 높이를 $1.5 \mu\text{m}$ 로 유지하였다. 이때 사용된 가스는 SF_6 (20sccm)로서 O_2 (4sccm)를 적절히 혼합하여 팁의 높이를 조절하였다. 산화막의 직경이 $2 \mu\text{m}$ 인 경우 $1.5 \mu\text{m}$ 깊이 까지 식각하였을 때 실리콘 기둥 윗면의 지름은 약 3000 \AA 이 남게 되었다. 첨예한 팁의 형상을 얻기 위해서 1100°C 에서 dry O_2 분위기로

180분간 sharpening oxidation을 실시하여 팁의 구조를 최적화하였다. 게이트 절연막을 증착한 후 증착된 SiO₂ 층의 누설 전류 특성을 개선하기 위해 950°C에서 Dry O₂ 분위기로 1시간동안 치밀화(densification) 공정을 수행하였다.

다음은 Mo 금속을 사용하여 전자-빔 증착(E-beam evaporation) 방법으로 게이트 전극을 3000Å 증착하였다. 금속막 두께를 3000Å로 증착한 것은 두꺼운 금속막 증착 시 증착된 금속막의 스트레스 증가로 인해 게이트 금속이 갈라지는 현상이 나타나며, 얇게 증착할 경우 팁 끝을 게이트의 금속 증착 부분에 일치시키기 어렵기 때문에 팁 높이만큼의 게이트 전극을 증착하게 되었다. 게이트 금속 증착 후 금속막의 특성을 개선하기 위해 RTA(rapid thermal annealing) 장치에서 후속 열처리를 실시하였다.

다음은 리프트-오프(lift-off)공정으로 BHF 용액(HF:NH₄F=1:7)을 이용하여 캐소드 팁의 산화막을 선택적으로 제거시킴으로써 oxidation sharpening에 의해 생성된 팁 주위의 산화막과 금속막 만을 제거시켰다. 팁 끝의 산화막이 완전히 제거되어야만 캐소드로부터 전계방출이 되므로 BHF 용액에서 5분정도 충분히 식각해 주었다. 이로써 실리콘 전계 방출 소자를 완성하였다.

완성된 실리콘 전계방출소자에 Ti 실리사이드 처리를 하기 위해 전자-빔 증착 방식으로 각각의 샘플에 Ti 금속을 약 200Å의 두께로 증착 하였다. Si 팁에 증착된 Ti 금속을 실리사이드화하기 위해 RTA(rapid thermal annealing) 장치를 이용하여 N₂ 분위기에서 2단계 열처리(1차:600°C/30sec, 2차:800°C/20sec)를 실시하였으며 실리사이드화 과정에서 반응되지 않은 Ti 금속을 <NH₄OH:H₂O₂:H₂O=1:1:5> 용액으로 선택 제거하였다.

실리사이드 형성을 알아보기 위해 시편의 상변화 과정을 XRD(X-ray diffraction) 분석으로 조사하였다. 그림 2는 2단계 열처리를 실시한 TiSi₂의 X-선 회절곡선이다. 이렇게 하여 완성된 Ti 실리사이드 전계 방출소

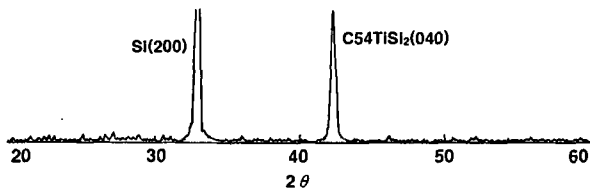


그림 2. TiSi₂의 X-선 회절곡선
Fig. 2. X-ray diffraction of TiSi₂.

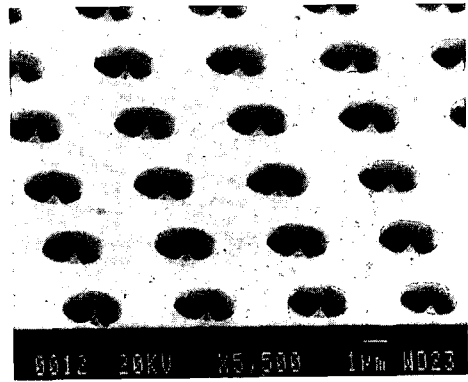


그림 3. 실리사이드 처리된 전계 방출소자의 SEM 형상
Fig. 3. SEM of silicided field emission device.

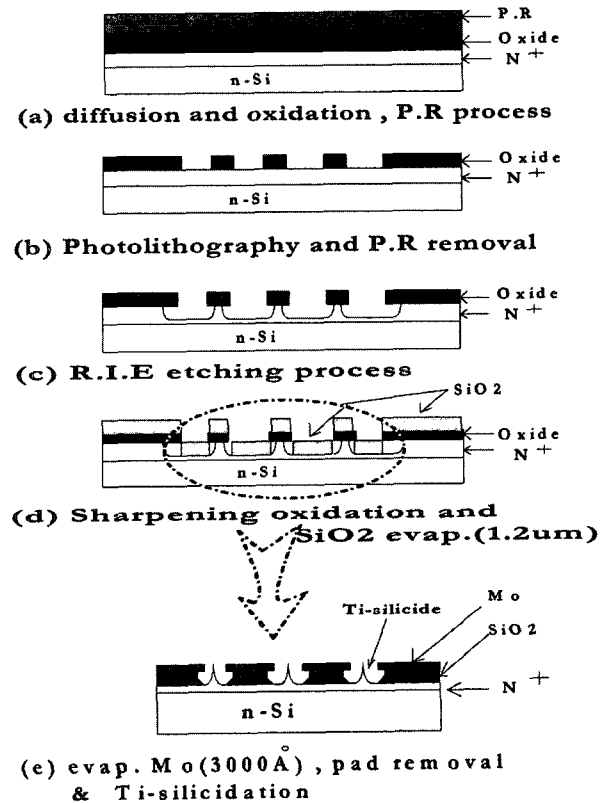


그림 4. 소자제조 공정순서
Fig. 4. Process flow.

자의 SEM 형상을 그림 3에 나타내었다. 또한 그림 4에 소자제조 공정순서를 그림으로 나타내었다.

III. 결과 및 고찰

전계방출소자에 대한 전기적 특성을 분석하기 위해 그림 5와 같은 측정 시스템을 구성하였다. 그림에서 나타난 바와 같이 제작된 소자는 2극형으로 구성되어 있으며 소자의 윗면에 위치한 강판이 애노드 전극의 역할을 하고 있다. 이들은 각각 매니플레이터에 부착되어

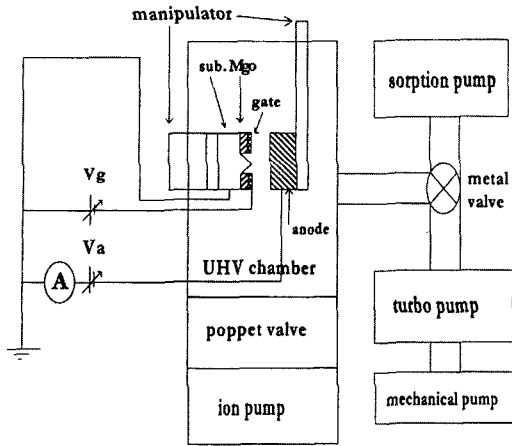


그림 5. I-V 측정을 위한 UHV 시스템
Fig. 5. UHV system for I-V measurement.

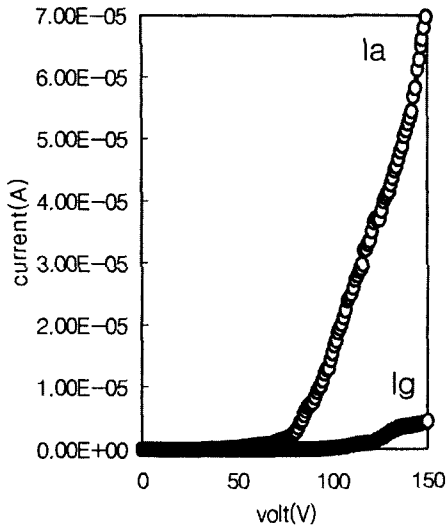


그림 6. Ti-실리사이드 전계방출소자의 전류-전압 특성
Fig. 6. Current-voltage characteristic of Ti silicided FED.

진공 챔버의 외부에서 그 상대적인 위치를 조절할 수 있다. 그리고 캐소드 전극에 전압을 인가 할 수 있도록 직류전원 공급 장치를 연결하였다.

애노드 전압을 변화시킬 때 어느 특정 전압에서 팁으로부터 전자가 방출되기 시작하는데 이 방출 전자는 애노드 전극으로 향하게 되어 전극에 도달한 전자의 양에 의존하는 전류가 전류계에 μA 의 단위로 나타내게 된다. 이런 원리로 측정되는 캐소드 전압에 대한 전류의 양은 캐소드 팁에서 최초로 전자가 방출되는 개시전압 (turn-on voltage)으로부터 전압이 증가할수록 급격하게 증가한다. 본 실험에서는 제작된 전계방출소자를 캐소드와 애노드 사이의 거리를 $100\mu\text{m}$ 로 하여 전계 방출 전류 특성을 측정하였다. 그림 6에서는 제작된 소자의 인가전압에 따른 전류 방출 특성을 보여주고 있다.

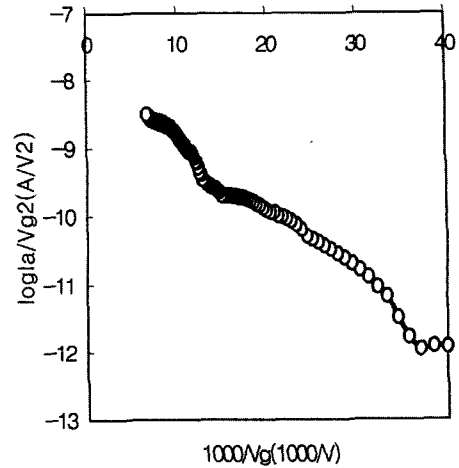


그림 7. Ti 실리사이드 전계방출소자의 Fowler-Nordheim 곡선

Fig. 7. Fowler-Nordheim line of Ti silicided FED.

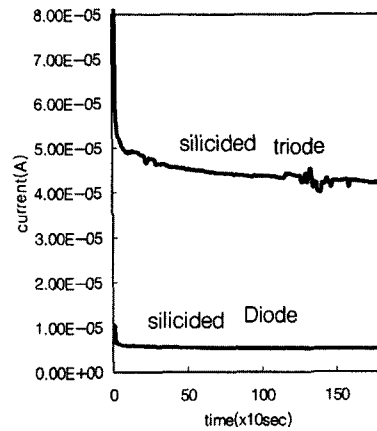


그림 8. Ti 실리사이드 전계방출소자의 방출 전류 변동
Fig. 8. Emission current of Ti silicided FED.

실리콘 팁에 Ti 실리사이드 처리한 전계방출소자에서는 약 40V에서 방출이 일어나기 시작했으며 캐소드 전압이 150V일 때 최대 방출 전류는 Ti 실리사이드 전계방출소자의 경우 약 $69\mu\text{A}$ 로 나타났으며 팁 당 방출 전류는 약 $1 \times 10^{-2} \mu\text{A}/\text{tip}$ 으로 나타났다. 이때 게이트 누설전류는 약 $4.5\mu\text{A}$ 로 나타났다. 실리콘 전계방출소자가 약 85V에서 turn-on 되는 것에 비하여 Ti 실리사이드 전계방출소자가 낮은 turn-on 전압과 높은 방출 전류를 나타내는 것은 팁 표면재료의 낮은 일함수에 기인하는 것으로 판단된다.

그림 7은 그림 6의 전류 전압 특성을 Fowler-Nordheim 식으로 구성하여 나타낸 그림이다. 이 그림을 살펴보면 전반적으로 반비례의 직선의 형태를 하고 있어 이 전자 방출이 전기장에 의한 것이라고 생각할 수 있다.

그림 8은 제작된 전계방출소자의 장시간 동작에서의 팁 내구성과 방출 전류의 안정성을 알아보기 위해 인가 전압을 150V로 하여 30분 동안 방출전류를 측정 한 결과이다. 그림에서 볼 수 있듯이 초기 과도 상태를 제외 하면 Ti 실리사이드 전계방출소자가 30분간의 동작시간을 통해 약 6%의 감소($\sim 0.1\%/min.$)로 안정한 내구성을 보였고, 실리콘 전계방출소자는 약 1000초의 기간 경과 후 breakdown 현상이 일어나는 불안정한 특성을 나타내었다.

IV. 결 론

본 실험에서 200×200 어레이(dia.:2 μm)를 갖는 마스크를 제작하여 RIE 및 oxidation sharpening 기술을 사용해 실리콘 전계방출소자를 제작하였고 전계방출 소자의 열화학적 내구성을 증가시키기 위해 2단계 열처리 과정을 거쳐 팁 표면을 실리사이드화 하여 C54 TiSi₂ 상을 얻을 수 있었으며 실리사이드 처리 후 팁 형상은 전자현미경 사진을 통해 첨예하게 나타남을 알 수 있었다. 그래서 방출 전류 밀도를 금속 팁에 가깝게 끌어올릴 수 있는 새로운 타입의 3극형 Ti 실리사이드 전계 방출 소자가 완성되었다.

애노드와 캐소드 사이의 거리를 100 μm 로 유지하고 UHV 챔버에서 10⁻⁸ Torr의 고진공 상태에서 전류 방출 특성을 측정한 결과 Ti 실리사이드 전계방출소자의 turn-on 전압은 약 40V로, 전계방출 전류와 정상상태의 전류 변동율은 150V의 바이어스 아래에서 약 69 μA 와 0.1%/min.로 나타났다.

Ti 실리사이드 전계방출소자는 팁 표면에 형성된 실리사이드 박막의 높은 열화학적 안정성 및 낮은 일함수로 인해 낮은 turn-on 전압, 높은 전계 방출 전류 및 고내구성을 갖는 우수한 특성을 나타내었으며 소자 제작 과정에서 실리콘 공정기술을 활용하여 고밀도 팁 어레이를 실현할 수 있어 향후 고성능 FED 개발에 응용이 기대된다.

참 고 문 헌

[1] 이종덕, 권상직, "FED(field Emission Display) 기술과 전망," 전자공학회지, 22(3), 1995.
 [2] S. Iannazzo, "A survey of the present status of vacuum microelectronics," Solid-State Electronics, vol. 36, no. 3, pp. 301-300, 1993.
 [3] I. Brodie, and P. R. Schwoebel. "Vacuum

microelectronic devices," Proc. of IEEE, vol. 82, no. 7, pp. 1005-1034, 1994.

[4] R. H. Fowler, and I. Northeim, "Electron Emission in Intence Electric Fields," Proc. Roy. Soc. (London) vol. 119A, 1928.
 [5] C. A. Spindt, I. Brodie, L. Humphrey, and E. R. Westerberg, "Physical Properties of Thin-Film Field Emission Cathodes with Molybdenum Cones," Appl. physics, vol. 47, no. 12, 1976.
 [6] C. A. Spindt, C. E. Hlland, A. Rosengreen, and I. Brodie, "Field-Emitter Arrays for Vacuum Microelectronics," IEEE Trans. Electron Devices, vol. 38, 1991.
 [7] N. E. Mcgruer, K. Warner, P. Singhal, J. J. Gu, and Chuug Chan, "Oxidation-sharpend gated field emitter array process," IEEE Trans. Electron Devices, vol. 38 no. 10, pp. 2389-2391, 1991.
 [8] K. Yokko, M. Arai, M. Mori, and S. Ono, "Technology breakthrough in development of field emitter display," IDW'94, pp. 19-22, 1994.
 [9] E. G. Zaidman, "Simulation of field emission microtips," IEEE Trans. Electron Devices, vol. 40, no. 5, pp. 1009-1016, 1993.

저 자 소 개



엄 우 용(평생회원)
 1990년 단국대학교
 전자공학과 학사 졸업.
 1992년 단국대학교 대학원
 전자공학과 석사 졸업.
 1998년 단국대학교 대학원
 전자공학과 박사 졸업.

1996년~현재 인하공업전문대학
 디지털전자정보과 교수.

<주관심분야 : 반도체, VLSI설계>