

Si 칩에 형성된 박막히터를 이용한 Chip-on-Glass 공정

정부양 · 오태성*

홍익대학교 신소재공학과

Chip-on-Glass Process Using the Thin Film Heater Fabricated on Si Chip

Boo-Yang Jung and Tae-Sung Oh

Department of Materials Science and Engineering, Hongik University

초 록: Si 칩에 박막히터를 형성하고 이에 전류를 인가하여 LCD (liquid crystal display) 패널의 유리기판은 가열하지 않으면서 Si 칩만을 선택적으로 가열함으로써 Si 칩을 LCD 패널의 유리기판에 실장하는 새로운 COG 공정기술을 연구하였다. 5 mm×5 mm 크기의 Si 칩에 마그네트론 스퍼터링법으로 폭 150 μm , 두께 0.8 μm , 전체 길이 12.15 mm의 정방형 Cu 박막히터를 형성하였으며, 이에 0.9A의 전류를 60초 동안 인가하여 Si 칩의 Sn-3.5Ag 솔더범프를 리플로우 시킴으로써 Si 칩을 유리기판에 COG 본딩하는 것이 가능하였다.

Abstract: New Chip-on-glass technology to attach an Si chip directly on the glass substrate of LCD panel was studied with local heating method of the Si chip by using thin film heater fabricated on the Si chip. Square-shaped Cu thin film heater with the width of 150 μm , thickness of 0.8 μm , and total length of 12.15 mm was sputter-deposited on the 5 mm×5 mm Si chip. With applying current of 0.9A for 60 sec to the Cu thin film heater, COG bonding of a Si chip to a glass substrate was successfully accomplished with reflowing the Sn-3.5Ag solder bumps on the Si chip.

Keywords: Flip Chip, chip on glass, Thin-film heater, Pb-free solder

1. 서 론

평판 디스플레이 장치인 LCD (liquid crystal display) 패널에 구동 IC (integrated circuit) 칩을 연결하는 방법으로서 최근 Si 칩을 LCD 패널의 유리기판에 직접 실장하는 COG (chip on glass) 공정이 개발되었다.¹⁻⁸⁾ COG 공정에서는 Si 칩의 점유면적을 최소화시킬 수 있어 평판 디스플레이의 소형화와 박판화가 가능하고, Si 칩과 평판 디스플레이 패널간의 거리 감소에 따른 신호전달 속도의 증가로 해상도의 향상이 가능하다. 현재까지 개발된

COG 기술 중에서 신뢰성 있는 기술로는 이방성 전도필름을 이용한 방법과 솔더범프의 리플로우를 이용한 방법이 있다.^{1,2,5-8)}

이방성 전도필름을 이용한 방법은 폴리머 기지에 Au, Ag, Ni 등의 금속입자 또는 Au/Ni을 코팅한 플라스틱 입자와 같은 전도입자가 들어있는 이방성 전도필름을 Si 칩과 LCD 패널 사이에 넣고 열압착시켜 Si 칩을 LCD 패널에 실장시키는 방법이다.⁴⁻⁸⁾ 이방성 전도필름을 이용하는 COG 기술에서는 평판 디스플레이 패널에 형성된 패드와 Si 칩의 범프 사이에 압착된 전도입자의 기계적 접촉

*Corresponding author
E-mail: ohts@hongik.ac.kr

에 의해 전기가 통하므로 접촉저항이 커서 LCD 패널의 성능이 저하될 수 있으며, 사용 중에 시간이 지남에 따라 접촉저항이 계속 증가하여 LCD 패널의 신뢰도가 저하하는 문제점이 발생할 수 있다. 또한 열압착 공정중에 LCD 패널이 응력을 받아 깨질 수 있으며, 접합시 Si 칩의 범프와 LCD 패널의 패드 사이에 정렬오차가 발생하여도 자체 정렬이 안되기 때문에 $50\ \mu\text{m}$ 이하의 매우 미세한 피치를 갖는 Si 칩의 실장에는 적용하기 어려운 단점이 있다.⁹⁾

이에 반해 Si 칩에 형성한 솔더범프를 리플로우 하여 Si 칩을 평판 디스플레이 패널의 패드에 접합하는 COG 기술에서는 접합저항이 이방성 전도 필름을 사용한 경우에 비해 현저하게 낮아 평판 디스플레이 장치의 성능 보전이 가능하며, 접합부의 신뢰도가 이방성 전도 필름을 사용한 경우보다 뛰어나다는 장점이 있다.¹⁾ 또한 솔더범프의 리플로우 전에 Si 칩의 솔더범프와 평판 디스플레이 패널의 패드 사이에 정렬오차가 생기더라도 솔더범프의 리플로우시 액상솔더의 표면장력으로 자체 정렬이 되기 때문에, $50\ \mu\text{m}$ 이하 크기의 매우 미세한 피치를 갖는 Si 칩의 경우에도 정밀한 실장이 가능한 장점이 있다.

솔더범프의 리플로우에 의한 COG 기술을 사용하여 Si 칩을 평판 디스플레이 패널에 실장하기 위해서는 Si 칩과 평판 디스플레이 패널을 모두 솔더범프의 리플로우 온도로 가열하여야 한다. 따라서 Sn-3.5Ag, Sn-0.7Cu와 Sn-Ag-Cu와 같이 융점이 높은 무연솔더를 COG 공정에 적용하는 것이 어렵기 때문에,¹⁰⁻¹²⁾ Bi-Sn, In-Sn, In-Ag, In 등의 저용

점 솔더범프를 이용하는 COG 기술이 제안되었다.¹⁾ 그러나 이와 같은 저용점 솔더들은 기계적 강도가 낮기 때문에 솔더 접합부의 신뢰도가 떨어지며 열 피로에 취약하고, 가격이 비싸다는 문제점이 있다. 이와 더불어 LCD 패널 전체를 저용점 솔더범프의 리플로우 온도인 $120\sim 150^\circ\text{C}$ 로 가열하여야 하기 때문에, Sn-3.5Ag나 Sn-0.7Cu 등의 솔더범프를 사용한 경우보다는 심하지는 않으나 LCD 패널이 손상을 입을 수 있다. 따라서 기존의 이방성 전도 필름을 사용한 COG 기술에 비해 접합부의 성능이 우수하고 미세 피치를 갖는 Si 칩의 실장이 가능하며, 또한 저온솔더범프를 이용한 기술보다 저가이며 신뢰성이 우수한 새로운 COG 기술의 개발이 요구되고 있다.

본 연구에서는 현재까지 개발된 COG 공정기술이 지니고 있는 문제점을 해결하기 위한 방안 중의 하나로서 Sn-Ag 등의 무연솔더의 적용이 가능한 새로운 COG 공정기술을 구현하고자 하였다. 이를 위해 Si 칩에 박막히터를 형성하고 이에 전류를 인가하여 유리기판은 가열하지 않으면서 Si 칩을 선택적으로 가열하여 Si 칩을 유리기판에 실장하는 새로운 COG 공정기술의 개념을 수립하였다. 이를 바탕으로 박막히터를 이용하여 Sn-3.5Ag 무연솔더 범프를 리플로우 시켜 Si 칩을 유리기판에 COG 본딩하였다.

2. 실험 방법

박막히터를 이용한 COG 기술의 개념도를 Fig. 1에 나타내었다. Fig. 1에서와 같이 Si 칩에서 솔더

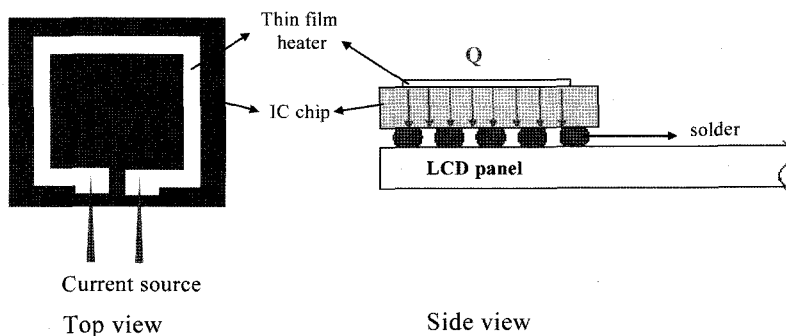


Fig. 1. Schematic illustration for the COG process using thin film heater. (Thin film heater is fabricated on the back side of Si chip).

범프가 형성되는 반대 면에 박막히터를 형성하고 패드 부에 전류를 인가하면 박막히터에서 저항에 의한 Joule 열이 발생하며, 이 열이 열전도도가 우수한 Si 칩을 통하여 솔더범프로 전도되고 솔더범프가 리플로우되어 COG 실장이 가능하게 된다. LCD 패널의 기판인 유리의 열전도도는 $2 \text{ W/m}\cdot\text{K}$ 로 IC 칩 재료인 Si의 열전도도인 $148 \text{ W/m}\cdot\text{K}$ 에 비해 매우 낮다.¹³⁾ 따라서 박막히터에서 발생한 열이 LCD 패널로는 전도되기 어렵기 때문에 COG 공정시 LCD 패널의 손상을 최소화할 수 있다.

Si 칩에 형성된 박막히터의 인가전류에 따른 발열특성을 분석하기 위해 박막히터 시편을 제작하였다. 100 nm SiO_2 가 형성된 P형 Si 웨이퍼를 $5 \text{ mm} \times 5 \text{ mm}$ 크기로 절단한 후, 솔더범프가 형성되는 반대 면에 $0.1 \mu\text{m}$ 두께의 Ti를 증착층의 용도로 스퍼터 증착한 후 그 위에 폭 $150 \mu\text{m}$, 두께 $0.8 \mu\text{m}$ 의 Cu를 박막히터의 용도로 스퍼터 증착하고 다시 그 위에 산화방지막으로 $0.1 \mu\text{m}$ 두께의 Ti를 스퍼터 증착하였다. 이와 같이 박막히터가 형성된 Si 칩의 가운데 부분에 열전대를 부착하여 인가전류에 따른 Si 칩의 온도변화를 측정하여 박막히터의 발열특성을 분석하였다. Fig. 2에 본 연구에서 사용한 정방형 Cu 박막히터의 사진을 나타내었다.

COG 공정용 Si 칩은 Fig. 3에 나타난 공정모식도를 사용하여 제작하였다. Si 웨이퍼를 $5 \text{ mm} \times 5 \text{ mm}$ 크기로 절단한 후, 솔더범프가 형성될 반대 면에 $0.1 \mu\text{m}$ Ti, $0.8 \mu\text{m}$ Cu 및 $0.1 \mu\text{m}$ Ti를 순차적으로 스퍼터링 하여 정방형 Cu 박막히터를 제작하

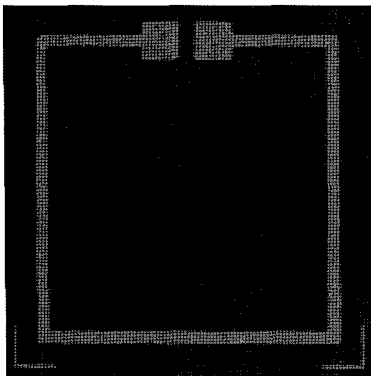


Fig. 2. SEM micrograph of a square-shaped Cu thin film heater fabricated on a Si chip.

였다. 이와 같은 Si 칩에 photolithography 공정을 이용하여 UBM (Under Bump Metallurgy) 위치에 photoresist (PR) 패턴을 형성하였다. PR 패턴에 $0.1 \mu\text{m}$ 두께의 Ti를 증착층으로 스퍼터 증착 후 그 위에 $3 \mu\text{m}$ 두께의 Cu를 스퍼터 증착하여 UBM을 형성하였다. 이와 같은 Si 칩의 Ti/Cu UBM 상에 용융온도가 221°C 인 Sn-3.5Ag 솔더를 진공증착 후 PR을 제거하였다. 박막히터에 전류를 인가하여 Si 칩의 온도를 250°C 로 올려 Sn-3.5Ag 증착솔더를 리플로우시켜 직경 $80 \mu\text{m}$ 인 솔더범프를 형성하였다. COG 공정용 유리기판을 제작하기 위해 Fig. 3에 있는 공정의 일부를 사용하여 코닝 1730 유리기판 위에 $0.1 \mu\text{m}$ Ti/ $3 \mu\text{m}$ Cu UBM을 형성하였다.

Si 칩에 형성된 박막히터를 이용하여 COG 본딩을 하기 위해 솔더범프가 리플로우된 Si 칩에 플럭스를 도포하고 유리기판에 올려놓은 후 플립칩 본더를 이용하여 10N의 하중으로 140°C 에서 30초 동안 유지하여 플립칩 배열하였다. Sn-3.5Ag 솔더의 용점은 221°C 로 플립칩 배열온도인 140°C 보다 높기 때문에 플립칩 배열시 솔더범프의 리플로우에 의한 COG 본딩은 발생하지 않는다. 이와 같이 플립칩 배열된 시편에 대해 Fig. 1과 같이 박막히터의 패드부에 probe를 접촉 후 DC 전원공급기로 60초 동안 박막히터에 전류를 인가하여 솔더범프를 리플로우시켜 COG 본딩하였다. COG 본딩된 시편을 마운팅하고 미세연마 후, 주사전자현미경 (Scanning Electron Microscopy :SEM)을 사용하여 솔더 접합부의 미세구조를 관찰하였다.

3. 결과 및 고찰

Fig. 2와 같은 정방형 Cu 박막히터를 형성한 $0.5 \text{ mm} \times 0.5 \text{ mm}$ Si 칩에서 전류 인가시간에 따른 Si 칩의 온도를 Fig. 4에 나타내었다. 이때 Si 칩의 온도는 Si 칩의 정 중앙에 열전대를 부착하여 측정하였다. Sn-3.5Ag 무연솔더의 리플로우 온도인 250°C 까지 Si 칩을 가열하기 위해서는 Cu 박막히터의 경우 0.9 A 의 인가전류가 요구되었다. 박막히터에 전류를 인가하면 Joule 열이 발생하며, 전류인가 시간 t 동안 발생하는 열량 Q 는 식 1로 표현된다. 식 1에서 I 는 인가전류(A), R 은 박막히터의 저항(Ω)이다.

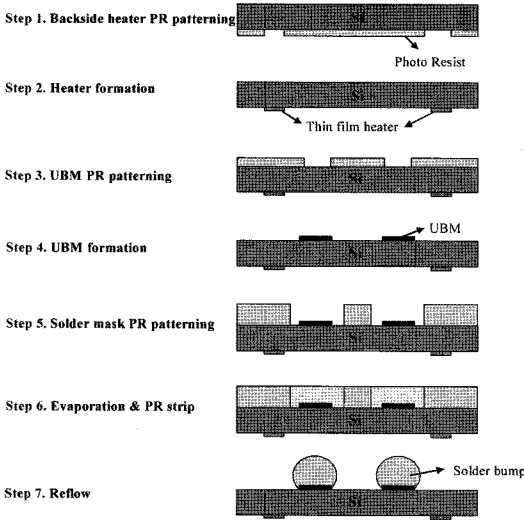


Fig. 3. Experimental flow diagram to fabricate samples for COG process.

$$Q = I^2 R t \tag{1}$$

박막히터에 의해 발생하는 Joule 열에서 Si 칩으로 전도되어 Si 칩의 온도를 증가시키는데 사용되는 열의 비율을 α 라고 하면 Si 칩의 온도를 ΔT 만큼 증가시키기 위해 박막히터에서 제공하여야 하는 열량은 식 2와 같이 나타낼 수 있다. 식 2에서 C_p 는 박막히터 재료의 열용량, n 은 박막히터 재료의 몰수, d 는 박막히터 재료의 밀도, W 는 박막히터의 폭, L 은 박막히터의 전체 길이, h 는 박막히터의 두께, M_A 는 박막히터 재료의 원자량이다.¹⁴⁾

$$Q = \frac{C_p n \Delta T}{a} = \frac{C_p d W L h \Delta T}{a M_A} \tag{2}$$

식 1과 식 2를 이용하여 Si 칩의 온도를 상온에서 원하는 온도까지 올리기 위해 박막히터에 가해주어야 하는 전류 I 는 식 3과 같이 얻을 수 있다. 식 3에서 ρ 는 박막히터 재료의 전기비저항이다.

$$I = \sqrt{\frac{C_p d W^2 h^2 \Delta T}{a M_A \rho t}} \tag{3}$$

식 3에서 인가전류 I 와 Si 칩의 온도 증가 ΔT 사이에 $I \propto \sqrt{\Delta T}$ 의 관계가 성립하며, 이는 Fig. 5에서와 같이 Cu 박막히터에서 실제로 잘 일치함을

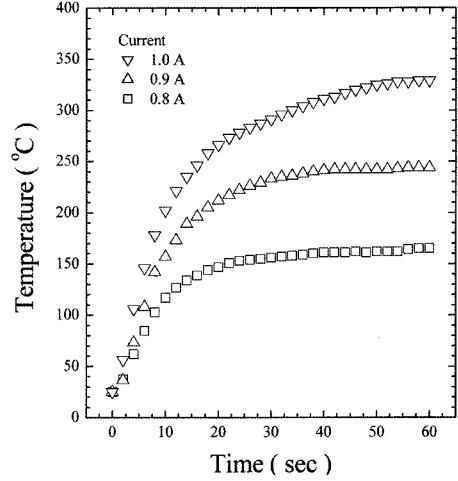


Fig. 4. Temperature distribution of the 5mm × 5mm Si chip heated by the Cu thin film heater.

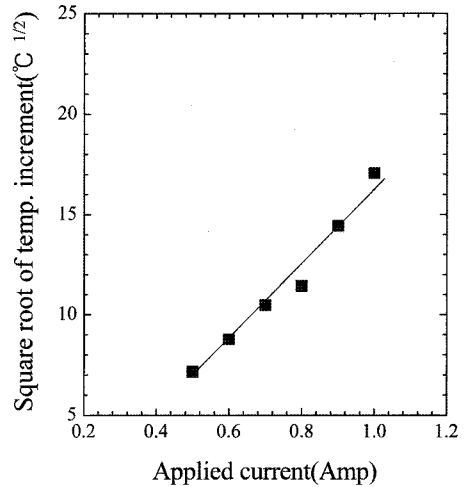


Fig. 5. Relationship between square root of the temperature increment $(\Delta T)^{1/2}$ of the Si chip and the current applied to the Cu thin film heater.

확인할 수 있었다.

0.5 mm×0.5 mm 크기의 Si 칩에 형성한 정방형 Cu 박막히터에 0.9A의 전류를 60초 동안 인가하였을 때 Si 칩의 온도분포에 대한 전산모사를 Abaqus를 이용하여 실시하였다. 0.8 μm 두께의 Cu 박막히터가 형성된 Si 칩을 유리기판 상에서 0.9A의 전류를 인가하여 가열하는 형태로 모델링하였으며, 이때 인가된 전류는 모두 Joule 발열에 사용된다고 가정하였다. 해석결과 Fig. 6과 같이 0.9A

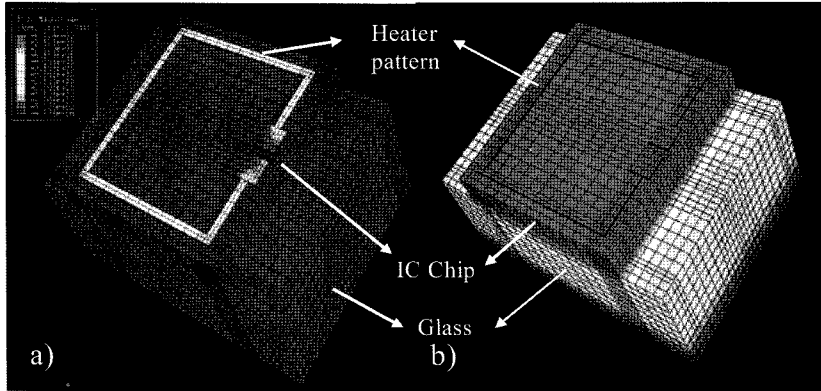


Fig. 6. Simulation results for (a) current density and (b) temperature distribution when 0.9A is applied to the square-shaped Cu thin film heater.

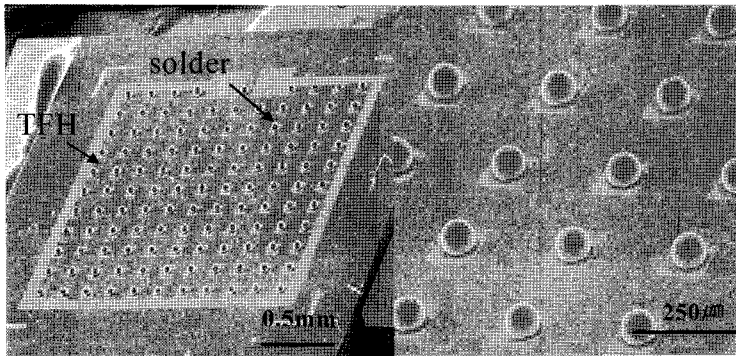


Fig. 7. SEM micrographs of the Sn-3.5Ag solder bumps reflowed by using the square-shaped Cu thin film heater.

의 전류를 인가하였을 때 Cu 박막히터에서 발생되는 전류밀도는 최대 $\sim 3 \times 10^3 \text{ A/m}^2$ 이었으며, 이때 Si 칩은 약 250°C 로 가열되었다.

정방형 Cu 박막히터를 형성한 Si 칩의 같은 면에 Fig. 3의 공정을 이용하여 Sn-3.5Ag 솔더 패턴을 형성 후, Cu 박막히터에 0.9A의 전류를 60초 동안 인가하여 형성한 솔더범프의 SEM 사진을 Fig. 7에 나타내었다. Cu 박막히터에서 발생하는 Joule 열에 의해 $0.5 \text{ mm} \times 0.5 \text{ mm}$ 크기의 Si 칩의 모든 부위의 온도가 250°C 부근으로 유지됨에 따라 Si 칩에 증착한 모든 Sn-3.5 Ag 솔더들이 리플로우되어 솔더범프가 잘 형성되는 것을 확인할 수 있었다.

Cu 박막히터에 0.9A의 전류를 60초 동안 인가하였을 때 $0.5 \text{ mm} \times 0.5 \text{ mm}$ 크기의 Si 기판의 모서리로부터 거리에 따른 유리기판의 온도분포를 Abaqus 전사모사 프로그램을 이용하여 해석하였

다. 이때 모델의 구조가 등방성을 나타내기 때문에 1/4만을 모델링하여 해석을 단순화 하였다. Fig. 8에 나타낸 해석결과와 같이, Cu 박막히터로 가열된 Si 칩의 온도가 250°C 로 유지될 때 Si 칩의 모서리로부터 거리가 증가함에 따라 유리기판의 온도가 급격히 저하하며, 이에 따라 COG 공정시 LCD 패널의 손상을 최소화할 수 있다는 것을 확인할 수 있다.

Si 칩에 형성된 Cu 박막히터를 이용하여 COG 본딩을 실시하기 위하여 Fig. 3에 나타낸 시편 제조공정을 이용하여 $5 \text{ mm} \times 5 \text{ mm}$ 크기의 Si 칩을 제조하였다. 우선 Si 칩에서 솔더범프를 형성할 반대면에 정방형의 Cu 박막히터를 제작 후, Si 칩의 UBM에 Sn-3.5Ag 솔더를 진공증착하였다. Si 칩에 형성된 Cu 박막히터에 0.9 A의 전류를 60초 동안 인가하여 Si 칩을 250°C 로 가열함으로써 Si 칩에

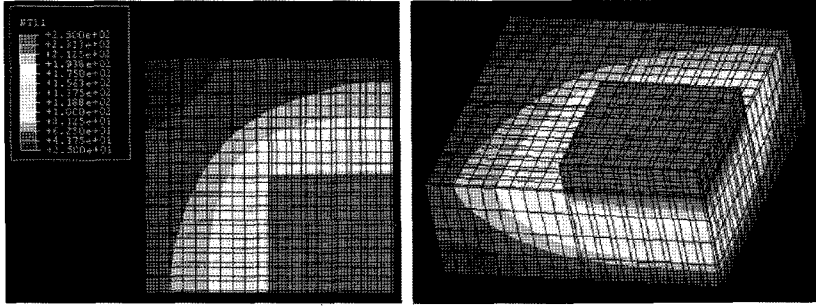


Fig. 8. Simulation result for the temperature distribution of the glass substrate during GOG process by applying 0.9A current to the Cu thin film heater for 60 seconds.

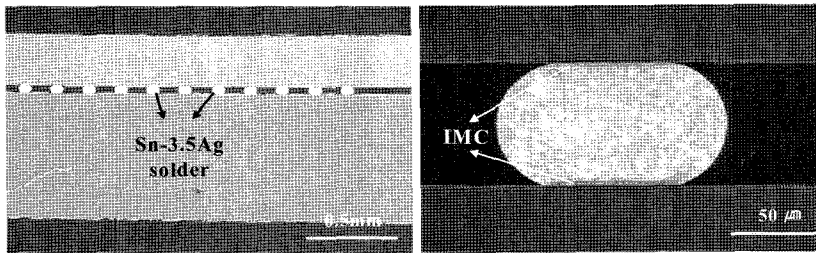


Fig. 9. SEM micrographs of a specimen COG-bonded using a Cu thin film heater fabricated on the back side of a Si chip.

형성되어 있는 증착술더 패턴을 리플로우 하였다. COG 본딩용 Si 칩에서 리플로우된 Sn-3.5Ag 솔더 범프의 형상은 Fig. 7과 동일하다. 이와 같은 Si 칩을 유리기판에 COG 본딩하기 위해 Fig. 3에 나타난 공정의 step 3과 step 4 처리를 하여 COG 본딩용 UBM이 형성된 유리기판을 제작하였다. Cu 박막히터가 형성된 Si 칩을 유리기판에 배열한 후 Cu 박막히터에 0.9A의 전류를 60초 동안 인가하여 COG 본딩을 실시하였다. Fig. 9에 Cu 박막히터를 이용하여 COG 본딩한 시편의 SEM 사진을 나타내었다. 이 결과에서와 같이 Si 칩 및 유리기판의 UBM과 Sn-3.5Ag 솔더범프 사이의 계면에서 충분한 솔더반응에 의해 Cu_6Sn_5 금속간화합물이 형성된 것이 관찰되었다. 이로부터 Si 칩에 형성된 Cu 박막히터에 전류를 인가함으로써 솔더범프의 리플로우에 의해 Si 칩과 유리기판 사이의 COG 본딩이 잘 이루어져 있는 것을 확인할 수 있었다.

Si 칩에 형성된 박막히터를 이용한 COG 공정은 flexible 디스플레이의 본딩공정인 COP와 더불어 고분자 기판에 Si 칩을 직접 실장하는 저가격 플립칩 공정에 적용이 가능하다. COP 공정과 저가

격 플립칩 공정에서는 Si 칩이나 유리보다 열팽창 계수가 큰 플라스틱 재료를 기판으로 사용한다. 각기 박막히터를 이용한 본딩법 및 대류 열전달에 의해 기판 전체를 가열하는 기존 리플로우 본딩법으로 플라스틱 기판상에 Si 칩을 실장시 발생하는 기판 warpage를 Abaqus 전산모사 프로그램을 이용하여 예측하였다. 이때 기판 warpage의 비교를 용이하게 하기 위해 Si 칩의 크기를 5mm×5mm 보다 큰 12mm×12mm로 설정하였으며, 플라스틱 기판의 크기는 20mm×20mm로 설정하였다. 플립칩 본딩구조가 대칭구조이므로 1/4로 단순화 하여 모델링을 하였으며, 그 결과를 Fig. 10에 나타내었다. 대류열전달에 의한 기존 리플로우 방법으로 250°C에서 플립칩 본딩 후 냉각하였을 때는 Fig. 10(a)와 같이 Si 칩과 플라스틱 기판간의 열팽창계수 차이에 의해 기판이 약 196 μm의 warpage를 나타내었다. 반면에 박막히터를 이용하여 Si 칩을 250°C로 선택적으로 가열하여 플립칩 본딩하였을 때는 Fig. 10(b)와 같이 기판 warpage가 28 μm로 기존 리플로우 공정보다 1/7 이하로 감소하는 것을 알 수 있다. 따라서 본 연구에서 제안하는 박막

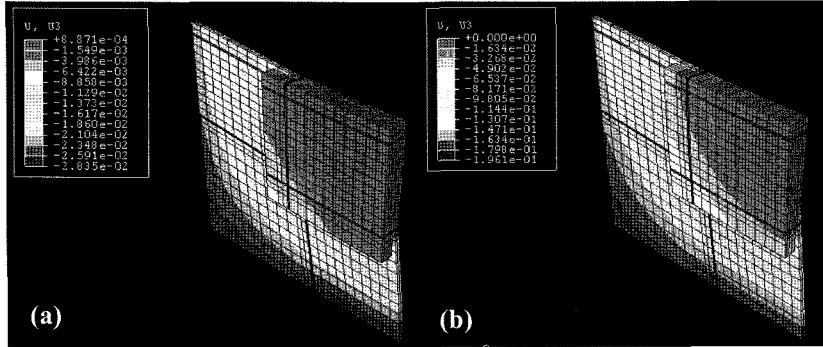


Fig. 10. Warpage simulation of plastic substrate after flip chip bonding using (a) conventional reflow process and (b) thin film heater.

히터를 이용한 칩 본딩공정을 COP 공정과 저가격 플립칩 공정에 적용시, 플라스틱 기판의 warpage를 크게 저하시킬 수 있으며, 이에 따른 솔더 접합부의 응력 감소로 솔더 접합부의 신뢰도 향상이 가능할 것이다.

4. 결 론

Si 칩에 형성된 박막히터를 이용한 COG 실장기술에 대한 연구의 결과, 다음과 같은 결론을 얻을 수 있었다.

(1) Si 칩에 형성된 박막히터를 이용하여 LCD 패널의 가열을 최소화 하면서 Si 칩의 솔더범프를 리플로우 시켜 Si 칩을 LCD 패널의 유리기판에 실장시킬 수 있는 새로운 COG 실장기술의 개념을 수립하였다.

(2) 박막히터에 인가한 전류 I와 Si 칩의 온도증가 ΔT 사이에는 $I \propto \sqrt{\Delta T}$ 의 관계가 성립하였다. 5 mm × 5 mm 크기의 Si 칩에 형성한 폭 150 μm , 두께 0.8 μm , 전체 길이 12.15 mm의 정방형 Cu 박막히터에 0.9A의 전류를 30초 이상 인가시 Si 칩의 온도가 250 $^{\circ}\text{C}$ 에 도달하여 Sn-3.5Ag 무연솔더의 리플로우가 가능하였다.

(3) 5 mm × 5 mm 크기의 Si 칩에 형성한 폭 150 μm , 두께 0.8 μm , 전체 길이 12.15 mm의 정방형 Cu 박막히터에 0.9A의 전류를 60초 인가하여 Si 칩의 Sn-3.5Ag 솔더범프를 리플로우 시킴으로써 유리기판 상에 COG 본딩이 가능하였다. 이로부터 Si 칩에 형성된 박막히터를 사용하여 LCD 패

널의 손상을 최소화 하면서 Sn-Ag 등의 무연솔더의 적용이 가능한 새로운 COG 공정기술을 구현할 수 있다고 사료된다.

(4) Si 칩에 형성한 박막히터를 이용한 칩 본딩공정을 COP 공정과 저가격 플립칩 공정에 적용시, 플라스틱 기판의 warpage를 크게 저하시킬 수 있으며, 이에 따른 솔더 접합부의 응력 감소로 솔더 접합부의 신뢰도 향상이 가능할 것이다.

감사의 글

본 연구는 산업자원부의 21세기 프론티어연구 개발사업인 차세대 정보 디스플레이 기술개발단의 연구비(과제번호: F0004121) 지원으로 수행되었으며, 이에 감사드립니다.

참고문헌

1. U. B. Kang and Y. H. Kim, "A new COG technique using low temperature solder bumps for LCD driver IC packaging applications", IEEE Trans. Comp. Packag. Technol., 27, 254, (2004).
2. H. Hatanaka, "Packaging process using flip chip bonder and future directions of technology development", Electron. Comp. Technol. Conf, pp.434-439, (2002).
3. H. Kristiansen and J. Liu, "Overview of conductive adhesive interconnection technologies for LCD's", IEEE Trans-CPMT-A, 21, 208, (1998).

4. C. Y. Yin, M. O. Alam, Y. C. Chan, C. Bailey, and H. Lu, "The effect of reflow process on the contact resistance and reliability of anisotropic conductive film interconnection for flip chip on flex applications", *Microelectronics Reliability*, 43, 625, (2003).
5. L. L. Mercado, J. White, V. Sarihan, V. Lee, "Failure mechanism study of anisotropic conductive film (ACF) packages", *IEEE Trans. Comp. Packag. Technol.*, 26, 509, (2003).
6. C. M. Lin, W. J. Chang, and T. H. Fang, "Reliability analysis of the fine pitch connection using anisotropic conductive film(ACF)", *Microelectronics J.*, (2005) 1.
7. Y. C. Chan and D. Y. Luk, "Effects of bonding on the reliability performance of anisotropic conductive adhesive interconnects for flip-chip-on-packages assembly", *Microelectronics Reliability*. 42, 1185, (2002).
8. J. H. Zhang, Y. C. Chan, M. O. Alam, and S. Fu "Contact resistance and adhesion performance of ACF interconnections to aluminium metallization", *Microelectronics Reliability*, 43, 1303, (2003)
9. G. S. Shen, "LCD driver IC assembly technologies & status", *Proc. 2001 Int. Symp. Electron. Mater. Packag.*, 313-316, (2003).
10. A. Sugimoto, H. Ochi, S. Fujimura, A. Yoshida, T. Miyadera, and M. Tsuchida, "Flexible OLED displays using plastic substrates", *IEEE J. Quantum. Elect.*, 10, 107, (2004).
11. S. K. Park, J. I. Han, W. K. Kim, and M. G. Kwak, "deposition of indium-tin-oxide films on polymer substrates for applications in plastic-based flat panel displays", *Thin Solid Film*, 397, 49, (2001).
12. E. Huitema, G. Gelinck, B. Putten, E. Cantatore, E. Veenendaal, L. Schrijnemakers, B. H. Huisman, and D. Leeuw, "Plastic transistors in active-matrix displays", *IEEE Int. Solid-state Circuits Conf.* (2003)
13. J. P. Schaffer, A. Saxwna, S. D. Antolovich, T. H. Sanders, and S. B. Warner, "The science and design of engineering materials", Irwin, Chicago, 577. (1995)
14. D. A. Portor and K.E. Easterling, "Phase transformation in metal and alloys", 2nd ed., Chapman and Hall, Cheltenham, 4-6, (2001)