

유기물 첨가제와 펄스-역펄스 전착법을 이용한 구리 Via Filling에 관한 연구

이석이 · 이재호*

홍익대학교 신소재공학과

Copper Via Filling Using Organic Additives and Wave Current Electroplating

Suk-Ei Lee and Jae-Ho Lee*

Department of Materials Science and Engineering, Hongik University
72-1 Sangsu-dong, Mapo-gu, Seoul 121-791, Korea

초 록: 반도체 소자의 집적도가 높아짐에 따라 3D SiP에 대한 관심이 높아지고 전기도금법을 이용한 구리 via filling이 활발히 연구되어왔다. Via filling시 via 입구와 바닥에 전류밀도 차이로 인해 via 내부에 결함이 발생하기 쉽다. 여러가지 유기물 첨가제와 전류 인가 방식의 변화를 통한 via filling을 하였다. 첨가된 유기물은 PEG, SPS, JGB, PEI를 사용하였다. 유기물이 첨가된 용액을 이용하여 펄스와 역펄스 방법을 이용하여 via filling을 하였다. 유기물의 첨가에 따른 도금된 구리 입자의 크기 및 형상에 관하여 고찰하였으며 도금 후 via 시편의 단면을 FESEM으로 관찰하였다. JGB에 비하여 PEI를 사용한 경우 치밀한 도금층을 얻을 수 있었다. 2 step via filling을 사용한 경우 via filling 시간을 단축시킬 수 있었다.

Abstract: Copper deposition studies have been actively studied since interests on 3D SiP were increased. The defects inside via can be easily formed due to the current density differences on entrance, bottom and wall of via. So far many different additives and current types were discussed and optimized to obtain void-free copper via filling. In this research acid cupric sulfate plating bath containing additives such as PEG, SPS, JGB, PEI and wave current applied electroplating were examined. The size and shape of grain were influenced by the types of organic additives. The cross section of specimen were analyzed by FESEM. When PEI was added, the denser copper deposits were obtained. Electroplating time was reduced when 2 step via filling was employed.

Key words: via filling, organic additive, JGB, PEI, pulse-reverse

1. 서 론

패키지에 있어서 3D SiP의 중요도가 점차 높아짐에 따라 층간 신호 전달 방법으로 through via에 대한 중요도가 최근 강조되고 있다. Through via는 신호의 유실이 적을 뿐 아니라 패키지 실장면적을

줄일 수 있는 장점이 있다. Via의 내부는 비저항이 우수한 구리를 전기도금법으로 채우는데 전기도금 시 발생할 수 있는 via내의 결함은 회로의 전기적 특성을 떨어뜨리고 소자의 물리적인 contact failure 문제 등을 발생시킬 수 있다. 특히 via의 직경이 작아지고 총회비가 증가함에 따라 미세결함

*Corresponding author
E-mail: jhlee@hongik.ac.kr

의 발생이 소자에 미치는 영향이 증가하고 있기 때문에 결함 없이 via filling을 하는데 대한 연구가 절실히 요구된다. 또한 비용절감과 속도향상을 위한 via filling이 함께 요구되고 있다. Via filling시 결함이 발생하는 가장 큰 이유는 Fig. 1에서 보는 바와 같이 via 입구 쪽의 저항값 R1과 벽면 및 바닥면의 저항값 R2, R3의 차이로 인해 도금층의 성장 속도의 차이가 발생하기 때문이다. 저항값이 상대적으로 작은 via 입구에서는 전류밀도가 증가되어 도금층이 빨리 성장하고 via 내부에서는 저항값이 높아 도금층 성장이 느리게 된다. 이러한 via 입구와 내부의 도금층 성장속도 차이는 내부가 다 채워지기전에 입구가 막혀 결함을 발생시킨다.

결함 없는 via filling은 유기물 첨가제들의 복합 작용과 펄스-역펄스 전류 파형을 이용하여 이룰 수 있다. 구리 via filling에 사용되는 일반적인 유기물 첨가제로는 억제제인 PEG, 가속제인 SPS, 이들 첨가제의 음극 표면으로의 흡착을 돕는 Cl^- 이온 그리고 평탄제인 JGB와 PEI가 있다. PEG는 Cl^- 이온의 도움을 받아 음극 표면에 흡착되어 음극 표면의 전위를 증가시킨다. 따라서 구리 이온이 음극 표면으로의 환원을 방해하는 역할을 한다. 반대로 SPS는 Cl^- 이온과 함께 음극 표면에 흡착되어 전위를 낮추어 구리 이온의 환원을 가속시킨다.¹⁻³⁾ 평탄제인 JGB와 PEI는 억제제와 유사한 작용을 하지만 전류가 집중되는 곳에서 전위를 증가

시켜 도금된 표면의 단차를 줄이는 평탄 작용을 한다.^{4,6)} 이러한 첨가제들의 상호작용과 via 내부에서 첨가제들의 농도 차이, 흡착 속도 차이로 인해 via 바닥에서는 가속제에 의한 구리 이온의 환원이 촉진되고 via 입구에서는 억제제와 평탄제에 의해 구리 이온의 환원이 억제됨에 따라 구리가 via 내부에 채워지는 동안 입구가 막히지 않고 열린 상태로 바닥부터 채워지는 super-filling을 돕는다.⁷⁾

결함없는 via filling을 위해서는 첨가제와 함께 전류 인가 방식 또한 중요하다. 첨가제를 이용하여 via 전체에 도금속도를 일정하게 유지하더라도 중심부에 면형 결함이 발생하기 쉽다. 따라서 전류가 집중되는 via 입구쪽에 역펄스 전류를 인가하여 도금층이 Cu^{2+} 으로 산화되는 시간을 줌으로써 입구가 막히는 것을 방지할 수 있다. 또한 펄스-역펄스 전류를 인가하면 on-time과 off-time을 가지므로 off-time동안 via 내부로 Cu^{2+} 이온과 첨가제들이 확산되어 들어갈 시간을 주기 때문에 결함없는 via filling을 이룰 수 있다.⁸⁾

본 연구의 목적은 via filling에 영향을 주는 도금액중 첨가제가 구리도금 결정립에 미치는 영향을 고찰하고 전류 인가 방식을 변화하여 결함이 없는 via filling 방법을 찾는 데 있다.

2. 실험 방법

본 실험에서는 첨가제의 종류에 따라 결정립의 형상을 알아보기 위해 carbon기판으로 회전전극(rotating disc electrode, RDE)을 제작한 후 기본 구리 전해액인 stock solution에 첨가제를 변화 시켜 가며 도금한 후 그 표면을 FESEM으로 관찰하였다. 또한 p-type(100) Si wafer에 DRIE법으로 깊이 170~190 μm 직경 50 μm 의 약 3.5:1의 종횡비를 가지는 via와 깊이 100 μm , 직경 20 μm 의 약 5:1의 종횡비를 가지는 via를 형성시킨 후 IMP(Ionized Metal Plasma)의 방법을 이용하여 확산 방지 층으로 Ta층(200 nm)과 씨앗 층으로 Cu(700 nm)가 증착된 시편을 사용하여 펄스-역펄스 전류를 사용하여 파형을 변화시키면서 via filling을 실시하였다. 첨가제는 chloride ion(Cl^-), PEG, SPS, JGB, PEI 등이 이용되었다. 전류 인가 방식은 직류전류(direct current), 펄스전류(pulse current), 펄스-역

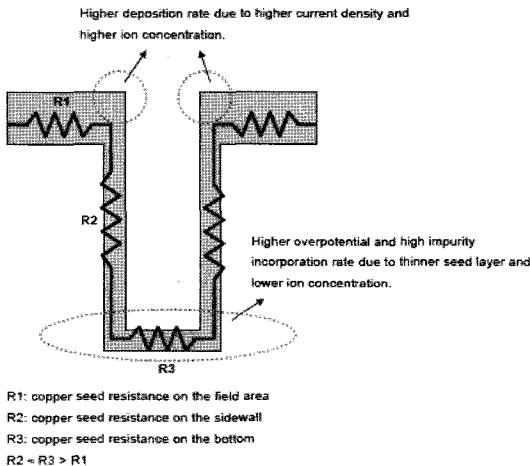


Fig. 1. Copper seed resistance on via.

펄스 전류(pulse-reverse current)가 이용되었고, 공정 후 시편의 종단면과 횡단면을 경면 가공하여 SEM, FESEM으로 관찰하였다. 도금 시간 단축을 위한 실험은 2단계로 전류밀도를 나누어 전류를 인가하고 시간에 따른 via filling 정도를 관찰하였다. 모든 via 시편은 5% 황산 용액에서 전처리를 하고 도금을 실시하였다. 이는 Cu 씨앗 층이 산화막으로 덮여있는 경우 도금시 전착성과 균일성의 저하를 유발할 수 있기 때문이다.

3. 결과 및 고찰

3.1 첨가제에 따른 구리 도금의 결정립 형상

구리 전기도금시 유기물 첨가제는 구리 도금층의 성장 속도 뿐만 아니라 구리 도금층의 결정립 형상에도 영향을 미친다. Fig. 2은 carbon RDE를 이용하고 전류밀도는 5 mA/cm^2 로 고정하고 구리 기본 전해액인 stock solution에 첨가제를 바꿔가며 도금을 실시한 후 표면 형상을 FESEM으로 관찰한 결과이다. 구리 RDE를 사용한 경우 핵생성과 성장이 매우 빠른 시간내에 일어나므로 첨가제에 따른 구리 결정립의 형상을 보다 정확히 관찰하기 위해 구리기판이 아닌 carbon기판 상에서 도금을 실시하였다. 첨가제들이 바뀔에 따라 음극 표면에서 구리 도금층의 결정립 형상과 성장이 바뀔을 알 수 있다. 평탄제인 JGB를 첨가한 경우 Fig. 2 (d)에서 보는 바와 같이 끝이 날카로운 결정립 형상

을 보인다. 이와 같은 형상으로 성장하는 결정립의 경우 결정립 사이 공간이 서로 충전하는 역할을 하여 큰 결함이 생성되는 것을 방지할 수 있으므로 비교적 크기가 큰 via의 경우 평탄제로 사용될 수 있다. 그러나 결정립 사이의 공간이 오히려 via 크기가 작아짐에 따라 미세결함으로 작용할 가능성이 클 것으로 생각된다. 날카로운 결정립 형상은 다른 평탄제인 PEI에서는 관찰되지 않았으며 PEI의 경우 작은 via의 경우에 적합한 평탄제로 생각된다. Fig. 3은 JGB와 PEI 두개의 평탄제를 각각 사용한 경우 시간에 따른 도금 특성을 나타낸 그림이다. 초기에 핵생성 후 결정립 성장에 따라 시간이 지남에 따라 입자의 수는 감소하며 PEI의 경우 좀더 치밀한 도금층을 형성하는 것이 관찰되었다.

3.2 Via filling시 첨가제와 전류인가 방식의 영향

첨가제와 전류인가 방식에 따른 via filling을 도금후 FESEM으로 via단면을 관찰하였다. Fig. 4(a)는 전해액에 첨가제 없이 직류전류를 인가한 결과이다. Via입구의 도금층 성장 속도가 via 내부에 비해 상대적으로 빠르기 때문에 via 내부가 다 채워지기 전에 입구가 막혀 결함이 발생한다. 이러한 결함은 전류인가 방식을 펄스-역펄스로 인가하면 첨가제 없이도 결함의 크기를 상당량 줄일 수 있다. 산화전류가 인가될 때에도 환원전류가 인가되었을 때와 마찬가지로 via입구에 높은 상대적으로

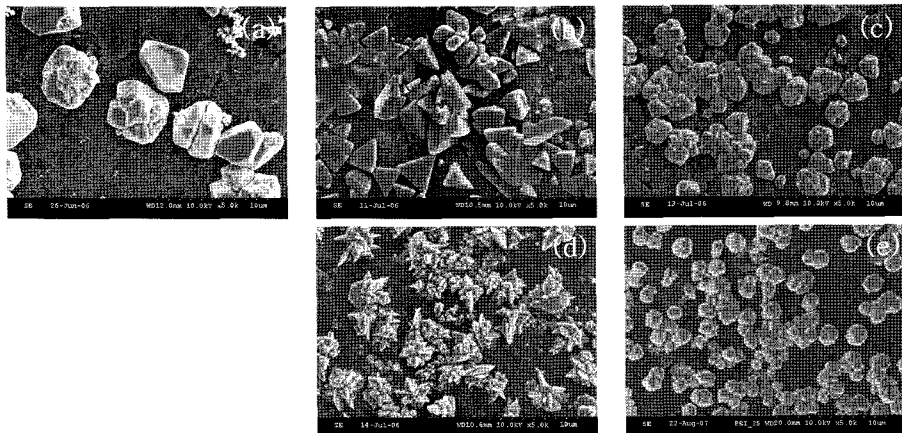


Fig. 2. Morphologies of copper on carbon RDE after 120sec electroplating (a) stock solution (b) stock solution + PEG (c) stock solution + SPS (d) stock solution + JGB (e) stock solution + PEI.

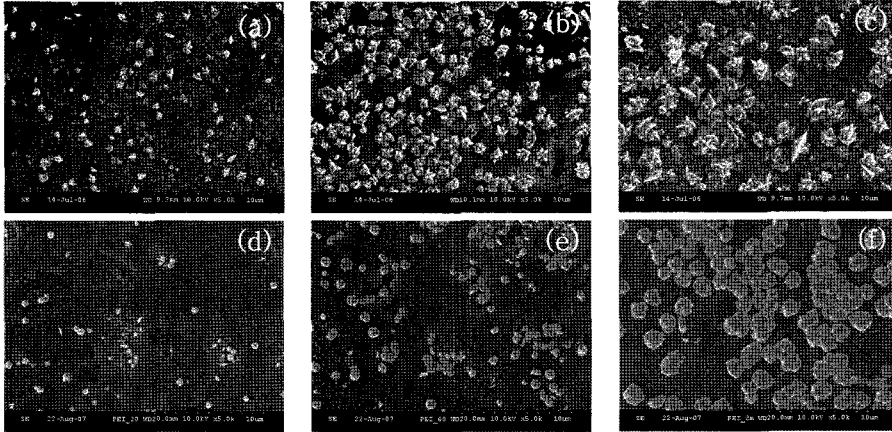


Fig. 3. Surface morphologies with electroplating time (a) stock solution + JGB 20sec (b) stock solution + JGB 60sec (c) stock solution + JGB 120sec (d) stock solution + PEI 20sec (e) stock solution + PEI 60sec (f) stock solution + 120sec.

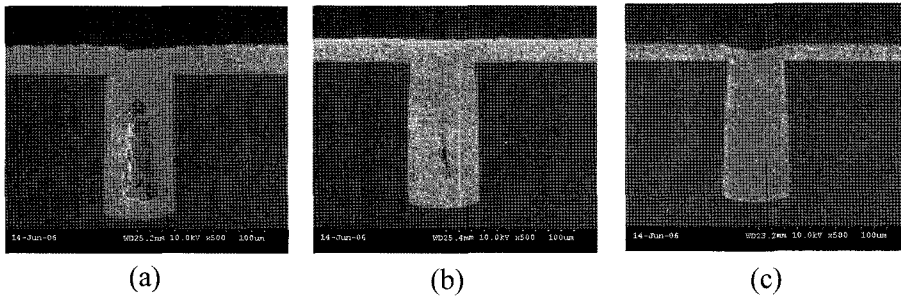


Fig. 4. Effects of current types and additives (a) no additives and DC (b) no additives and PRC (c) full additives and PRC.

높은 전류밀도가 집적되어 Cu^{2+} 이온으로 에칭되는 속도가 via 내부보다 빨라서 via 입구가 막히는 시간을 지연시킨다. 그러나 Fig. 4(b)에서도 여전히 면형(seam) 결함이 관찰된다. 펄스-역펄스의 전류인가와 유기물 첨가제를 사용함으로써 via 입구의 도금층의 에칭과 억제제의 영향으로 입구의 우선 막힘 현상을 막고 via 바닥면은 가속제의 영향으로 도금층의 성장 속도를 향상시켜 Fig. 4(c)에서와 같이 결함없는 via filling을 이룰 수 있었다.

3.3 직경 20 μm 고중횡비 via filling

Via의 직경이 작아지고 중횡비가 커질수록 결함없는 Cu filling이 어려워진다. 이는 via의 직경이 작아지고 깊이가 깊어질수록 Cu^{2+} 이온이 via바닥까지 확산되어 들어가기 힘들기 때문이다. 따라서 고중횡비 via filling은 off-time에 Cu^{2+} 이온이 via내

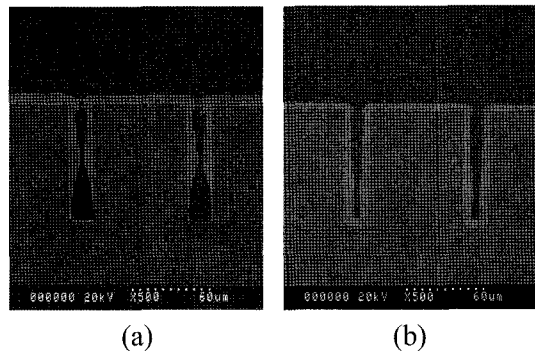


Fig. 5. Effect of on to off time ratio in 20 μm via filling (a) 5:1 (b) 5:5.

부로 확산되어갈 시간을 증가시켜야한다. Fig. 5는 on-time과 off-time비에 따른 via filling 결과이다. Fig. 5(a)는 via내부에 Cu^{2+} 이온의 농도가 적어서

전류가 인가되는 동안 via 벽면에서 via 내부의 Cu^{2+} 이온을 모두 환원시켜 via 바닥면은 도금층의 성장이 이루어지지 않았다. 이러한 현상은 전류밀도를 증가시키면 더욱 더 두드러진다. Off-time을 늘려주면 Fig. 5(b)와 같이 Cu^{2+} 이온이 via 내부로 확산되어 들어가 via 바닥면에도 도금층이 형성된다.

3.4 공정시간 감소를 위한 2-step via filling

직경 20 μm via 역시 첨가제와 펄스-역펄스 전류 인가 및 전류밀도 조절에 의해 결함 없이 채울 수 있었다. Fig. 6은 첨가제를 포함한 전해액으로 펄스-역펄스 방법을 이용하여 시간에 따른 via filling을 관찰한 SEM 결과이다. Via filling이 진행되는 동안 입구부분의 도금층 성장은 거의 없는 반면 via 바닥면의 도금층 성장은 이루어져 결함 없는 바닥 차오름 현상을 관찰할 수 있다.

$2mA/cm^2$ 의 낮은 전류밀도를 인가할 경우 결함 없는 via filling이 가능하나 공정시간이 길어진다는 단점이 있다. Via filling시 입구가 넓은 초기에

는 높은 전류밀도를 인가하여 도금층의 빠른 성장을 유도하고 도금층의 성장에 의해 입구가 좁아진 후기에는 낮은 전류밀도를 인가하여 via filling을 완료하면 공정시간의 감소를 이룰 수 있다. Fig. 7은 도금 초기와 후기 전류밀도를 변화시키면서 via filling한 결과이다. 기존에 15시간이었던 도금 시간이 4시간으로 줄어들었다.

4. 결 론

구리 via filling에 사용되는 첨가제들은 구리 도금층의 성장 속도 뿐만 아니라 결정립의 형상에도 영향을 준다. 첨가제중에 입자의 형상에 평탄제의 영향이 가장 많았으며 기존에 널리 쓰이는 JGB의 경우 침상의 형상을 나타내므로 via 내부에 큰 결함이 생성이 되는 것을 방지 할 수 있다. Via의 크기가 작아지는 경우 결정립 사이의 공간이 미세결함으로 작용할 수 있으므로 JGB를 대체할 평탄제가 필요하며 PEI를 첨가한 경우 조밀한 결정립을 얻을 수 있었다. 펄스-역펄스를 사용한 경우 via 내

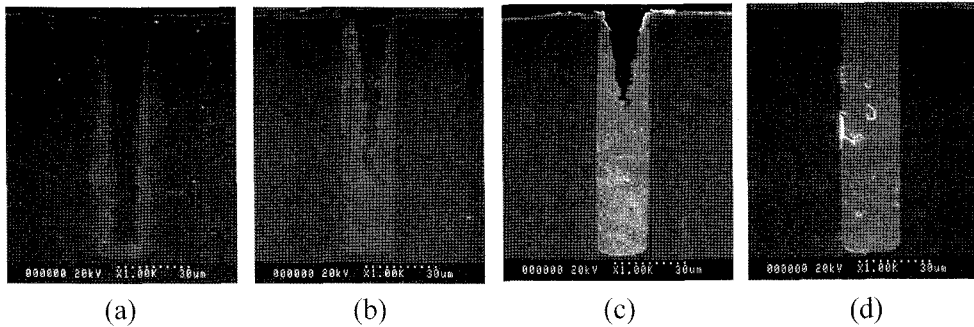


Fig. 6. 20 μm via filling with time using PRC (a) 2hr (b) 5hr (c) 10hr (d) 15hr.

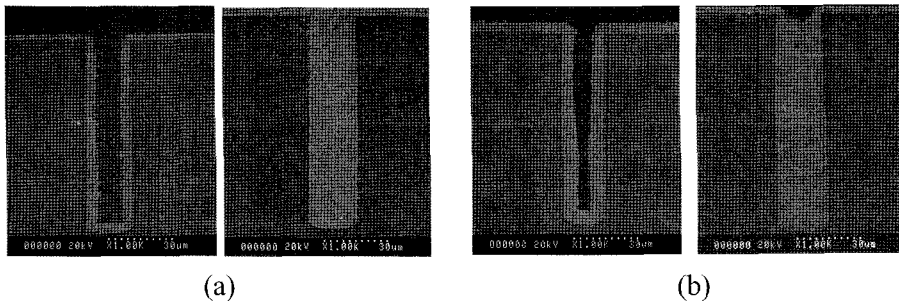


Fig. 7. 2-Step via filling (a) low current, 6hrs (b) high current, 4hrs.

부에 Cu^{2+} 이온이 공급될 만큼의 충분한 시간이 필요하며 이에 따라 off time의 조절이 필요하다. 펄스-역펄스를 사용하는 경우 via의 직경이 큰 경우에는 높은 전류밀도를 사용하고 via의 직경이 작아지는 경우 낮은 전류밀도를 사용하면 도금시간을 단축하면서 결함없는 via filling을 이룰 수 있다

감사의 글

본 연구는 한국과학재단의 우수연구센터(ERC) 전자패키지재료연구센터(CEPM) (과제번호: R11-2000-085-08004-0)의 지원으로 수행된 연구이며 이에 감사드립니다.

참고문헌

1. J. J. Kelly and A. C. West, *J. Electrochem. Soc.*, 145, 3472 (1998)
2. J. J. Kelly and A. C. West, *J. Electrochem. Soc.*, 145, 3477 (1998)
3. J. J. Kelly, C. Tian, and A. C. West, *J. Electrochem. Soc.*, 146, 2540 (1999)
4. B. Zheng, R. He, B. Mikkola, J. Wang, C. Long, C. Yu, Z.-W. Sun, E. Step, J. Chen, R. Emamai, Z. A. Wang, R. Nayak, T. Taylor, and G. Dixit, in *Proceedings of Advanced Metallization Conference 2001*, A. J. McKerrow, Y. Shacham-Diamand, S. Zaima, and T. Ohba, Editors, p. 197, MRS, Warrendale, PA (2001)
5. J. Reid, E. Webb, J. Sukanto, Y. Takada, and T. Archer, in *Electrochemical Processing in ULSI and MEMS*, H. Deligianni, S. T. Mayer, T. P. Moffat, and G. R. Stafford, Editors, PV 2004-17, p. 184, The Electrochemical Society Proceedings Series, Pennington, NJ (2005)
6. M. Hasegawa, Y. Negishi, T. Nakanishi, and T. Osaka, *J. Electrochem. Soc.*, 152, C221 (2005)
7. J. Reid, S. Mayer, E. Broadbent, E. Klawuhn, K. Ashitiani, *Solid State Technol.* (2000)
8. D. Joseff, D. Wheeler, W. Huber, J. Bonevich, T. Moffat, *J. Electrochem. Soc.* 148 (2001) C767