

방전논리게이트 플라즈마 디스플레이 패널의 직류방전 지연특성

(The Delay-Time Characteristics of DC Discharge in the Discharge Logic Gate Plasma Display Panel)

염정덕* · 곽희로

(Jeong-Duk Ryeom · Hee-Ro Kwak)

요 약

본 연구에서는 새로 고안된 방전 논리 게이트 PDP의 논리 게이트 입력인 DC 방전특성에 대해 고찰하였다. 새로 고안된 방전 논리 게이트는 방전 경로에 따른 전극사이의 전위차를 제어하여 논리 출력을 유도한다. 실험결과 이 DC 방전들의 안정성을 위해 프라이밍 방전을 인가한 경우가 인가하지 않은 경우에 비해 방전지연시간이 1/3로 단축되며 방전개시전압은 1/2로 감소하였다. 또한 이 프라이밍 방전에서 발생한 공간전하는 방전종료 후 30[μ s] 정도 까지 영향을 미친다. 그리고 시간적, 공간적 거리변화에 따라 공간전하가 DC 방전에 미치는 영향을 측정한 결과, 주 방전에서부터 시간적으로 멀어지는 것보다 공간적으로 멀어지는 것이 주 방전의 영향에서 쉽게 벗어날 수 있음을 알았다. 그러므로 각 주사전극 마다 방전 논리 게이트들을 독립적으로 동작시킬 수 있다는 결론을 얻었다.

Abstract

In this research, the characteristics of the DC discharge that was the logical gate input of discharge logic gate PDP newly proposed was considered. The logical output is induced by controlling the potential difference of inter-electrode according to the discharge path in the discharge logic gate. From the experimental result, the discharge time lag was shortened to 1/3 and the voltage has decreased to 1/2 in the case to apply priming discharge for improving stability of these DC discharges compared with the case when it is not applied. Moreover, after the priming discharge ends, the space charge generated by this discharge influences it up to about 30[μ s]. And, as a measured result of the influence that the space charge exerts on the DC discharge with the change in time and spatial distance, it has been understood that there is a possibility that going away spatially can slip out the influence of the discharge easily as for going away from the discharge time-wise. Therefore the conclusion that the discharge logic gates of each scanning electrode can be operated independently is obtained.

Key Words : Cost Reduction, Plasma Display Panel, Driving Methode, Logic Gate, Discharge Logic

* 주저자 : 숭실대학교 전기공학부
Tel : 02-828-7267, Fax : 02-817-7961
E-mail : cosmos01@ssu.ac.kr
접수일자 : 2006년 12월 18일
1차심사 : 2006년 12월 20일
심사완료 : 2007년 1월 2일

1. 서 론

플라즈마 디스플레이 패널(plasma display panel)

이하 PDP)은 현재 지하철, 영화관, 공항등 공공 장소에서 널리 사용되고 있는 대화면 평판 디스플레이이다. 또한 디지털 영상기기의 발달과 HDTV의 보급에 힘입어 가정극장(Home Theater)의 주 디스플레이로서도 그 수요가 증가하고 있다. 현재 PDP는 LCD TV와 치열한 가격 경쟁을 벌이고 있으며, LCD 대비 가격 경쟁력이 우위에 있다고는 하나 아직 일반인들이 구매하기에 가격장벽이 높은 것도 주지의 사실이다. 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP가 일반 가전제품으로 인식되고 그 수요가 늘어날 것으로 보고 있다[1]. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 경쟁력을 높이고 시장 확대 측면에서 아주 큰 의의를 갖는다고 할 수가 있다.

PDP는 수평주사 및 데이터 써넣기 기능을 수행하기 위하여 고전압 MOS FET들로 집적된 구동IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 큰 영향을 미친다. 기체방전은 비선형 특성을 가지며 이를 이용하면 논리 게이트를 구성하는 것이 가능하다[2]. 이러한 기체방전이 가지는 논리 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전의 논리 기능을 사용하여 수평주사 기능을 수행하면 PDP의 고전압 구동회로 수를 획기적으로 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다[3-5].

본 연구에서는 제안된 방전 논리 게이트의 입력에 해당하는 DC방전들의 특성에 대해 실험하였다. 또한 DC 프라이밍 방전에 의한 DC 입력 방전의 공간전하 의존성에 대해서도 실험하였다.

2. 방전 논리 게이트의 동작 원리

그림 1은 본 연구에서 제안한 방전 논리 게이트의 구조이다. 논리 게이트의 전극 구조는 Data 전극이 설치되어 있는 방향과 같은 세로 방향으로 A전극과

B전극을 설치하고 가로방향으로 Ya전극과 Ex 전극을 설치하는 구조로 되어있다. 그림 2는 방전 논리 게이트를 구동하기 위한 펄스 타이밍 도이다.

그림 1, 2에서 보면 맨 처음에 B전극과 Ex전극에 전압을 인가하여 DC 프라이밍 방전을 하고 이어서 B전극과 Ex전극에 전압을 인가하면 입력방전①이 일어난다. 이 방전은 공간전하를 발생시키고 이로 인해 방전공간의 방전개시전압이 낮아지므로 이때 Ya전극에 전압을 인가하면 B전극의 전압과 Ya전극의 전압의 합으로 입력방전②가 쉽게 일어난다. A전극은 A1전압과 A2전압으로 나누어져 있어 논리 게이트의 출력방전③은 A1전압과 Ya전압 사이에서 이루어진다. 본 연구에서 제안한 방전 논리 게이트는 입력방전②가 일어난 경우에는 출력방전③은 일어나지 않도록 설계되어 있다.

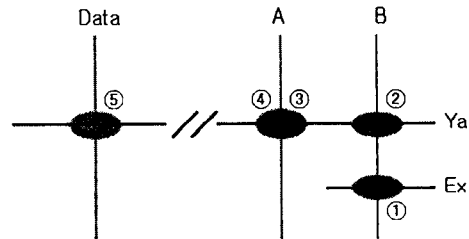


그림 1. 방전 논리 게이트의 전극구조
Fig. 1. Electrodes structure of discharge logic gate

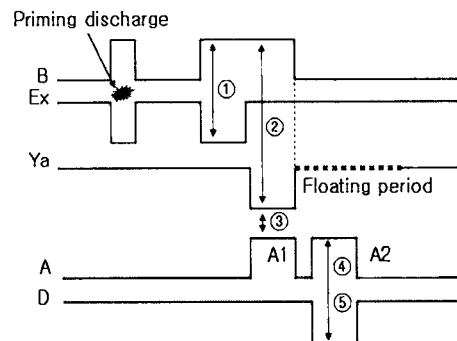


그림 2. 방전 논리 게이트의 구동 타이밍 도
Fig. 2. Drive timing chart of discharge logic gate

출력방전③에 의해 발생된 공간전하가 방전④를 유도한다. 여기서 방전④와 ⑤는 Ya 전극을 플로우

방전논리게이트 플라즈마 디스플레이 패널의 직류방전 지연특성

팅 전극으로 하여 A전극의 A2전압과 D전극의 전압 사이에서 이루어지는 DC-AC 플로우팅 방전이며 이 플로우팅 방전에 의해 PDP의 어드레스 역할이 수행 되는 것은 기 제안한 기술과 동일하다[7].

그림 3은 제안된 논리 게이트 PDP의 동작원리를 설명하기 위한 등가회로이다. 그림에서 방전공간 ②, ③은 병렬로 연결되어 있다. 그러므로 어느 한쪽의 방전공간에서 방전이 일어나면 전압강하가 생겨 다른 한쪽의 방전공간에는 방전개시에 필요한 전압을 얻을 수가 없다. 즉 V_B 와 V_{Ex} 사이에 방전①이 일어나 방전공간에 공간전하가 생성되고 이 공간전하로 인해 방전②가 쉽게 일어나면 전압강하에 의해 V_{A1} 과 V_{Ya} 사이의 전압이 실제적으로 매우 낮아져 방전③이 일어나지 않는다. 반면에 V_{Ex} 가 0V가 되어 방전①이 일어나지 않으면 V_{Ya} 이 인가되어 있어도 방전②가 일어나지 않는다. 따라서 V_{A1} 과 V_{Ya} 이 모두 A전극과 Ya 전극 사이에 걸리므로 방전③이 일어난다. V_{Ya} 가 0[V]가 되는 경우에는 당연히 방전③이 일어나지 않는다. 이것이 본 연구에서 제안한 방전①과 방전②를 두개의 논리 입력으로 하고 방전③을 출력으로 하는 방전논리 게이트의 동작 원리이다.

그림 3의 하단에 이 방전 논리 게이트의 기능을 논리소자로 표시하였다. 그림과 같이 이 방전 논리 게이트는 한쪽 입력에 NOT 논리를 가지는 AND 게이트가 된다.

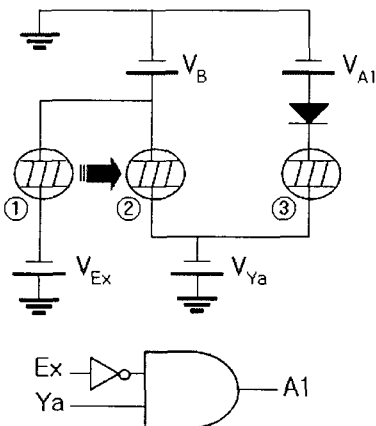


그림 3. 방전 논리 게이트의 등가회로
Fig. 3. Equivalent circuit of discharge logic gate

본 연구에서 제안한 논리 게이트 출력인 방전 ③은 방전①과 ②가 없을 때 일어나므로 방전이 일어나기 매우 어렵다. 그러므로 안정적인 논리 게이트의 동작을 위해서는 논리 게이트 방전에 앞서서 공간전하를 공급하기 위한 방전이 필요하다. 이것이 DC 프라이밍 방전의 역할이다.

그림 4는 실제 패널을 보인 것으로 방전 논리 게이트가 설치되는 영역은 PDP의 오른쪽 주변 영역이다. 이 부분은 최종적으로 가려지는 부분이므로 논리 게이트의 방전은 화질에 영향을 미치지 않는다.

그림 5는 실제 패널에서 방전 논리 게이트가 동작하는 모습을 보인 것으로 4개의 전극 중 하나에서만 출력이 1이고 나머지는 0인 것을 나타낸다.

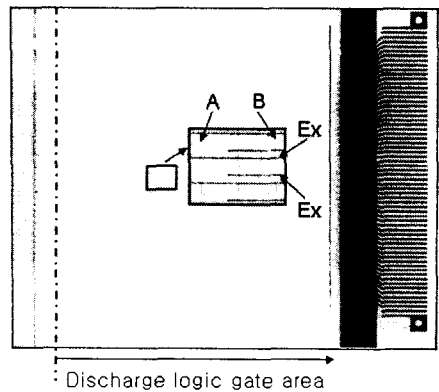


그림 4. 방전 논리 게이트의 실제 구조
Fig. 4. Actual electrodes structure of discharge logic gate

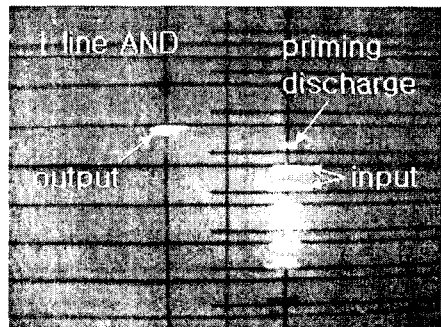


그림 5. 방전 논리 게이트의 실제 동작 사진
Fig. 5. Actual operating photograph of discharge logic gate

3. 실험 및 결과

그림 6은 실험에 사용된 PDP 구동실험 장치의 구성도이다. 그림과 같이 PDP는 패널의 우측에 방전 논리 게이트가 설치되어 있다. 이 방전 논리 게이트의 각 전극에 고전압 펄스를 인가하는 타이밍은 펄스 타이밍 제어부에서 제어하며 펄스 제어부는 컴퓨터로 디지털 시스템을 프로그래밍할 수 있는 FPGA와 주변 IC들로 구성되어 있다.

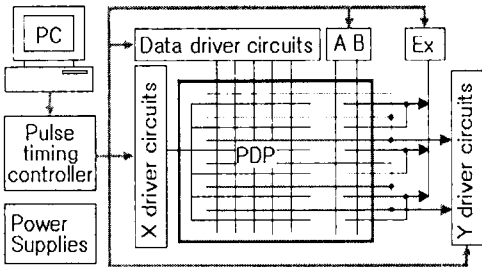


그림 6. 실험에 사용된 PDP 구동실험장치의 구성도
Fig. 6. Block diagram of PDP drive experiment system used to experiment

그림 7은 실험에 사용된 구동펄스의 자세한 타이밍도이다. 본 실험에서는 그림 7의 (a)와 같이 Ex전극과 B전극의 교점에서 프라이밍 방전을 일으키고 일정한 시간(T_r)이 지난 후 같은 지점에서 입력방전인 방전①을 일으킨다. 이 방전①과 같은 타이밍에 Ya전극과 B전극의 교점에서 입력방전②를 일으켜 프라이밍 방전이 있을 경우와 없을 경우의 방전①의 방전특성을 측정하여 그 결과를 분석한다. 그리고 프라이밍방전 후 주어지는 시간거리인 T_r 을 변화시키면서 역시 방전①의 특성을 측정하여 DC 방전의 특성을 해석하였다.

그림 8은 방전①의 방전개시전압을 측정한 것으로 프라이밍 펄스를 인가하지 않고 B전극의 전압을 증가시켜가면서 방전①이 일어나는 Ex전극의 최소전압을 측정한 것이다. 그림을 보면 B전극 전압이 증가함에 따라 Ex전압은 선형적으로 감소한다. 실험결과 B-Ex 전극간의 방전개시 전압은 항상 210[V]로 일정함을 알았다.

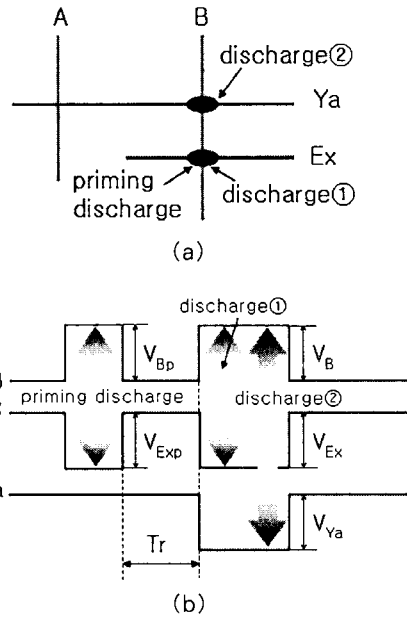


그림 7. 실험에 사용된 펄스들의 세부 구동타이밍도
(a) 실험에 사용된 DC 방전의 구성
(b) 각 전극에 인가되는 펄스 전압과 인가 타이밍
Fig. 7. Detail drive timing chart of pulses used to experiment
(a) Composition of DC discharges used to experiment
(b) Timing of pulse voltage applied to each electrode

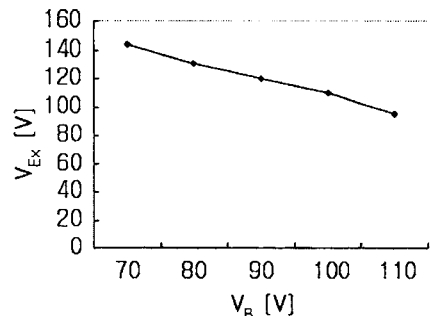


그림 8. B전압과 Ex 전압과의 관계
Fig. 8. Relation between V_B and V_{Ex}

그림 9는 프라이밍 방전이 있는 경우와 없는 경우의 방전①의 방전지연시간을 측정한 것이다. 이때 B전극에는 100[V]의 펄스전압을 일정하게 인가하고 Ex전극의 펄스전압을 변화시켜가면서 실험을 행하였다.

방전논리게이트 플라즈마 디스플레이 패널의 직류방전 지연특성

그림에 나타난 것과 같이 프라이밍 방전이 없는 경우보다 있는 경우가 방전지연시간은 1/3이상 단축되고 방전개시전압은 1/2 정도 감소된다. PDP는 고전압 부품을 많이 사용하므로 가격 측면을 고려할 때 구동전압이 낮을수록 바람직하다. 실험 결과로부터 논리 게이트의 방전전압을 낮추기 위해서는 외부로부터 공간전하를 공급해주어야 함을 알았다. 또한 방전 논리 게이트를 고속으로 동작시킬 경우는 각 전극에 인가되는 펄스들의 폭이 좁아져야 하므로 방전 지연시간이 단축될 필요가 있고 이 경우 역시 프라이밍 방전이 필요하다는 것을 알 수 있다. 그리고 프라이밍 방전이 있는 경우에서 외부인가전압이 약 80[V] 이상 커지면 방전지연시간의 변화가 거의 없다. 즉 이 이상 외부전압을 증가시켜도 방전시간을 단축시킨다는 측면에서는 의미가 없음을 보여주는 것이다.

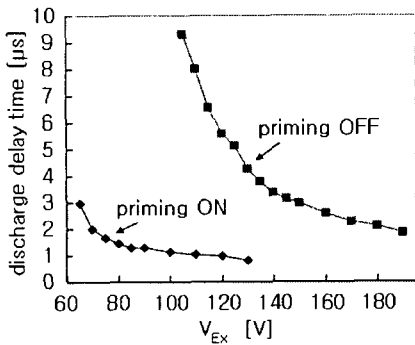


그림 9. Ex 전압과 방전①의 방전지연시간과의 관계
Fig. 9. Relation to time lag of discharge① and V_{Ex}

그림 10은 프라이밍 펄스가 종료한 직후부터 입력 방전①의 펄스전압이 인가될 때까지의 시간적 거리 Tr의 변화에 따른 입력방전①의 방전지연시간특성을 나타낸 것이다. 여기서 방전지연시간은 펄스인가 시점으로부터 광센서로 방전이 관측되기 시작하는 시점까지의 시간으로 정의하였다.

실험결과로부터 프라이밍 방전이 끝난 직후부터 30[μs]까지는 방전지연시간에 급격한 변화가 나타난다. 그러나 30[μs]이 후에는 변화가 완만해짐을 알 수 있다. 방전지연시간이 공간에 분포하는 하전입자

의 존재와 밀접한 관련이 있다는 사실로부터 추론하면 방전 논리 게이트의 DC 입력방전은 모수 십 수 [μs] 이내에 일어나므로 이전방전의 공간전하에 민감한 영향을 받으며 이때 DC 방전에 영향을 미칠 수 있는 공간전하의 생존시간은 30[μs] 정도라고 할 수 있다.

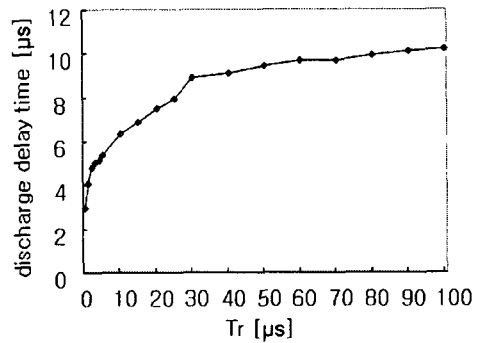


그림 10. 프라이밍 방전과 입력방전 사이의 시간거리와 입력방전의 지연시간과의 관계
Fig. 10. Relation between time distance during priming and input discharge and input discharging time lag

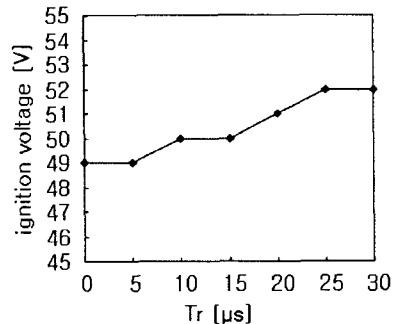


그림 11. 프라이밍 방전과 입력방전②의 시간적 거리 Tr에 따른 입력방전②의 방전개시전압의 변화
Fig. 11. Change in discharge ignition voltage of input discharge② according to time distance Tr of priming and discharge②

그림 11은 Tr을 변화시키면서 입력방전①에 의해 유도되는 입력방전②의 방전개시전압을 측정하는 것이다. 입력방전②는 입력방전①에서 발생한 공간전하의 도움으로 방전이 개시되기 때문에 이 실험결과는 프라이밍 방전에서 발생한 공간전하와 입력방전①의 공간전하가 입력방전②의 방전개시전압에 모

두 영향을 미칠 것으로 생각된다. 실험결과 시간적 거리 Tr이 증가할수록 방전개시전압이 증가하였다. 그러나 방전개시전압이 완만하게 증가하는 것으로 보아 프라이밍의 영향 보다는 입력방전①에 의한 공간전하의 영향이 크게 작용하는 것으로 보여진다.

그림 12는 입력방전인 DC방전의 공간적 특성을 알기 위한 실험을 보인 것이다. 그림에서 주사전극 1(Line1)의 Ex전극에 펄스전압을 인가하여 DC 입력방전①을 일으키고 동시에 Ya 전극에 펄스전압을 인가하여 입력방전②에 의해 유도되는 입력방전②의 방전개시전압을 측정하였다. 그리고 다시 주사전극 1의 입력방전①을 일으키고 동시에 주사전극 2(Line2)의 Ya 전극에 펄스전압을 인가하여 입력방전②의 방전개시전압을 측정한다. 이 실험을 반복하여 주사전극 1의 입력방전①에 대한 각 1, 2, 3... 10 번째의 주사전극에서 일어나는 입력방전②의 방전개시전압을 측정하였다. 이 실험의 목적은 주사전극 1의 입력방전①에서 발생한 공간전하가 다른 주사전극의 방전에 미치는 영향을 해석하기 위한 것이다. 또한 이때 프라이밍 펄스가 인가된 후부터 입력방전 ①, ② 펄스들이 인가될 때까지의 시간 Tr을 동시에 변화시켜 프라이밍 방전에 의한 시간적인 특성을 아울러 측정하였다.

그림 13은 주사라인 1의 프라이밍 방전과 입력방전①에 의해 발생한 공간전하가 인접해 있는 주사라인들에 미치는 영향에 대해 실험한 결과이다. 그림에서 가로축은 그림 12에서 도시한 각 주사라인의 번호이다. 그리고 세로축의 값은 각 주사라인의 입력방전②의 방전개시전압으로 Ya 전극의 펄스전압의 크기이다.

실험결과 주사라인1의 방전①과 위치가 가까운 전극일수록 방전개시전압은 프라이밍 방전과의 시간적 거리 Tr에 무관하게 일정한 방전개시전압으로 수렴하는 것을 알 수 있다. 그러나 주사라인1에 멀어질수록 시간적 거리 Tr에 따라 방전개시전압이 높아지며 주사전극 간 편차가 커지는 것을 알 수 있다.

이로부터 입력방전②의 방전개시전압은 주사라인 1에서 멀어질수록 프라이밍방전의 영향이 입력방전 ①의 영향보다 크게 나타난다고 추론할 수 있다. 그러므로 프라이밍 방전과 입력방전①의 강도를 최적

화하면 인접한 전극의 입력방전②만 안정적으로 제어하는 것이 가능함을 알 수 있다.

더 정확한 해석은 좀 더 정량적인 실험과 방전의 전기물성적 시뮬레이션등을 통한 이론적 해석이 따라야 할 것으로 생각된다. 그리고 주사라인의 변화에 따라 방전개시전압이 불규칙하게 증가하는데 이는 실험용 패널의 DC 방전 전극이 은으로 이루어져 쉽게 손상되어 재현성에 문제가 있었기 때문으로 보인다. 그러므로 인접 전극의 영향에 대한 실험은 전극 자체를 이온층격에 손상되기 어려운 재질로 만든 패널을 사용하여 다시 해볼 필요가 있다.

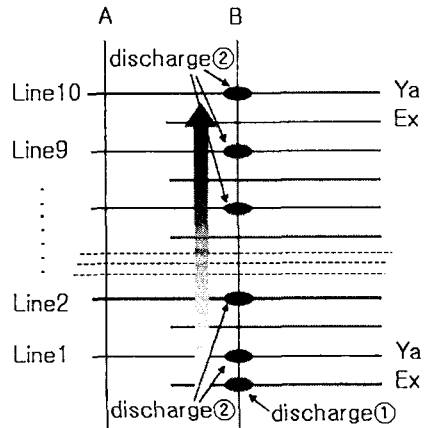


그림 12. DC 방전의 위치적 특성을 실험하기 위한 개념도
Fig. 12. Schematic diagram to experiment on positional property of DC discharge

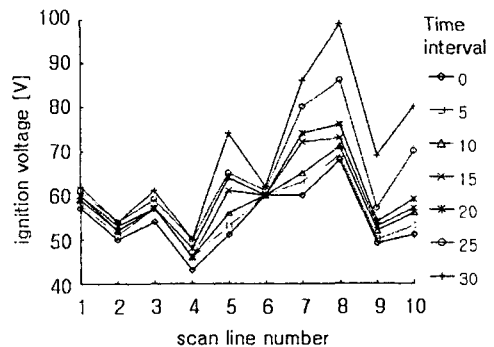


그림 13. 프라이밍 방전과 입력방전①에 의한 주사전극별 공간전하의 영향
Fig. 13. influence of space charge in each electrode by priming and discharge①

4. 결 론

본 연구는 PDP의 고전압 회로소자 절감에 적용할 수 있는 기술인 방전 논리 게이트의 입력방전들에 대한 DC 방전특성을 측정하고 해석한 것이다.

실험결과 DC 입력방전의 방전개시전압은 210[V] 정도로 일정하며 프라이밍 방전이 있을 때가 없을 때보다 입력방전의 방전지연시간은 1/3정도 단축되고 방전개시전압은 1/2 정도 감소하였다. 그리고 프라이밍 방전에 의해 발생된 하전입자들은 방전 종료 후 30[μs] 이내에서 프라이밍 기능이 효과적이다.

실험에서 인접한 전극들의 공간전하에 대한 영향을 방전개시전압을 기준으로 평가하여 본 결과, 주 방전에서부터 시간적으로 멀어지는 것보다 공간적으로 멀어지는 것이 주 방전의 영향에서 쉽게 벗어날 수 있음을 알았다. 그러므로 각 주사전극 마다 방전 논리 게이트들을 독립적으로 동작시킬 수 있다.

본 연구에서 실험한 방전 논리 게이트는 전극 재질이 은으로 되어있어 방전에 의한 손상이 심하여 재현성이 있는 실험결과를 얻기가 어려웠다. 향후는 방전의 이온충격에 의해 덜 손상을 입는 재료로 전극을 구성하여 정량적 실험을 할 필요가 있으며 아울러 방전의 이론적 해석도 병행하여야 할 것으로 사료된다.

본 연구는 숭실대학교 교내연구비 지원으로 이루어졌습니다.

References

[1] 編輯部編, “2001年のFlat Panel Display 市場”, 電子技術, 1999-7호, pp. 9-12, 1999.
 [2] Mikoshiba Shigeo, “プラズマディスプレイ最新技術”, EDリサーチ社, 1996.

[3] Jerry D Schermerhorn et al., “Discharge-Logic Drive Schemes”, Proc. of the SID Vol.16/2 Second Quarter pp. 81-85, 1975.
 [4] Larry F Weber et al., “A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels”, Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983.
 [5] M. Ishii et al., “Reducing the Number of Scan Drivers in AC PDPs by an Order of Magnitude Using Gas-Discharge AND Logic”, Digest of SID, pp. 283-286, 1998.
 [6] 염정덕 외 1인, “플라즈마 디스플레이 패널을 위한 새로운 방전 논리소자에 관한 연구”, 조명·전기설비학회논문지 제16권, 제1호, pp. 13~19, 2002.
 [7] 염정덕, “PDP의 가격절감을 위한 새로운 방전 AND gate 및 구동기술에 관한 연구”, 대한전기학회 논문지 제52권, 제6호, pp. 267-273, 2003.
 [8] 염정덕, “플라즈마 디스플레이의 공간전하 특성에 관한 연구”, 조명·전기설비학회논문지 제15권, 제6호, pp. 1~7, 2001.

◇ 저자소개 ◇

염정덕 (廉正德)

1960년 5월 14일생. 1987년 서울대학교 전기공학과 졸업. 1989년 서울대학교 대학원 전기공학과 졸업(석사). 1992년 서울대학교 대학원 전기공학과 졸업(박사). 1992~1995년 LG전자(주) 영상미디어(연) 선임연구원. 1996년 日本 電気·通信大學 外國人研究者. 1997년~1999년 삼성SDI(주) PDP팀 선임연구원. 2000~2005년 경주대학교 컴퓨터정보시스템공학부 조교수. 2006년~현재 숭실대학교 전기공학부 조교수.

곽익로 (郭熙魯)

1942년 3월 1일생. 1967년 서울대 전기공학과 졸업. 1978년 호주 New South Wales 대학원 전기공학과 졸업(석사). 1986년 중앙대 대학원 졸업(박사). 2002년 대한전기학회 학회장 역임. 현재 숭실대학교 부총장 및 전기공학부 교수.