

메모리 기술 한계와 STT-MRAM

정성웅 · 김현정 · 정수옥 (하이닉스반도체 소자기술 A팀)

1. 서론

전자 공학의 발전은 인류의 생활 수준의 향상과 서로 부합한다. 전자 산업의 핵심은 반도체 소자라 할 수 있다. 급속도로 발전한 반도체 소자 산업은 현재도 꾸준히 팽창하고 있다. 반도체 소자 산업은 크게 메모리와 비 메모리의 두 개의 군으로 양분되고 있다고 볼 수 있다. 한국은 과거 미국에서 시작되어 일본을 거쳐 발전한 메모리 분야의 강국으로 성장하였다. 현재 가장 큰 시장을 형성하고 있는 메모리 소자는 DRAM이다. DRAM은 하나의 MOS 트랜지스터와 하나의 캐패시터가 한 쌍을 이루고 이것이 1bit로 작용하는 기억소자이다. DRAM은 캐패시터에 전하를 저장함에 의해 데이터를 기록하는 방식이기 때문에 캐패시터가 방전되면 저장된 데이터를 잃게 된다. 이 때문에 일정 시간이 지나면 다시 한번 읽고 쓰는 리프레시 동작을 진행하여 저장된 데이터를 잃어버리지 않도록 한다. 실제로 범용 DRAM의 리프레시 주기는 64msec에 불과하다. 따라서 DRAM은 전원을 켜면 기록된 데이터가 사라지는 휘발성 메모리이다.

DRAM은 고집적화가 가능하고, 읽고 쓰는 속도가 매우 빠르며, 동작전압이 낮다는 장점으로 꾸준히 큰 시장을 형성하고 있다. 그 적용 분야도 서버와 PC로 양분되어 있던 것이 모바일, 그래픽, 그리고 디지털 텔레비전 등과 같은 컨슈머 등으로 확산되고 있다. 특히 DDR(double data rate)의 상용화로 인해 데이터 전송속도가 획기적으로 빨라지고 있는 것도 지속적인 발전의 한 이유일 것이다.

메모리는 신호를 기억하는 것이 가장 기본적인 역할이다. 우리에게 친숙한 PC(personal computer)의 경우에서 메모리의 특성을 가장 잘 보여주는 부품은 하드디스크라 할 수 있다. 하드디스크는 싼 가격에 높은 저장 용량을 자랑하기 때문에 범용 기억 장치로써 가장 적합하다고 할 수 있다. 반도체 소자 중 하드디스크와 역할이 가장 유사한 메모리는 NAND/NOR 플래시 메모리이다. 플래시 메모리는 한 개의 트랜지스터에 플로팅 게이트를 탑재하여 플로팅 게이트에 축적된 전하에 따라 트랜지스터의 전류가 달라지는 원리를 이용한다. 이 전하는 10년 가량 보존이 가능하기 때문에 하드 디스크와 같이 PC의 전원을

꺼도 저장된 신호를 잃지 않는다. 이러한 메모리를 비 휘발성 메모리라고 한다. 특히 NAND 플래시 메모리는 상용 메모리 중 가장 높은 집적도를 자랑한다. 플래시 메모리는 하드디스크에 비해 크기가 작게 만들 수 있어, 가벼우며, 물리적 충격에 강한데다 액세스 속도가 매우 빠르고, 전력 소모가 작다는 장점을 지니고 있다. 이 때문에 모바일 제품의 저장 매체로 주로 사용되고 있다. 21세기 들어 디지털 모바일 제품 시장이 폭발적으로 성장한 배경에는 플래시 메모리 특히 NAND 플래시의 발전이 큰 기여를 했다고 생각된다. 최근에는 웨이퍼의 적층 패키지 기술 발전으로 노트북의 하드디스크 대용으로, 혹은 하드디스크와 NAND 플래시의 장점이 결합된 하이브리드 형태의 하드 디스크의 개발이 진행되고 있다. 그러나, 플래시 메모리는 DRAM에 비해 속도가 느리고, 동작 전압이 높다는 단점이 있다.

메모리의 쓰임새는 매우 다양하다. 앞서 DRAM과 플래시 메모리의 경우만 보아도 서로 다른 특성을 지님에 따라 서로 다른 제품에 채택되어 사용된다. 근래에는 이러한 두 메모

리의 장점만을 지닌 메모리를 개발하여 상용화 하려는 시도들이 활발하게 진행되고 있다. 이들은 빠른 동작 속도, 저전력, 고집적화, 비휘발성이라는 4가지로 특징화 된다. 대표적인 예로는 PCRAM(Phase Change RAM), MRAM (Magnetic RAM), PoRAM(Polymer RAM), ReRAM(Resistive RAM) 등이 있다.

기존의 메모리가 전하의 거동의 차이를 디지털 신호로 이용했다면, 이들은 저장 장소의 저항 변화를 데이터로 사용하는 공통점을 지니고 있다. 특히 이들 중 MRAM은 자성체의 극성 변화에 따른 저항 변화를 디지털 신호로 이용한 것으로 유일하게 저 용량의 일부 제품의 상용화에 성공한 메모리이다. 표 1에 각종 메모리의 셀 크기와 동작 특성에 대해 나타내었다^[1]. Standard MRAM은 STT(spin transfer torque)-MRAM과 동일한 방식을 따르지만 쓰기 방식이 다르다. 이 표에서 SMT(spin momentum transfer)-MRAM은 STT-MRAM을 의미한다. MRAM은 SRAM과 DRAM 정도의 초고속 동작이 가능하다. 특히 반복 기록 및 재생 시의 내성이 매우 강하며, 자성을 이

〈표 1〉 MRAM 예상 성능 비교표. SMT-MRAM이 STT-MRAM을 의미함. ^[1]

분야	Standard MRAM (90nm)*	DRAM (90nm)*	SRAM (90nm)*	SMT-MRAM (90nm)*	FLASH (90nm)*	FLASH (32nm)*	SMT-MRAM (32nm)*
Cell size (μm ²)	0.25	0.25	1-1.3	0.12	0.1	0.02	0.01
	256 Mb/cm	256 Mb/cm	64 Mb/cm	512 Mb/cm	512 Mb/cm	2.5 Gb/cm	5 Gb/cm
Read time	10ns	10ns	1.1ns	10ns	10-50ns	10-50ns	1ns
Program time	5-20ns	10ns	1.1ns	10ns	0.1-100ms	0.1-100ms	1ns
Program energy per bit	120pJ	5pJ	5pJ	0.4pJ	30-120pJ	10nJ	0.02pJ
Endurance	>10 ¹⁵	Needs refresh >10 ¹⁵	>10 ⁵	>10 ¹⁵	>10 ¹⁵ read, >10 ⁶ write,	>10 ¹⁵ read, >10 ⁶ write,	>10 ¹⁵
Nonvolatility	yes	no	no	yes	yes	yes	yes

* MRAM performance values projected by the authors.
* Values from the International Technology Roadmap for Semiconductors(ITRS).

용한 방식이라 우주공간의 radiation에도 손상되지 않아 안정성 측면에서 최고 수준이므로 적용 제품에 관계없이 사용할 수 있는 “Universal Memory”로의 가능성이 가장 큰 메모리라 할 수 있다. 특히 더 작은 크기에서 빠른 속도와 작은 동작 에너지를 보이는 점은 미래의 메모리로서 기대가 된다.

본 고에서는 기존 메모리의 한계와 이에 대한 대안으로서 MRAM에 대한 동작 원리 및 기술 현안을 통해 그 가능성에 대해 고찰해 보고자 한다.

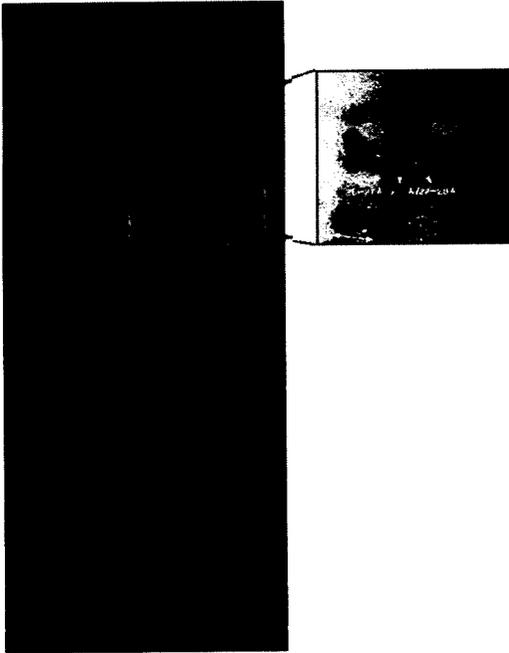
II. 메모리 기술의 한계

대용량 메모리는 이미 1기가 바이트 이상의 집적도가 주류를 이룰 정도로 메모리 기술 진보 속도는 빠르게 발전하고 있다. 범용 메모리 개발에서 가장 중요한 요소는 더욱 큰 용량 제품을 더욱 값 싸게 만드는 것이다. 최소 선폭 (minimum feature size, F)을 줄여서 작은 면적의 칩을 만드는 것은 가장 잘 알려진 방법이다. DRAM은 트랜지스터 하나와 캐패시터 하나로 하나의 비트를 이룬다. 2007년 현재 DRAM의 주력 제품은 70-80나노 미터급 기술로 제조된 것이다. 2008년에는 60나노 미터급 제품이 주력이 될 것이며, 2010년 이후 40나노 미터급 제품이 출시될 예정이다.

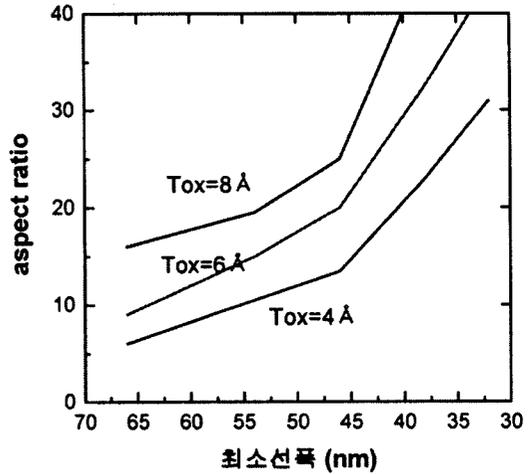
DRAM 기술의 한계는 캐패시터로부터 비롯될 것이라고 예측되고 있다. DRAM의 경우 셀 당 최소 20fF의 정전 용량이 요구된다. 하나의 DRAM 셀에 허용된 면적은 $6-8F^2$ 이므로, F가 감소하면 셀 면적의 감소되어 캐패시터의 높이 증가를 통한 유효 면적 증가 또는

고 유전막의 적용 이외의 해결방안이 없게 된다. 그림 1에는 2006년 VLSI 심포지엄에서 발표된 68nm Tech DRAM의 캐패시터 사진을 나타내었다^[2]. 그림 2는 최소 선폭에 따른 캐패시터의 높이 대 단축 폭의 비율 (aspect ratio)을 유전체의 상대 유전율에 따라 나타낸 것이다. 캐패시터의 높이가 바닥 폭보다 일정 수준 이상 높을 때 구조적으로 불안해져서 인접 캐패시터와 달라 붙는 현상이 일어난다. 따라서 구조적인 한계는 aspect ratio로 나타낼 수 있다. 실제로 생산이 가능한 aspect ratio는 20 정도이다. 현재 개발된 캐패시터의 유전체 중 ZrO₂가 가장 높은 유전율을 보이며, SiO₂ 환산 두께로 약 8Å에 해당된다^[3]. 이를 기준으로 예측하면 50nm급에서 한계에 도달한다. 현실적인 개선 방안들이 총동원 되어 SiO₂ 환산두께 6Å 정도, aspect ratio 30 정도가 가능하다고 가정하면, 원하는 정전 용량을 만족시킬 수 있는 최소 선폭은 약 40nm이다. 향후 캐패시터 공정의 innovation이 없다면, 2010년경 출시 예상되는 40nm급 DRAM이 현재 형태의 1T, 1C DRAM의 한계로 예측된다. 최근에는 반도체 소자업체를 중심으로 SOI 기판을 사용하여 채널 하부의 실리콘 바디에 저장된 전하의 양에 따른 트랜지스터의 전류 변화를 데이터로 사용하는 Floating Body Cell(FBC)에 대한 연구도^[4] 활발히 벌어지고 있는 것은 캐패시터가 DRAM의 한계에 대한 인식이 확산되고 있다는 반증이라 할 수 있다.

캐패시터 이외에도 DRAM은 여러 측면에서 한계를 맞고 있다. 공정적으로 도선과 도선, 그리고 그 사이에 형성되는 플러그와의 절연 특성이 점점 얻기 어려워 지고 있다. DRAM은 셀 면적을 효율적으로 사용하기 위



〈그림 1〉 68nm 6F2 DRAM 기술로 형성된 캐패시터 단면 사진. [2]



〈그림 2〉 최소 선폭에 따른 캐패시터의 높이 대단축 비율(aspect ratio)

해 셀 플러그를 자기 정렬 컨택(Self-align contact) 방식의 공정을 이용하여 제조한다. 이때 40 나노 급 셀을 가정하면 하나의 셀 플러그와 두 층의 절연막이 40나노 미터 안에 위치시켜야 한다. 20나노 플러그 폭이라 하면, 10나노 이하의 두께를 가진 절연막으로 수 볼트의 게이트 전압을 전기적으로 견뎌야 하는 한계 상황에 도달된다. 또한, DRAM 셀은 트랜지스터의 누설 전류 특성이 매우 중요하기 때문에 트랜지스터의 소스/드레인이 직접 금속 전극과 맞닿지 않고 도핑된 실리콘으로 전극을 연결하는데 이때 20나노 폭의 실리콘의 저항도 큰 문제가 될 것이다. 이와 같이 자기 정렬 방식의 컨택 형성 방법에 대한 뚜렷한 돌파

구가 아직까지 나타나지 않고 있다.

트랜지스터의 채널 길이 감소에 따른 누설 전류 증가, 채널 폭 감소로 인한 동작 전류의 감소는 DRAM 셀의 축소를 어렵게 만드는 요인이다. 셀 트랜지스터에 대한 한계를 돌파하려는 노력은 평면 트랜지스터에서 3차원 트랜지스터로의 전환이 활발하게 연구되고 있다. 현재 생산되고 있는 DRAM은 1단계 3차원 트랜지스터라고 할 수 있는 함몰형 채널(Recessed Channel Array Transistor) 형태의 트랜지스터를 80나노 또는 그 이하에서 DRAM에서 채택하고 있다. Fin형 트랜지스터와 Saddle형 트랜지스터 등이 제안되고 연구되고 있지만 40나노급 셀 크기에서 제조 공정과 소자 특성을 모

두 만족하는 3D 트랜지스터는 아직 등장하지 않았다.

또 다른 DRAM의 한계를 야기시키는 대표적인 인자로 분산에 대한 것을 언급하고자 한다. DRAM은 하나의 셀로 구성된 것이 아니다. 수기가 개의 셀이 row와 column으로 정렬되어 있다. 이 들 셀 트랜지스터와 셀 캐패시터가 동일한 특성을 가지지 않는다. 게다가 비트 라인 양단에서 신호를 인식하는 sense amp의 특성도 비트 라인마다 다르다. 이러한 분산을 모두 극복할 정도로 큰 신호가 들어오면 문제가 없지만, 점점 작아지는 셀 크기에서는 이를 기대하기 어렵다. 주변의 신호 잡음과 주변 셀들이 동작할 때의 잡음들도 오 동작을 일으키는 원인이 되기도 한다. 이들 모두가 DRAM의 동작 원리 및 현재의 아키텍처에서의 물리적 한계를 야기하는 것이다.

이러한 한계는 모두 DRAM이 비트 라인에 전하를 공유하는 원리로 데이터를 읽는 방식을 채택하고 있기 때문이라고 생각된다. 최근 활발히 연구되고 있는 새로운 메모리들은 모두 저장 물질이 저항 변화를 일으켜 전류가 변함을 데이터로 읽어 들이는 방식을 취하고 있다. 이러한 동작 원리의 변화가 새로운 돌파구가 되기를 기대해 보며 이 중 가장 뛰어난 특성이 보고된 STT-MRAM에 대해 고찰해 보고자 한다.

III. STT-MRAM

1990년대 중반부터 spintronics의 응용 분야 중 산업적 응용 가능성이 높아서 많은 관심이 집중되었던 것이 바로 Magnetic Random

Access Memory(MRAM)이다. MRAM이 처음 제안된 것은 1980년대 전반이며, 1994년에는 미국 Honeywell사가 처음으로 GMR(Giant Magneto-Resistance) 구조를 이용한 MRAM을 개발하여 제품화까지 이르렀다. 그러나 느린 속도와 낮은 집적도 등으로 큰 시장을 형성하지는 못하였다. 단지 우수한 방사선 내성으로 인해 군사, 우주 분야에 한정적으로 사용되었다. 그 후 TMR(Tunneling Magneto-Resistance) 현상의 발견으로 진일보하게 되었다. MRAM이 메모리 소자로 사용할 수 있는 원리는 자기 저항(Magneto-Resistance) 특성 때문인데 이것은 두 자성체의 자화 방향의 배열에 따라 저항이 달라지는 특성을 의미한다. TMR 현상은 GMR 현상에 비해 월등한 자기저항 특성을 얻을 수 있게 되면서, 차세대 메모리로서 큰 관심을 끌게 되었다.

TMR 효과를 이용하는 MRAM의 연구개발은 미국으로부터 시작되어 동아시아 권까지 활발히 진행되었다. 국가 프로젝트 위주로 진행되었으며 Motorola의 4Mbit을 비롯하여 최근 Sony의 4Kbit⁽⁵⁾, Hitachi 2Mbit⁽⁶⁾까지 개발 결과들이 보고되었다. MRAM에 대한 기대는 현재 상용화 되어 있는 DRAM 등의 메모리와 비교할 때 차세대 메모리로서 높은 잠재력을 가지고 있기 때문이다. 근래에 들어서 급속히 확장되고 있는 개인용 휴대 정보기기 - mobile phone, PDA, digital camera, MP3 player 등의 수요로 인해 플래시 메모리와 같은 고속 차세대 비 휘발성 메모리의 등장을 반도체 산업 전반에서 고대하고 있다. 때문에 차세대 메모리로서의 성능에 대한 기대 수준 또한 더욱 요구되는 것은 당연하다 할 것이다. 따라서 차세대 메모리는 대용량뿐만 아니라, 비 휘발성, 고속

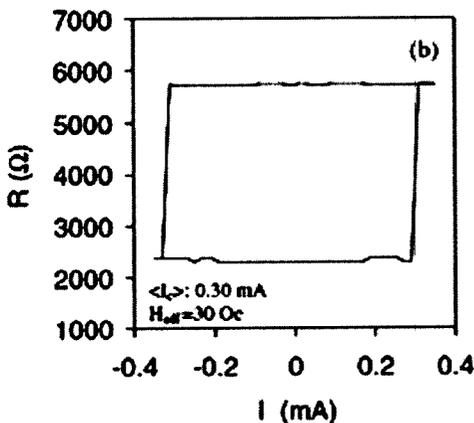
동작, 낮은 전력 소모와 같은 특성들을 모두 지닌, 이른바 “universal memory”가 요구되고 있다. 본 고에서는 이러한 요구에 대한 대응책으로서의 MRAM에 대해 고찰하고자 한다.

1. Magnetic Tunnel Junction (MTJ)

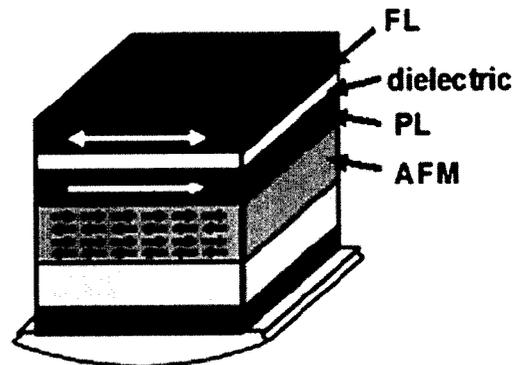
MRAM은 MTJ를 구성하고 있는 두 강자성층의 자화 방향의 배열에 따른 자기 저항의 변화를 이용한 메모리이다. MTJ는 기본적으로 강자성층/절연층/강자성층의 구조를 기본으로 한다. 첫 번째 강자성체 층을 지나가는 전자가 터널링 장벽(Tunneling barrier)으로 사용된 절연 층을 통과할 때 두 번째 강자성체의 자화 방향에 따라 터널링 확률이 달라진다. 즉, 두 강자성층의 자화 방향이 평행할 경우 터널링 전류는 최대가 되고, 반 평행할 경우에는 최소가 된다. 강자성 층은 스핀 방향에 따라 서로 다른 전자 밀도를 가진다. 강자성 층의 페르미 준위에 있는 전자가 절연 층을 터널

링 할 때 두 번째 강자성 층이 첫 번째 강자성 층과 동일한 방향으로 자화 되어 있으면 두 강자성 층이 갖기 쉬운 스핀 방향이 일치하므로 전자가 쉽게 이동하지만 강자성층이 서로 반대 방향으로 배열해 있으면 터널링 전자의 스캐터링이 일어나 저항이 커지는 특성을 갖게 된다. 그림 3에는 자화 방향의 배열에 따른 저항 특성을 나타내었다⁷⁾. 저항이 다른 2개의 상태를 볼 수 있다.

두 강자성층 중 한 층은 자화 방향이 고정된 pinned layer(PL)이라 하고, 나머지 하나는 외부 자기장 혹은 관통하는 전류에 의해 자화 방향이 움직이는 free layer(FL)이라 한다. 그림 4에는 기본적인 MTJ 구조에 대한 개략도를 나타내었다. 고정 층은 MnPt, MnIr 등과 같은 반 강자성층(anti-ferromagnetic layer)과 함께 사용되어 자유층에 비해 자화 방향이 바뀌기 어렵게 된다. 반 강자성 층은 고정층의 자화 반전에 필요한 자기장의 영역을 자유층과 완전히 분리함으로써, 실제 사용 범위에 해당되



〈그림 3〉 전류에 따른 MTJ 저항 변화 특성 ⁷⁾



〈그림 4〉 기본적인 MTJ 구조.

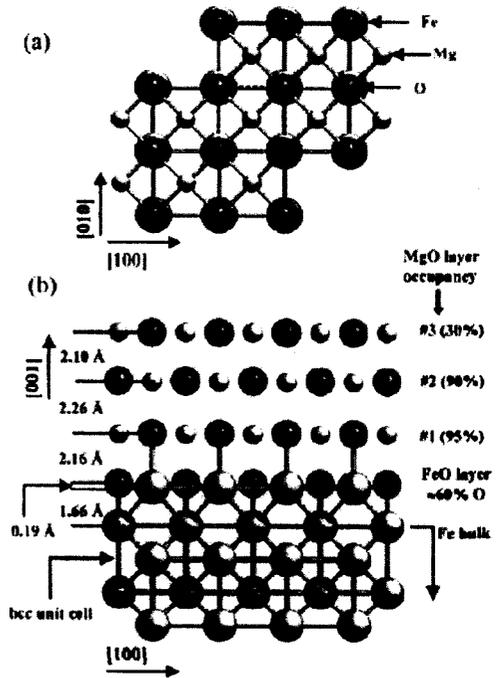
는 외부 자기장 영역에서는 고정층의 자화 반전이 일어나지 않고 자유층만 자화 반전이 가능하게 된다. 결국, 두 강자성 층은 상대적으로 평행한 자화 방향 또는 반 평행한 자화 방향의 두 가지 상태 만이 가능하도록 MTJ 층간 구조를 설계한다. 결과적으로 최적의 TMR 값을 얻을 수 있을 뿐 아니라, 신호의 안정성을 높일 수 있게 된다.

2. MgO 절연층

MTJ를 메모리 소자의 기억 장치로 사용하기 위해서는 0과 1의 정보를 구분하는 저항의 차이, 즉, MR 비가 충분히 커야 한다. MR 비는 1975년 Jullier에 의해 극저온(4.2K)에서 Fe / Ge / Co 구조를 사용하여 MR 비 14%를 발견되었다⁸⁾. 그러나 상온 MR 비가 크지 않아 주목을 받지 못하다가 1995년 MIT의 Moodera와 Tohoku 대학의 Miyazaki가 절연층을 Al₂O₃를 사용하여 상온에서 20%에 가까운 MR 비를 발표하면서 활발한 연구가 진행되기 시작했다. 이후 자성 층과 절연 층의 증착 방법의 계속된 발전으로 MR 비가 약 70% 가량까지 보고되었으나 이는 실제 메모리 소자로 산업화 되기에는 다소 작은 값이다. 이후 새로운 절연 층으로 MgO을 적용하면서 상온에서 472%⁹⁾의 MR 비를 얻어 새롭게 주목 받았다.

$$TMR = \frac{R_{AP} - R_P}{R_P} = \frac{2P_1P_2}{1 - P_1P_2}$$

식 1)



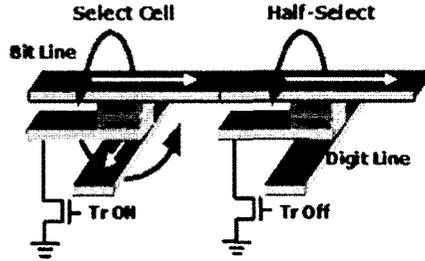
〈그림 5〉 MgO와 Fe의 결정 격자 비교.
(a) 평면도, (b) 단면도

식 1)은 MR 비를 나타낸 것이다. 이 식에서 보듯이 MR 비는 스핀 분극(spin polarization)과 밀접한 관계가 있다. MgO를 사용해서 높은 MR 비를 얻은 것은 실험적인 시도로 얻어진 것이지만 실험 결과를 얻기 전에(100) 방향으로 우선 방위를 가진 Fe/MgO/Fe 구조에서 수백 혹은 수천%의 MR 비가 기대된다는 것이 이론적으로 예측되었다. 이는 자성 층과 절연 층의 경계면에서의 주 스핀 채널인 $\Delta 1$ state의 “density of state”가 분극 현상이 커지게 하기 때문인 것으로 알려져 있다¹⁰⁾. 그림 5에는 MgO와 Fe의 결정 격자 크기를 비교한 그림이다. Fe와 MgO의 격자 배열이나 간격이

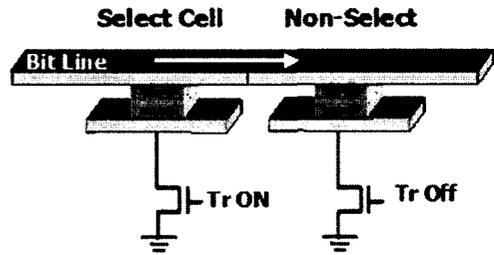
서로 유사한 것을 볼 수 있다. 더구나 후속 열처리에 의해 MgO가 결정화되면서 인접 자성층이(100) 우선 방위로 정렬하는 것을 도와주어 스핀 분극 현상이 커지는 것을 돕는 것으로 보고 되고 있다. 현재는 Fe이외에 CoFe, CoFeB 등의 자성 물질도 MgO를 barrier로 사용한 결과 400% 이상의 MR 비를 보임이 보고되고 있어 MRAM의 상용화에 큰 발전을 가져왔다.

3. 자화 반전 원리

MRAM의 읽기 동작은 앞서 설명한 바와 같이 데이터 “0” 과 “1” 사이에 MR 비에 의한 저항 차이가 발생하고 이에 따른 전류 차이를 구분하는 방식이다. 최근 제안된 MRAM은 쓰기 방식이 기존과 다른 것으로 Spin transfer torque(STT)라는 현상을 응용한 것이다. STT 현상은 Slonczewski와 Berger에 의해 처음 이론적으로 예상되었다. STT는 스핀이 정렬된 전류가 강자성체 내를 지날 때 순간적으로 발생된 각운동량의 변화에 의해 강자성체의 각운동량으로 전달되는 현상이다. 정렬된 스핀 방향을 지닌 높은 밀도의 전류가 강자성체에 입사할 경우에 강자성체의 자화 방향이 전류의 스핀 방향과 일치하지 않으면 전류의 스핀 방향으로 정렬하려는 현상을 의미한다. 이를 MTJ 구조에 대입해보자. 전자가 고정층에서 자유층으로 흐를 때, 고정층의 자화 방향으로 스핀 방향이 정렬된 전자의 흐름에 의해 자유층의 자화 방향이 정렬되려는 토크를 받게 되며, 결국 일정 전류 이상에서 자유층의 자화 방향이 고정층의 자화 방향과 일치하게 된다. 반대로 자유층에서 고정층으로 전자가 입사



(a) 기존 방식의 MRAM



(b) STT-MRAM

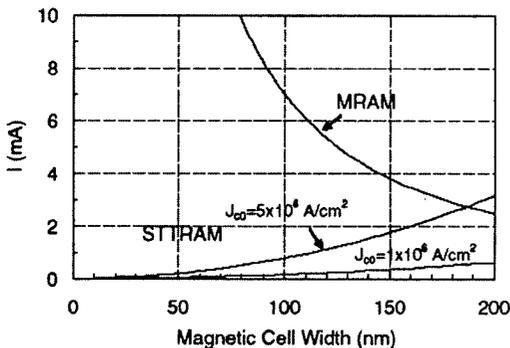
〈그림 6〉 기존 방식의 MRAM과 STT-MRAM의 쓰기 과정의 개략도.

하면 고정층과 자유층의 경계에 스핀 축적 현상이 일어나 자유층의 자화 방향이 고정층과 반대 방향으로 평행하게 배열시키는 특성을 보인다.

그림 6에 기존의 MRAM과 STT-MRAM의 쓰기 방식을 비교하여 나타내었다. 기존 방식의 MRAM의 쓰기 동작은 그림에서 보듯이 비트 라인과 디지트 라인(Digit Line)에 전류가 동시에 흐를 때 야기되는 자기장의 벡터 합으로 이루어진다. STT를 이용한 쓰기 방식을 채택한 MRAM(이하 STT-MRAM)은 이에 비해 매우 단순한 구조를 지니고 있다. 디지트 라인을

따로 두지 않고 오로지 전류의 양과 방향으로만 쓰기 동작이 이루어지므로 셀 크기를 획기적으로 감소시킬 수 있다. STT현상의 도입으로 셀 크기는 기존 20F2 수준에서 약 6F2로 감소될 것으로 예상된다.

대용량 메모리로 MRAM을 구성할 때 가장 중요한 점은 셀 크기를 보다 작게 만들 수 있어야 한다는 것이다. 그림 7에 기존 방식의 MRAM과 STT-MRAM의 셀 크기에 따른 자화 반전 전류를 나타내었다. 기존 방식은 전류에 의해 자기장을 유발시켜야 하는데 셀 크기가 작아짐에 따라 쓰기 전류가 급속도로 증가한다. 반면, STT-MRAM은 셀 크기가 작아질수록 쓰기 전류도 함께 감소한다. 이 특성은 고 용량 메모리에 적합한 특성이라 판단된다.



〈그림 7〉 자화 반전 전류 대 셀 크기. ^[7]

메모리는 단독 셀로 이루어진 것이 아니고 워드 라인 혹은 비트 라인을 공유하는 무수히 많은 셀이 존재한다. 기존 방식의 MRAM은 하나의 셀을 선택하여 쓰는 과정에서 디짓 라인 혹은 비트 라인을 공유하는 선택되지 않은 다른 셀들이 라인에서 유발된 자기장에 노출

되게 된다. 이러한 상황을 반 선택(half-select) 되었다고 하며, 이 때문에 쓰기 동작에서 이웃 셀을 반전시키는 교란 현상이 발생하기 쉽게 된다. STT-MRAM은 이러한 교란 현상을 원천적으로 막을 수 있다. STT-MRAM의 이러한 여러 가지 장점들은 비 휘발성이면서 저 전력, 빠른 동작은 물론, 고 용량화가 가능한 셀 축소에 적합하여 매우 높은 경쟁력을 가지므로 기존 MRAM을 뛰어 넘어 유니버설 반도체로서 높은 가능성을 제공한다.

4. 자화 반전 전류와 속도

표 1에 나타내었듯이 현존하는 DRAM과 플래시 메모리를 포함한 대부분의 메모리의 읽기 속도는 수십 나노 초 수준으로 큰 차이를 보이지 않는다. 메모리 종류에 따라 큰 차이를 보이는 것은 바로 쓰기 속도이다. 이론적으로 STT-MRAM은 DRAM과 유사 혹은 더 빠른 쓰기 속도가 가능하지만, 현실적으로 데이터 쓰기에 대한 제약 조건이 존재한다.

MRAM 셀의 정상적인 동작을 위해서는 Jc(자화 반전 전류 밀도) 보다 트랜지스터의 구동 능력이 충분해야 하는데, 현재까지 실험적으로 얻은 Jc 최소값이 1MA/cm² 정도로 기존 DRAM 셀 트랜지스터의 구동능력을 초과하고 있다. 또한, MgO의 절연 특성 파괴(dielectric breakdown)가 나타나는 영역이 Jc보다 그리 크지 않다는 것도 Jc를 감소시켜야 할 또 다른 이유라 할 수 있다.

식 2)에는 자화 반전을 일으키는 전류를 나타내었다^[7]. 여기서 Ms는 포화 자화, P는 스핀 분극, α는 길버트 감쇠 상수, V는 자유층의 부피, Hk는 비등방성 자계를 나타낸다. 자유층

의 두께가 일정하다면 전류 밀도는 일정하게 유지되므로 그림 7과 같이 MTJ 셀 크기 감소에 따라 J_c 의 감소가 나타난다.

$$J_c = \alpha \frac{2e}{\hbar} \frac{M_{stF}}{P} \left(H + H_k + \frac{N_z M_s}{2} \right)$$

식 2)

강자성체의 특성을 개선하여 J_c 를 감소시키는 방법 역시 식 2)를 보면 알 수 있다. 낮은 M_s , 높은 P , 낮은 α 를 얻을 수 있도록 MTJ 구조를 설계해야 한다. 특히 P 를 높이기 위해 반금속이나 산화물 계열의 자성물질에 대해 연구가 활발히 진행되고 있다. 현재 사용되고 있는 절연 층, 즉 MgO 의 도입으로 인해 기존의 자성 재료의 유효 스핀 분극이 증가되었고, MgO 의 결정성과 quality를 조절함으로써 더 큰 P 값을 얻기 위한 연구 역시 활발히 진행되고 있다.

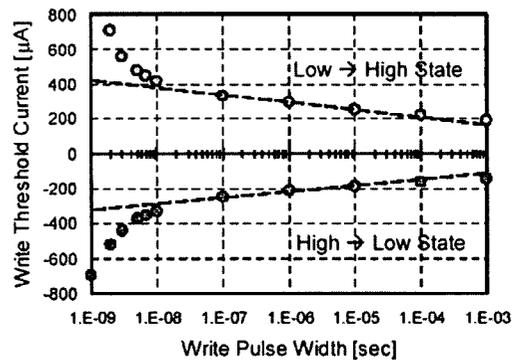
위와 같이 각각의 변수를 변화시켜 J_c 를 줄이는 방법 이외에도 적층 구조를 변화시켜 J_c 를 줄이는 아이디어도 있다. MTJ 2개를 직렬로 배열한 것과 같은 Dual MTJ 구조가 대표적 예가 될 수 있는데 이것은 하나의 FM를 두 개의 MTJ가 공유하고 두 PM의 방향이 반대인 구조를 가지고 있다. 이 경우 역시 J_c 를 감소시킬 수 있는 것으로 알려져 있다. 그러나 반대로 MR 비의 감소와 저항 증가를 해결해야 한다. 또한 자화 반전 시 주변에서 열을 가하는 등 J_c 를 줄이기 위한 여러 가지 방법들이 시도되고 있다.

MTJ는 일반적으로 직류 전원에서 자화 반전 전류에 비해 펄스 형태에서의 J_c 가 커지

는 경향이 있다. 식 3)에는 전류의 펄스 폭에 따른 J_c 의 특성을 나타내었다. 그림 8은 자기 저항 기록시 펄스 폭에 따른 J_c 특성을 나타낸 것이다^[5]. 실제로 메모리 소자는 직류 전원으로 동작하지 않는다. 펄스 폭이 10나노 초 정도의 고속 기록 특성을 요한다. 따라서 고속 기록 동작을 위해서는 직류 전류에서보다 1.5배에서 2배 가량 큰 전류가 필요하다. 따라서 펄스 폭은 실제 메모리 소자를 설계할 때 매우 중요한 기준이 된다.

$$J_c(\tau) = J_{c0} \left[1 - \frac{k_B T}{K_u V} \ln \left(\frac{\tau}{\tau_0} \right) \right]$$

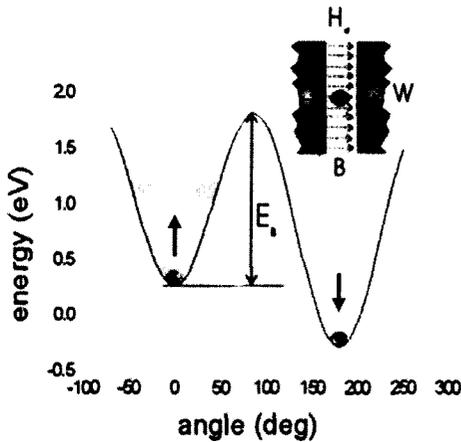
식 3)



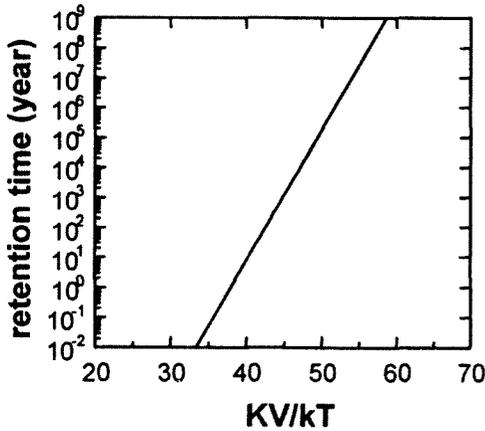
〈그림 8〉 펄스 폭에 따른 자화 반전 전류 특성.^[5]

5. Data Retention time (자화 유지 시간)

STT-RAM의 미래를 생각할 때 J_c 와 함께 중요하게 생각해야 하는 것은 셀의 소형화 가능성이다. DRAM과 플래시 메모리의 셀 크기는 50nm를 개발하고 있다. 기존 메모리의 대안으로 사용되려면 MTJ를 40nm 이하로 감소시



〈그림 9〉 전자의 스핀 방향에 따른 에너지 분포도.



〈그림 10〉 KV/kT에 따른 data retention time.

$$\frac{KV}{k_B T} = \frac{K_u + (N_y - N_x) M_s^2 / 2}{k_B T}$$

식 4)

킬 때 예상되는 여러 현상을 이해하고 해결해야만 한다. 셀 크기를 감소시킬 때 초상자성(Superparamagnetism) 현상이 두드러지게 나

타난다. 초상자성은 자성 재료의 부피가 작아짐에 따라 자화 방향의 유지 시간이 줄어들어 상자성체처럼 작용하는 현상을 의미한다. 그림 9에 전자의 스핀 방향에 따른 에너지 분포를 스핀 angle에 따라 나타내었다. 두 개의 안정된 상태 사이에는 하나의 에너지 장벽이 존재한다. 열에너지가 이 에너지 장벽보다 큰 경우에는 전자의 스핀이 반대 방향으로 변하게 되므로 에너지 장벽을 적정 수준을 만족시켜 MTJ의 열 안정성을 확보해야 한다. 이 에너지 장벽은 일반적으로 KV와 밀접한 관계가 있다고 알려져 있다. 그림 10에서 보듯이 약 90°C 이상의 동작 온도에서도 10년 동안 데이터가 유지되기 위해서는 KV/kT가 최소한 40 이상의 값을 가져야 함을 알 수 있다.

KV/kBT는 식 4)로 표현할 수 있다. 여기서 Ku는 물질의 이방성을 나타내는 지수이고, Nx,y,z는 각각 x, y, z 방향의 형상 이방성을 나타내는 지수이다. 이 지수는 자유층의 두께가 이미 물리적 한계에 가깝기 때문에 중형 비 조절 만을 고려해야 하므로 MTJ를 한쪽 방향으로 길게 형성하는 것이 유리하다. 결국 MTJ가 소형화되면 부피 감소와 함께 형상 이방성 지수도 감소하므로 KV의 감소를 막을 수 없게 된다. 결국 지속적으로 더 작은 셀 크기를 확보하려면 높은 Ku와 Ms가 필요하다. 이들은 Jc와도 관련이 깊은 변수들이므로 식 2)와 식 4)를 함께 비교해 보면 서로 반대되는 관계에 놓임을 발견할 수 있다. 낮은 Jc를 위해서는 Ms를 감소시켜야 하지만 열 안정성을 높이기 위해서는 높은 Ms가 요구된다. 그러므로 높은 Ku값을 갖는 물질을 통해 MTJ 소자의 열 안정성을 개선하는 연구가 기대할 만 하다.

적층 구조를 이용하여 자계를 형성하여

effective KV를 높이는 방법도 널리 이용되고 있다. Synthetic anti-ferromagnet(SAF, SyAF) structure가 그것이다. SAF 구조는 강자성체 사이에 Ru을 삽입한 구조를 하나의 강자성 층으로 간주하여 사용하는 것을 말한다. Ru을 사이에 둔 두 강자성 층은 서로 반 평행한 자화 결합을 갖고 있다. 이러한 반 평행 결합은 Ru층을 통한 interlayer exchange coupling에 의한 것으로 GMR system을 통해 많이 연구된 바 있다. SAF 구조는 Ru을 경계로 두 강자성 층이 생성하는 반 평행 상태의 field가 서로 자화 반전되는 것을 막아 주는 역할을 한다. SAF 구조는 고정층에 처음 이용되었으나 시작하였으나 최근에는 자유층의 열 안정성을 위해서도 이용되고 있다.

IV. STT-MRAM의 기술적 과제 및 전망

현재까지 발표된 MRAM 연구 결과는 수 Mbit 급의 용량에서 얻은 것이다. 장차 1 Gbit 급에 해당하는 결과를 얻어야 할 것이다. MRAM의 고집적화를 위해서 해결해야 할 과제가 무엇인지 살펴보고자 한다.

첫 번째 과제는 MR 비를 증대시키는 일이다. MR 비의 증대는 MRAM에서의 신호 SNR(Signal to Noise Ratio)을 향상시켜 신호 처리의 마진이 커지게 된다. MgO가 성공적으로 전개되면서 비약적인 개선이 있어 왔지만 셀 크기의 감소로 인해 출력 감소를 극복하기 위해서는 앞으로도 지속적인 발전이 요구되는 항목이다. MR 비를 증대시키기 위해서는 스핀 분극, P가 높은 물질을 사용해야 할 것이다.

두 번째 과제는 J_c 와 MTJ의 저항 감소이다.

큰 동작 전류와 저항은 MTJ에 인가되는 전압의 증가를 야기한다. 이는 MgO의 절연 파괴 현상을 초래하므로 기존 방식의 MRAM에서 발견되지 않는 또 다른 신뢰성 문제를 야기하게 된다. 게다가 셀 트랜지스터의 전류 구동 능력에 대한 부담도 커져 셀 크기 축소를 가로막는 장벽으로 작용할 수 있다. 기록 전류 감소는 낮은 포화 자화(M_s)와 높은 스핀 분극(P), 낮은 길버트 감쇠 상수(α)에서 얻어질 것으로 기대되고 있다. 이것은 구조의 변화 및 자성체의 변화를 통해 얻어질 것으로 기대된다. 전체 저항은 커지지만 MTJ를 직렬로 연결한 Dual MTJ 구조를 이용하여 J_c 를 감소시키는 시도도 활발히 연구되고 있다.

세 번째 과제는 셀 크기 감소에 따른 열 안정성 개선이다. 셀 크기 감소에 따라 자유층의 부피 감소에 따른 자화 유지 시간 감소와 함께 MTJ의 식각 과정에서 나타나는 cell 모양의 편차에 따른 형상 자기 이방성의 약화도 증대된다. 이러한 문제점을 해결하기 위해서는 공정 개선 이 외에도 물질 이방성이 큰 재료에 대한 연구가 필요하고, 메모리 소자 설계 시 MTJ의 중형 비를 크게 하는 노력이 필요하다.

아직 극복해야 할 과제들이 산재해 있지만 차세대 메모리로서 MRAM은 STT 현상의 도입을 계기로 새로운 전환기를 맞고 있다. 지금까지 발표된 연구 결과들도 새로운 메모리 소자들 중 가장 상용화에 가까운 결과들이라 판단된다. 특히 메모리 셀의 소형화에 가장 적합한 개념을 지니고 있어 40나노 이하의 DRAM의 대체 또는 확장 수단으로서 꾸준히 주목 받을 것으로 기대된다.

참고문헌

- [1] S. A. Wolf, et al. , IBM J. Res. & Dev., Vol. 50, No. 1, p.101. (2006)
- [2] C. Cho., et al., VLSI Tech. Dig., p.34 (2005)
- [3] D.-S. Kil, et al., VLSI Tech. Dig., p.46 (2006)
- [4] T. Shino, et al., IEDM Tech. Dig., p.569 (2006)
- [5] M. Hosomi, et al, IEDM Tech. Dig., p.459 (2006)
- [6] T. Kawahar, et al, , ISSCC Dig. Of Tech., p.480 (2007)
- [7] Yiming. Huai, et al, JJAP, Vol.45, No.5A, p.3835 (2006)
- [8] M. Julliere, , Phys. Rev. Lett. 54A, p.225 (1975)
- [9] J. Hayakawa, Jpn. J. Apl. Phys, Vol. 44 No.19, p. L587 (2005)
- [10] X. G. Zhang et al., Phys. Rev. B Vol. 68, 092402 (2003)

저자소개



정수옥

1993년 한국과학기술원 재료공학과 학사
 1995년 한국과학기술원 전자재료공학과 석사
 2000년 한국과학기술원 재료공학과 박사
 2000년-2005년 하이닉스반도체 메모리연구소 선임연구원
 2005년-현재 하이닉스반도체 메모리연구소 책임연구원
 주관심 분야 : DRAM, MRAM, FRAM, Cap-less DRAM 소자 공정



김현정

2004년 연세대학교 신소재공학과 학사
 2006년 한국과학기술원 신소재공학과 석사
 2006년-현재 하이닉스 반도체 메모리연구소 연구원
 주관심 분야 : 비 휘발성 메모리, MRAM, Half metallic ferromagnet

저자소개



정성웅

1990년 한국과학기술원 물리학과 학사
 1992년 한국과학기술원 전자재료공학과 석사
 1996년 한국과학기술원 재료공학과 박사
 1996년-1999년 LG 반도체 thin film 공정 개발
 1999년-2005년 하이닉스 반도체 thin film 공정 개발
 2005년-현재 하이닉스 반도체 소자 기술 개발
 현 하이닉스 반도체 소자 기술 개발 수석 연구원
 주관심 분야 : 집적 공정, 트랜지스터, 차세대 DRAM, 비휘발성 메모리