

## 비 Si 기판을 이용한 차세대 반도체 소자 기술의 특징 및 발전 방향

조만호 · 고대홍 · 손현철(연세대학교), 김형섭(성균관대학교)

### 1. 서론

Si 기판을 이용한 반도체 소자의 개발은 MOSFET 소자의 개발과 함께 가장 앞선 공정 기술을 기반으로 반도체 산업을 선도해 왔다. 특히, 정보화 산업의 발달과 함께 전자산업, 즉 PC 산업과 통신 산업이 경량화, 소형화 및 고성능화를 지향하고 있으며, 근래에 들어서는 이동통신기기의 급속한 발달과 대중화가 동시에 이루어지면서 기존의 기술 개발 속도를 상회하는 급속한 고기능화와 다기능화가 요구되어 지고 있다. 전통적으로 반도체 소자의 발전 역사를 보면, 반도체 소자의 고성능화 다기능화를 위하여 주어진 면적 내에 다양한 회로를 구성하는 방법이 주된 발전의 방향이 되어 왔으며, 이를 위하여 제조 공정 기술의 미세화가 가장 중점적으로 추진되었다. 이러한 제조 공정에서의 축소 기술은 여러 가지 기술적인 어려움에도 지속적으로 이루어져 왔으며, 소위 무어의 법칙을 계속하여 만족시켜 오고 있다.

그러나, 이러한 제조 공정의 발전은 기술 개발의 자연 및 성능 향상의 근본적 한계로 인해

그 발전 속도의 저하가 심각하게 나타나는 경향을 보이고 있다. 특히, 기존의 gate dielectric oxide인 SiO<sub>2</sub> 층의 두께를 감소시킴으로써 얻을 수 있었던, 소자 특성의 잇점들이 leakage current의 증가로 인한 소자 신뢰성의 문제를 심각하게 야기시킴으로써 더 이상의 두께 감소를 통한 잇점을 얻는 것이 불가능하게 되었다. 이를 극복하기 위하여 새로운 gate dielectric layer로서 고유전 박막의 사용이 확실해 지고 있는 상황이다. Si 기판을 사용하는 가장 중요한, 매우 우수한 gate 유전 박막을 상대적으로 쉽게 얻을 수 있는 잇점이 없어짐으로 인해 새로운 기판에 고유전 박막 사용에 대한 검토를 가능하게 하였으며, 이러한 기술적 변화에 따라 SiGe 및 Ge을 사용한 높은 이동도를 얻을 수 있는 기판에 대한 연구들이 진행되고 있다. 특히 Ge 기판으로의 전면적인 변화를 통하여 새로운 소자를 구현하려는 노력이 Stanford 대학을 중심으로 진행중에 있다. 또한, 이러한 합금 박막을 Si 기판상에 적층 성장하여 기존의 Si 기판 기술을 그대로 사용하면서도 대면적 형성에서 갖는 여러 가지 장점들을 이용하기 위한 노력 또한 진행중에 있다. 특히 Si 기

판상에 epitaxial 성장된 strained SiGe 층의 경우 처럼, compressive strain을 받는 층의 경우 hole mobility의 향상을 기대할 수 있는 반면에, strained C-doped Si의 경우처럼, tensile stress를 받는 층의 경우 electron mobility의 향상을 이룰 수 있어 고유전 박막의 성장에서 문제가 되는 이동도의 저하를 해결할 수 있는 방법으로도 고려되고 있다.

compound 반도체 기판을 이용한 memory 소자개발의 가장 큰 문제는 안정된 산화막을 형성하기 어려운 것이었으며, 따라서 SiO<sub>2</sub>를 포함한 다양한 유전 박막을 이용한 산화막 형성은 오래 전부터 연구되어 오고 있었다. 그러나, Si기판상에 epitaxial 기술이 향상되어 Si 기판을 이용한 대면적에서의 소자 집적에 대한 가능성은 최근야 증대되고 있는 상황이다. 또한, 계면 조절에 의한 interfacial trap을 줄일 수 있는 방안들 역시 최근 들어서야 이해되고 있으며, 이와 관련된 연구들이 진행중에 있다.

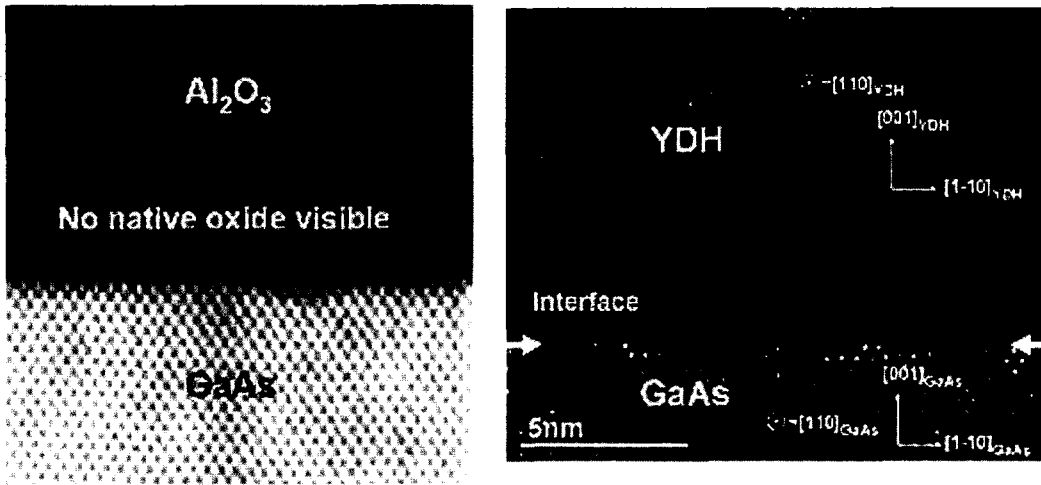
## II. Compound 반도체 기판을 이용한 차세대 반도체 공정 기술

GaAs 등의 compound 반도체는 전통적으로 MESFET, PHEMT, HBT 등의 transistor를 MMIC의 제작에 사용되어 왔는데, GaAs 기판상에 여러 소자들의 연결을 일괄공정으로 동시에 제작이 가능한 장점을 갖고 있어, 종래의 hybrid 회로에 비해 크기가 작고 신뢰성이 높으며 특성이 균일한 소자를 제작할 수 있는 장점이 있다. 특히, 높은 주파수 특성과 좋은 잡음 특성, 높은 효율성을 갖는 증폭기 s제작에 용이하여 이동 통신용 RF 부품에서 중요한 유

치를 차지하고 있다. 그러나 Si 기판을 사용하는 CMOS 소자에 비해 가격이 매우 비싸며, 대량생산이 어렵다는 단점을 갖고 있다. 이러한 단점으로 인해, 고성능 부품을 요하는 RF 소자의 경우에 GaAs등을 이용한 기술이 우위를 점하고 있다.

이러한 기존의 RF 소자기술에서의 장점을 CMOS 구조에서 이용하려는 연구가 최근에 시작되었으며, 이러한 변화는 고유전 박막을 이용한 gate 유전 박막의 이용과 Si상에 GaAs 등의 epitaxial 기술의 발전에 따른 변화이다. compound 반도체 기판상에서의 gate 유전막의 계면 특성 및 기초 전도 특성에 대한 연구는 최근에 메모리소자에서의 그 응용성이 고려되기 시작된 후로 관련 연구가 급속히 증가하고 있는 추세이다 아래 그림은 GaAs 기판상에 ALD로 성장한 Al<sub>2</sub>O<sub>3</sub> 박막의 경우 Si 기판에서 문제시 되었던 silicate 계면층을 형성하지 않고 성장가능함을 보여주는 TEM 사진이다. 이는 고유전 박막과 compound semiconductor 사이에서 interfacial state의 효과적인 조절이 가능함을 보여주는 것으로 고유전 박막의 응용 가능성을 제시하였다. 또한 고유전 박막 중 gate dielectric으로 가장 그 응용 가능성이 높은 HfO<sub>2</sub> 박막의 경우 적당한 금속 화합물을 첨가함으로써, 계면층이 없는 매우 우수한 적층성장이 가능한 결과 역시 보고 되고 있다. 이러한 모든 결과들은 GaAs 기판의 메모리 혹은 Logic소자에서의 응용가능성을 제시하는 결과이다.

그림 2는 GaAs 기판상에 성장된 Al<sub>2</sub>O<sub>3</sub> 박막을 이용하여 제작한 FET 소자특성을 보여주는 것으로 전형적인 Tr. 특성을 얻을 수 있는 data로서 기판 및 계면 특성 조절에 기인하

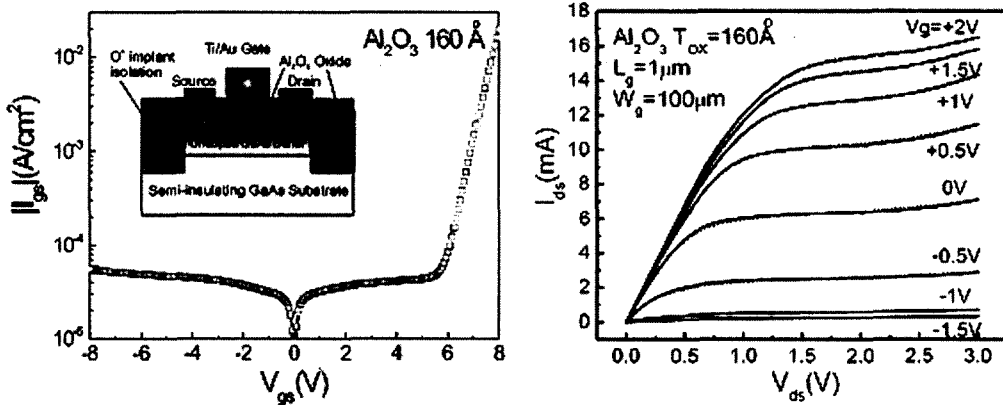


〈그림 1〉 Al<sub>2</sub>O<sub>3</sub>/GaAs (좌) 와 Yttrium doped HfO<sub>2</sub>/GaAs (우) TEM image

여 매우 우수한 mobility 특성과 고유전 박막의 gate dielectric 사용으로 인한 두께 증가의 결과로 우수한 break down 특성을 보여 주는 결과이다. 이는 Si 기판상에 화합물 반도체를 적층성장하여 기존의 Si공정을 활용하여

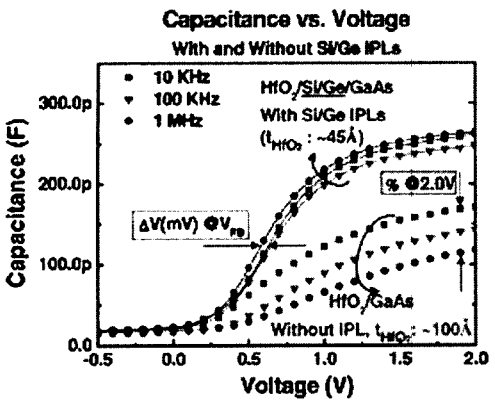
MOSFET 소자를 제작할 경우 우수한 mobility 특성 및 on/off 특성을 얻을 수 있는 가능성을 제시하는 것이다.

이러한 모든 경우에 가장 중요한 요소는 계면층을 조절하기 위하여 GaAs 표면층을 안정



〈그림 2〉 Al<sub>2</sub>O<sub>3</sub> ALD 박막을 사용한 경우의 FET 구조 및 I-V, Ids-Vds 특성 곡선

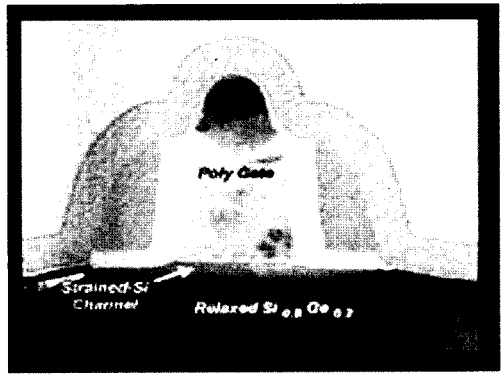
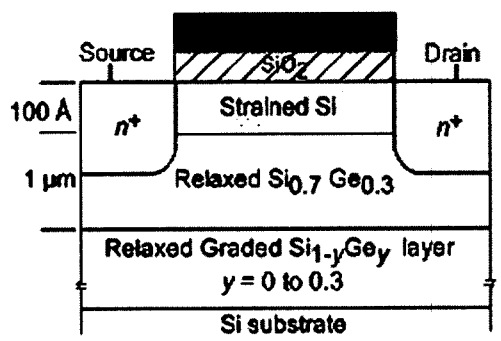
### III. Alloy 기판을 이용한 차세대 반도체 소자 기술



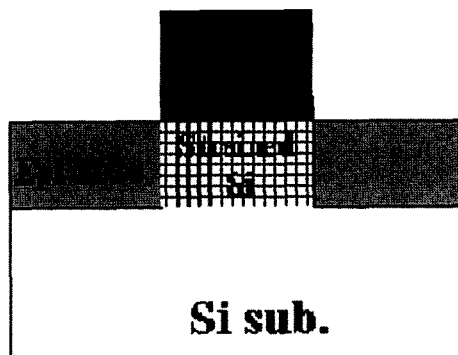
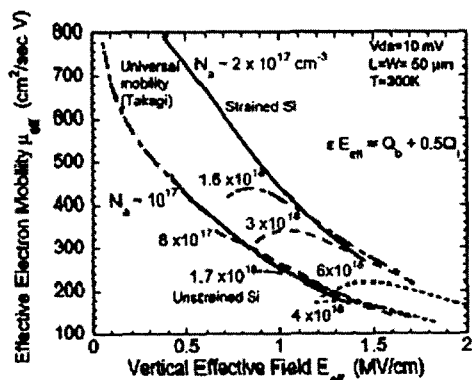
〈그림 3〉 GaAs기판상에 Si/Ge 층을 성장하여 계면 state를 조절했을 때의 C-V 특성

화 시키거나 혹은 반응을 조절하여 interfacial state를 최소화시키기 위한 연구들이 필수적으로 수반되어야 한다. 다음 그림 3는 GaAs 기판상에 Si 과 Ge 층을 성장하여 계면 반응을 조절함으로써 interfacial state를 조절한 결과를 보여주는 것으로 일련의 관련 연구의 정도에 따라서 GaAs 기판의 소자 적용과 관련된 공정이 확립될 수 있을 것이다.

Alloy 기판중에서 가장 그 응용범위가 넓고, 경제 산업적인 가치가 높은 반도체 기판은 SiGe 반도체 이다. 초기 SiGe 시장은 HBT 소자 기술에 기반하여 진행되었으나, 현재 Memory 소자에 그 응용 범위가 확대됨에 따라 그 중요성이 증대되고 있는 상황이다. SiGe HBT/BiCMOS는 고속화와 더불어 저전력 특성과 기존의 안정화된 Si 반도체 공정기술을 기반으로 한 우수한 양산 능력을 지니고 있으므로 가격대비 성능이 뛰어난 반도체 기술이다. SiGe을 이용한 소자의 발전은 2010년대에는 광검출기와 MEMS 센서등으로 확대되어 집적회로와 한 칩에 제작되기 시작할 것으로 예측된다. IBM은 이미 SiGe 플립칩 광수신기를 개발하고 있으며, 인텔의 경우 실리콘 집적기술에 SiGe을 이용한 융합기술에 대한 연구 결과를 발표하였다. 초기에 SiGe을 이용한 신제품들은 대부분 증폭기를 중심으로 이루어진데 반하여 최근에는 SiGe의 사용범위



〈그림 4〉 Relaxed SiGe층의 형성을 통해 제작된 MOSFET 소자 개략도 및 단면 사진



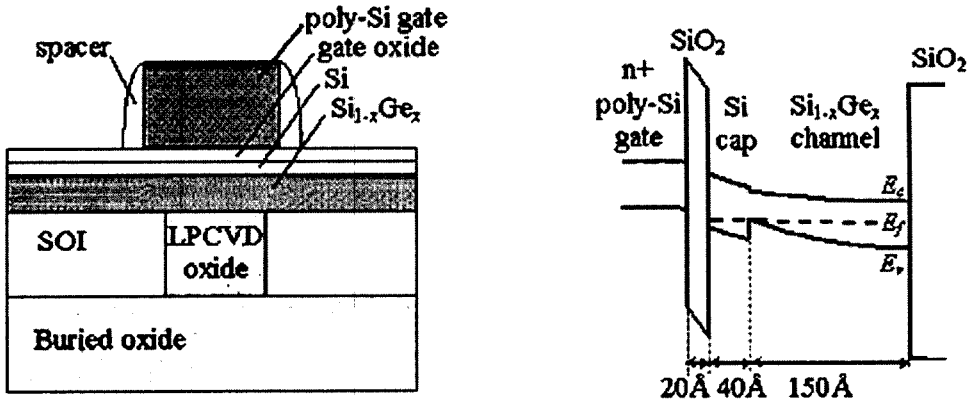
〈그림 5〉 Strained Si와 electron mobility의 관계 (좌), Intel에서 제시하여 보고한 Strained Si 형성 방법 (우)

는 넓게 확충되어 광, MEMS, detector를 이용한 나노기술, 태양전지, 표면 방출 레이저 다이오드, 메모리 소자등으로 그 응용 범위가 확대되고 있는 상황이다.

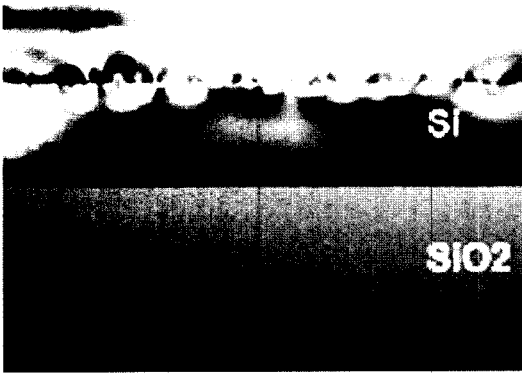
SiGe의 첫 번째 중요기술은 변형된 SiGe의 epitaxial layer를 성장하는 기술이다. 대면적에서의 epitaxial layer를 성장하는 기술은 전자의 이동도를 증가시키는 핵심 기술일 뿐만 아니라, 신호 대 잡음비를 향상시키는 데 가장 중요하다. 따라서, CMOS Logic 소자의 channel 등에 이용되어 소자의 속도 및 저전력을 달성하는데 매우 중요한 요소이다. 또한 무선 랜, 수신기의 저 잡음 증폭기, 전력 증폭기등의 응용에 적용되기 위한 가장 중요한 기술이다. 이러한 초고속 특성은 현재 memory 소자에 그 응용성이 검토되고 있는 상황이며, 매우 빠른 속도의 측정 증폭기, 디지털 오실로스코프와 같은 계측기에 적용된다. Logic 소자나, memory 소자를 제외한 이러한 부분은 시장에서 매우 작은 위치를 차지함에도 IBM의 주 응용분야인 점은 이러한 기술이 차세대 반도체

생산을 위한 핵심 기술임을 보여주는 것이다.

두 번째 중요기술은 이완된 SiGe 층을 형성하고 그 위에 변형된 Si (strained Si) 채널층을 형성하는 기술이다. HBT와 BiCMOS에 관한 IBM이 앞선 기술을 보유하고 있지만 strained Si 기술과 관련되어서 가장 앞선 기술을 보여주는 Intel은 이미, 소스와 드레인 영역에 SiGe epitaxial layer를 성장시킴으로서, channel 영역에 강한 응력을 제공하여 매우 우수한 소자 특성을 얻을 수 있음을 보고 하였다. 또한, 인텔은 프로세서에 사용하기 위한 생산선을 시작하여 Prescott라는 제품을 strained Si을 이용하여 출시하였다. 이러한 상황에 따라 IBM 역시 65nm 급이상에서 strained Si을 SOI 구조에 올린 차세대 기술을 개발하여 제품화 하였다. 이러한 일련의 결과는 기존 Si 기반의 CMOS가 나노 스케일로 진입하면서 더욱 심각해 지는 subthreshold 전류, 1/f 잡음, 신뢰성에 대한 문제점을 단순히 SiGe의 층을 이용함으로써 저렴한 제조 공정 및 탁월한 개선 효과를 얻을 수 있음으로 인해 차세대 기술



〈그림 6〉 SOI 구조를 이용한 SiGe, strained Si 의 소자 구조 및 band 특성



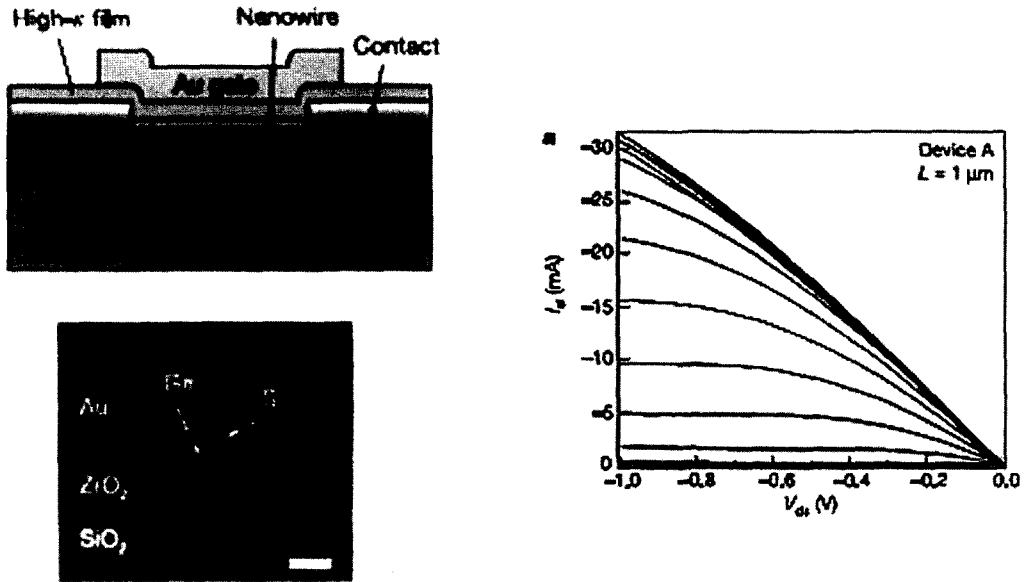
〈그림 7〉 SOI 구조 응용으로써 oxide위에 형성된 Si/SiGe epitaxial layer의 TEM image

로 주목받고 있는 상황이다.

한편, 스텐포드 대학이 주축이되어 참여하는 IMEC의 공동 프로젝트는 차세대 반도체로 Ge의 함량이 고농도 이거나 Ge 층 자체를 SOI 구조에 접목하는 기술 개발을 수행하고 있다. 이들의 최종 목표는 High-k gate 절연막을 적용한 Ge MOS를 개발하여 sub-45nm급에 응용하는 것이다.

미래 소자의 응용가능성을 제시하는 또 하나의 예로서, 나노 wire를 이용한 Ge의 소자의 경우, 매우 독특한 특성을 나타내었다. 그림 8은 Lieber group에서 보고한 결과로 Ge core diameter of ~15nm, Si shell thickness of ~1.5 - 2nm 로 Ge/Si coaxial structure를 구성한 경우, device의 superconducting properties를 얻을 수 있음을 보고 하였다. 이러한 결과에 근거하여 고유전 박막을 gate 유전막으로 적용하여 소자를 구현하였을 경우 on/off ratio 102와 hole mobility 로서 730cm<sup>2</sup>/V · sec 값을 얻을 수 있음을 보고 하였다. 이러한 결과는 기존의 Si 기판의 p-MOSFET보다 10배의 향상된 결과를 보여주는 것이다.

위와 같은 결과들로부터 나노급 SiGe 반도체를 사용할 경우 고집적, 저전력, 고속 동작을 크게 개선시킬 수 있음을 알 수 있다. 그러나, 발생하는 열의 방출이 극히 심각하여 상기의 세가지 중에서 나노 소자를 이용한 극저전력 집적회로를 구현하는데 많은 관심이 집중



〈그림 8〉 Ge/Si coaxial structure를 이용하여 제작한 MOSFET 구조와 Id-Vd 특성 곡선

되고 있다. 표 1 에서 보여 주는 것처럼, 극 저 전력 SiGe 신소자의 대표적 응용분야로 정보통신/바이오/생명, 환경/물류, 나노 분석/가공 등을 들 수 있다. 따라서 SiGe 소자는 포스트 반도체로 terabit memory와 고속의 병렬 연산 성능의 DSP와 CPU에 적용될 수 있으며, 광대역 정보통신 시대를 열어갈 유비쿼터스 네트워크/컴퓨팅 RFID, 차세대 이동통신의 저전력 이동 단말기 등에 이용될 수 있다. 환경분

야에서는 저전력의 환경 감시센서에, 그리고 바이오/생명 분야는 미소세포에서  $\mu V$ 와 nA-pA의 미약한 생체신호를 감지하고 이미지를 추출하는 이식형 초미세 바이오 센서 소자에 이용될 수 있을 것이다.

위에서 열거한 바와 같이 sub-50nm급에서 SiGe과 SOI를 이용한 MOS 소자의 응용 가능성이 높아 지면서, RF 프론트엔드와 디지털 모뎀과 메모리를 집적하여 SoC를 제작할 수

〈표 1〉 극저전력 SiGe 소자의 분야별 주요 응용

분야	주요응용 분야
정보통신	차세대 이동 단말기, 양자 컴퓨터, 유비쿼터스 센서 네트워크/컴퓨팅 ULP-SRAM/DRAM/CPU
바이오/생명	DNA 이미지 센서, 극미세 생체신호 감지/제어, 단분자 소자개발, 생체내 장형 단일칩 진단/치료 소자
환경/물류	환경 감지 센서, RFID

있는 장점과 여타의 기술이 따라올 우수한 특성은 SiGe SOI-MOS의 차세대 반도체로의 중요성을 충분한 중요성을 갖는다고 할 수 있다. 또한 CMOS가 65nm급 이하에서 strained Si이나 strained Si-on-insulator를 채택하는 쪽으로 방향을 잡음에 따라 memory 소자에서 이를 이용한 차세대 응용 기술 및 소자 개발을 적극 검토하는 단계에 도달하였다.

#### IV. 기타 차세대 응용 기술

Chrysler 연구소는 Ge 양자점을 photovoltaic 소자로 이용하여 기존의 실리콘 태양전지의 성능을 크게 향상시킬 수 있음을 보고 하였다. Ge의 band 특성은 태양전지의 셀에서 적외선의 흡수를 증가시키고 더 높은 광전류를 주며 손실을 줄이는 것으로 확인되었다. 또한 SiGe/Si/Cr의 얇은 다층구조의 특별한 epitaxial layer를 이용하여 고주파 소자를 생산하는데 응용이 가능함을 보고 하였다.

SiGe 혹은 Ge등을 이용할 경우 Si과의 유사성으로 인해 집적화하기 쉬우며 식각공정에서의 선택비를 높일 수 있어서 MEMS등의 활용에도 매우 적합하다. 따라서 Si를 기반으로 현재 개발되었거나, 개발중인 대부분의 소자를 SiGe을 이용하여 대체할 수 있다. 다만, Ge 소자를 이용할 경우의 단점은 Si과 Ge의 융점에서의 차이에서 보여주듯이 열적 안정성이 다소 떨어질 수 있다는 문제점이 있다. 따라서, 충분한 thermal budget을 제외할 수 있는 응용기술에 접목되어야 할 것이다.

#### V. 결론

초고속, 저전력에 대한 제품기술의 개발은 차세대 반도체 기술개발에 있어서 가장 중요한 기술이며, 인텔과 IBM등의 반도체 기술개발의 대표 기업들은 SiGe 반도체 기술을 고도화 하고 있으며 이를 이용한 초고속, 저전력 제품개발에 전력투고하고 있는 상황이다. 65nm-45nm 급에서의 SiGe HBT와 strained Si-MOS 신소자 개발이 증가하고 있으며, 이어서 45nm급 이하에서의 적용도 예측되고 있다. 장기적으로는 15nm 이하의 극미세 신소자 분야에 SiGe을 적용한 3D 구조의 미래 기술이 모색되고 있다. 이제까지 기술 개발을 주도한 축소화 기술이 점차 한계에 이르면서, 시스템이 요구하는 다양한 기능을 만족시키는 신규 기술 가치의 돌파구로 제시되고 있는 실리콘 기반의 융합반도체에 있어서도 가장 다양하면서도 유망한 응용성을 SiGe 등의 비 Si 기판기술을 이용하여 구현할 수 있을 것으로 예상된다.

#### 참고문헌

- [1] 국가 기술지도 위원회 NTRM, 2002
- [2] Hong-Liang Lu, Liang Sun, Shi-Jin Ding, Min Xu, David Wei Zhang, Li-Kang Wang, Appl. Phys. Lett. 89, 152910 2006
- [3] Z. K. Yang, W. C. Lee, Y. J. Lee, P. Chang, M. L. Huang, M. Hong, C.-H. Hsu, J. Kwo, Appl. Phys. Lett. 90, 152908 2007
- [4] Fei Gao, S. J. Lee, D. Z. Chi, S. Balakumar and D.-L. Kwong, Appl. Phys. Lett. 90, 252904 2007
- [5] JIE XIANG1, A. VIDAN, M. TINKHAM, R. M. WESTERVELT, CHARLES M. LIEBER nature



nanotechnology 1, 208 2006

- [6] Jie Xiang, Wei Lu1, Yongjie Hu, Yue Wu, Hao Yan, Charles M. Lieber, Nature 441, 489 (2006)
- [7] D.L. Hareme, J.H. Comfort, J.D. Cressler, E.F. Crabbe, J.Y.C. Sun, B.S. Meyerson, and T.T. Tice, IEEE Tans. on Electron Device, Vol.42, 455, 1995.
- [8] F. Aniel, N. Zerounian, M. Zeuner, T. Hackbarth, and U. Konig, IEEE Trans. on Electron Dev. 47, 1477, 2000.
- [9] 김영수, 기술 동향분석보고서, 한국과학기술정보연구원, 2003.
- [10] S. Chou, Silicon Integration for Convergence, Intel Developer Forum 2003.
- [11] K.Washio, IEEE Trans. on Electron Device. 50, 656, 2003.
- [12] K.H. Shim, Y.J. Song, J.Y. Kang, Solid-State Technology, Mar. 51-56, 2004.
- [13] J.A. Hutchby et al., "Extending the Road Beyond CMOS," IEEE Circuits & Devices Magazin, Mar. 28, 2002.
- [14] F. Ichikawa, Y. Nakamoto, Y. Katakura, S. Baba, Solid-State Electronics, Vol. 48, 999, 2004.
- [15] A. Morgenshtein, U. Dinnar, Y. Nemirovsky, Sensors Actuators, B97, 122, 2004.
- [16] P.D.Ye et al., IEEE Electron Device Lett. 24, p209 (2003)
- [17] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, S. N. G. Chu, S. Nakahara, H.-J. L. Gossman, J. P. Mannaerts, M. Hong, K. K. Ng, J. Bude Appl. Phys. Lett. 83, p180 (2003)
- [18] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, H.-J. L. Gossman, M. Hong, K. K. Ng, J. Bude, Appl. Phys. Lett. 84, p434 (2004)
- [19] P. D. Ye, B. Yang, K. K. Ng, J. Bude, G. D. Wilk, S. Halder, J. C. M. Hwang, Appl. Phys. Lett. 86, p063501 (2005)
- [20] P. D. Ye, G. D. Wilk, E. E. Tois, Jian Jim Wang, Appl. Phys. Lett. 87, 013501 (2005)

## 저자소개



조만호

1992년 2월 연세대학교 물리학과(학사) 졸업  
 1994년 2월 연세대학교 물리학과(석사) 졸업  
 1999년 2월 연세대학교 물리학과(박사) 졸업  
 1994년 1월-2001년 2월 삼성전자 반도체 연구소 공정 개발팀 책임 연구원  
 2001년 3월-2002년 2월 연세대학교 연구교수  
 2002년 2월-2003년 1월 Stanford Univ. post. doc.  
 2003년 1월-2007년 2월 한국표준과학연구원 책임연구원  
 2007년 3월-현재 연세대학교 물리학과 부교수  
 주관심 분야 : 반도체 재료/ 나노소재 분석



고대홍

1984년 2월 서울대학교 금속공학과 학사  
 1986년 2월 서울대학교 금속공학과 석사  
 1992년 Stanford University 재료공학 박사  
 1992년 9월-1994년 1월 Argonne National Laboratory 연구원  
 1994년 1월-1996년 2월 삼성전자 반도체 연구소 연구원  
 1996년 3월-19년 연세대학교 세라믹공학과 교수  
 주관심 분야 : 반도체 소자 및 공정

## 저자소개



김형섭

1992년 2월 서울대학교 무기재료공학과(학사) 졸업  
 1994년 2월 서울대학교 무기재료공학과(석사) 졸업  
 2004년 4월 Stanford Univ. 재료공학과(박사) 졸업  
 1994년 2월-1999년 8월 삼성전자 반도체 연구소 공정  
 개발팀 책임 연구원  
 2004년 4월-2005년 2월 Stanford Univ. 전자공학과  
 post-doc.  
 2005년 3월-현재 성균관대학교 신소재공학부 조교수  
 주관심 분야 : 반도체 소자/재료



손현철

1984년 2월 서울대학교 금속공학 (학사) 졸업  
 1986년 2월 서울대학교 금속공학 (석사) 졸업  
 2003년 12월 University of California, Berkeley,  
 재료 공학 (박사) 졸업  
 1993년 12월-1994년 10월 Lawrence Berkeley Lab  
 post. doc.  
 1994년 11월-1996년 12월 Univ. of Cal, Berkeley,  
 post. doc.  
 1997년 1월-2006년 2월 하이닉스 반도체 수석 연구원  
 2006년 3월-현재 연세대학교 세라믹공학과 부교수  
 주관심 분야 : 반도체 재료 / 반도체 메모리