

Nano CMOS 연구개발 동향 및 전망

이일형 · 김경호 · 소대섭(한국과학기술정보연구원), 이기원(충남대학교)

I. 서론

현재 반도체 소자의 주류를 이루고 있는 MOSFET의 채널 길이는 무어의 법칙에 따라 3년마다 절반 수준으로 감소하여 왔다. CMOS 트랜지스터의 게이트 길이 감소 속도를 보여주는 ITRS 로드맵을 살펴보면 이미 1999년도에 게이트 길이는 100nm 이하로 감소하여 나노기술의 시대로 들어갔음을 알 수 있다. 이러한 추세라면 2010년도까지는 기존의 미세화 기술에 바탕을 둔 50nm node가 개발될 것으로 보인다.¹⁾

그러나, 트랜지스터의 채널 길이가 50nm 이하로 감소할 경우

- 게이트 절연막의 터널링에 의한 누설 전류 증가
- 소오스와 드레인, 드레인과 기판으로의 양자 역학적 터널링 전류 증가
- 채널을 이루는 전자 숫자의 불균일에 의한 소자 특성 열화
- 단채널 효과 심화에 따른 subthreshold 특

성 열화

등의 문제로 소자 크기 감소에 따른 성능 향상은 더 이상 기대할 수 없을 것으로 예측된다.

따라서 향후 반도체 소자 크기 감소를 지속하면서 성능을 개선시키기 위해서는 기존과는 다른 CMOS 공정 및 구조, 물질 등에 대한 개발이 필요하다. 이러한 신물질, 신기술을 도입한 CMOS를 나노 CMOS라 하며 차세대 반도체 산업의 경쟁력 유지의 핵심 요소라고 할 수 있다. 본 논문에서는 Nano CMOS 기술의 개요, 연구개발 동향분석 그리고 향후 연구전망에 대하여 살펴본다.

II. Nano CMOS 연구개발 동향

1. 기술 개요

<그림 1>은 Nano CMOS 기술의 예로 종래의 CMOS 트랜지스터에서 성능 향상을 위해 진행되고 있는 주요 연구 내용들로서, 단채널

효과(short channel effect)의 심화에 의한 소자 특성 열화를 막고 전기적 특성 개선을 위해 트랜지스터의 모든 부문별로 다음과 같은 연구가 진행되고 있다.

① 게이트

→ PDE(poly-Si Depletion Effect) 억제를 위한 Metal Gate 도입 연구

② 게이트 절연막

→ Gate Cap. 개선 및 누설 전류 억제를 위해 high-k dielectric 도입

③ 소오스와 드레인

→ 단채널효과 억제를 위한 접합 깊이 감소

④ 채널

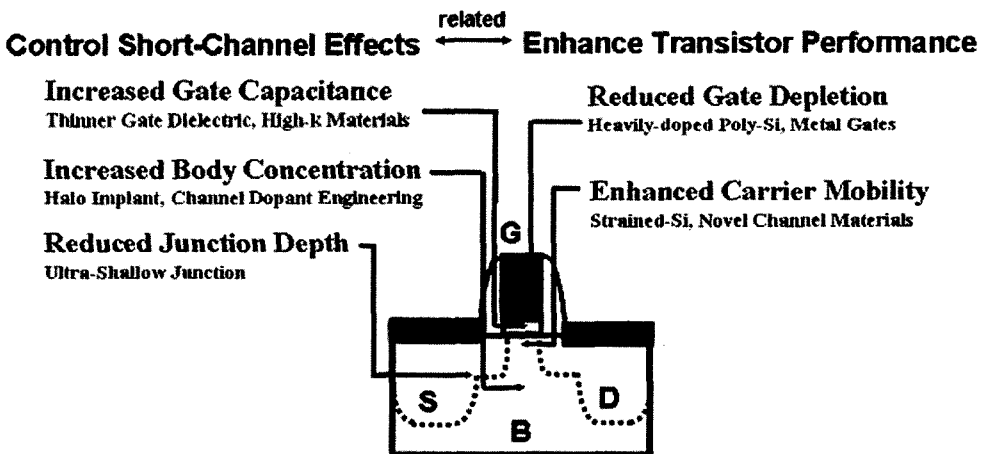
→ 단채널효과 억제를 위한 Halo Implant/ Channel Dopant Engineering과 캐리어 이동도 개선을 위한 변형 실리콘공학(Stained Silicon Engineering) 및 새로운 기판 물질 연구

이상의 연구 분야를 다시 개선 목적으로 분류하여 최근 추가된 세부 기술들을 더 포함시켜 <표 1>과 같이 요약하였다.

먼저 단채널효과 억제 등의 정전기적 특성은 새로운 구조의 트랜지스터 도입을 통해 개선하고자 하는 연구가 활발하게 진행되고 있다. 이러한 소자의 예로 double gate, FinFET, ultra-thin body(UTB) SOI 그리고 metal gate 트랜지스터들을 들 수 있다.

채널에서의 캐리어 전달 특성인 이동도 개선의 경우 변형효과와 양자구속과 같은 에너지밴드 공학과 기존의 Si를 대체하여 Ge과 III-V 반도체를 사용하려는 연구로 진행되고 있다.

누설 전류의 경우 특히 게이트 누설 전류는 high-k gate dielectric 도입을 통해 해결하고자 하고 있다. 소오스에서 드레인으로의 누설 전류와 드레인에서 기판으로의 누설 전류의 경우 정확한 메커니즘의 규명과 단채널효과 억제를 통한 개선 연구가 이루어지고 있다.



<그림 1> CMOS 트랜지스터 특성 개선을 위한 부문별 주요 연구 내용

〈표 1〉 전통적인 CMOS 대체 가능 기술 및 물질

Item		Nano CMOS Technology
Electrostatics (Short Channel Effect etc.)		New Device Structure
		1) Double Gate
		2) FinFET
		3) UTB SOI
		4) Metal
Transport		Band Splitting of Si
		1) Stained device
		2) Quantum confinement with UTB SOI
		New Materials with high mobility
		1) Ge 2) III-V
Leakage Current	Gate leakage	High-k dielectrics
	S/D leakage	Ultra Shallow Junction DIBL Control
	Drain to substrate	Band to Band Tunneling
S/D parasitic resistance		Metal Source/Drain Silicide
Interconnect		Cu-damascene low-k ILD Post-Cu Interconnect

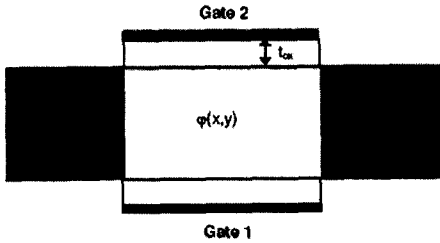
Nano CMOS 영역에서는 단채널효과를 억제하기 위해 소오스와 드레인 접합 깊이를 더욱 얇게 형성하게 되는데 이 경우 소오스와 드레인 저항 증가가 심각해진다. 이를 위해 실리콘사이드와 메탈 소오스/드레인에 대한 연구도 활발하게 이루어지고 있다.

다음으로 상호접속(Interconnect)은 전원을 공급하거나 신호를 전달하기 위해 CMOS 트랜지스터 간 연결을 구현하는 기술로 배선 및 층간 절연물에 대한 연구를 포함한다. 현재 배선 물질로는 주로 알루미늄을 사용하고 있으나 배선의 크기 감소에 따른 저항 증가 및 전자이주(electromigration) 등의 문제로 Cu의 도입이 적극 추진되었으며 일부 로직 제품에는 벌써 사용되고 있다. 층간 절연물질로 저유전율을 가지는 절연막 (low-k dielectric)이 부각되고 있는데 이를 사용함으로써 배선간의 기

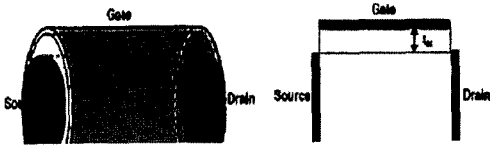
생 캐패시턴스(parasitic capacitance) 등의 문제를 크게 완화시킬 수 있게 된다. 특히 트랜지스터의 크기가 감소하면서 칩 성능이 주로 상호접속 지연에 의해 결정될 것으로 예측되면서 현재는 회로의 동작 속도를 증가시키기 위해서 Cu 접속을 넘어서는 Post-Cu 접속에 대한 연구가 논의되고 있다.

2. 새로운 소자의 구조

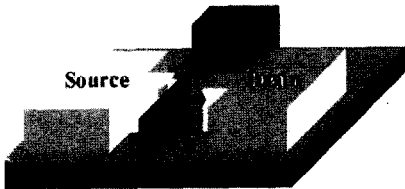
소자가 20nm 미만으로 축소되면 MOS로 구현 할 수 있는 극한의 상태가 되어 성능 향상을 위해서는 스케일링이 아닌 구조를 변화시키는 등의 새로운 방법의 모색이 필요하다. 실제로 몇몇 연구 기관에서는 Double Gate CMOS, GAA(Gate All Around), FinFET 등의 3차원 채널을 도입함으로써 트랜지스터의 구



(a) Double Gate MOSFET



(b) Gate All Around (GAA)



(c) SOI FinFET

<그림 2> 새로운 구조(3-dimensional)의 트랜지스터
(a) Double Gate MOSFET, (b) Gate All Around (c) SOI FinFET

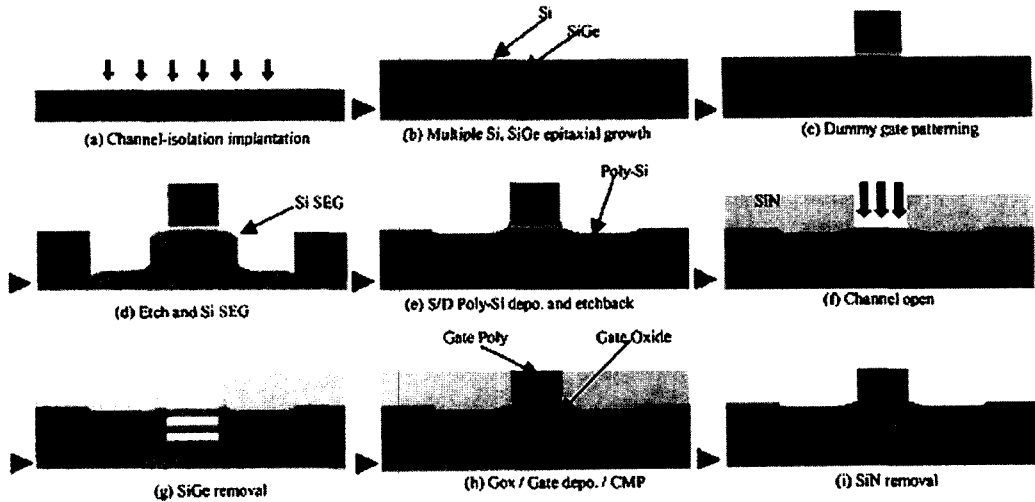
동 전류를 2배 이상으로 증가시킬 수 있음을 발표하였다. 발표된 3차원 소자 구조는 <그림 2>와 같다.^{[2][3]}

3가지 구조의 공통적인 특징은 종래의 CMOSFET의 단채널효과가 채널 도핑에 의존하는데 비해서 이상의 3차원 소자의 경우 채널이 게이트 사이에 얇게 형성된 구조로 채

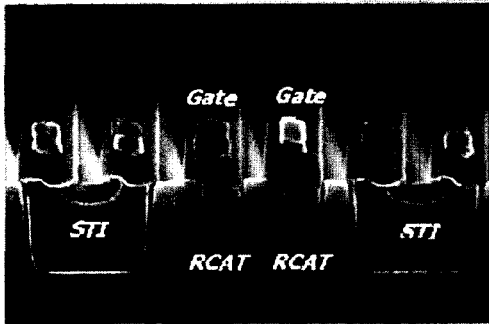
널에 대한 게이트 가제어성이 개선됨으로써 단채널효과가 크게 개선된다.^[4] 단채널효과가 억제될 경우 subthreshold 특성이 개선되며 동일한 면적의 종래의 CMOS 대비하여 채널의 폭이 증가함으로써 구동 전류도 크게 개선시킬 수 있게 된다. 특히 단채널효과가 개선되면서 채널 도핑 농도를 감소시킬 수 있게 되는데 이로써 캐리어 이동도가 개선되어 구동 전류의 개선 효과는 더욱 증대된다.

Double Gate CMOS의 연장선상에서 제안된 소자 구조로 Multiple Gate FET가 있다.^{[5]-[7]} Double Gate와 비교하여 추가의 채널 표면을 전류 흐름 경로로 사용하고 있다는 점에서 차이가 난다. 이 외에 다중 게이트 MOSFET의 일종으로서 다수의 얇은 실리콘 채널을 게이트로 감싼 적층형 구조를 갖는 multibrighe-channel (MBC) MOSFET가 2003년 삼성전자에 의해서 발표되었다.^[8] 게이트가 얇은 채널 본체를 감싸는 구조가 여러 층 적층된 구조적 특징으로 인하여 평면형 MOSFET에 비해 4.6배의 구동전류가 가능하며 subthreshold slop이 61mV/dec로 이상적인 값에 가까운 특성을 보였다. MBC MOSFET의 제조 공정 및 소자 단면은 <그림 3>과 같다.

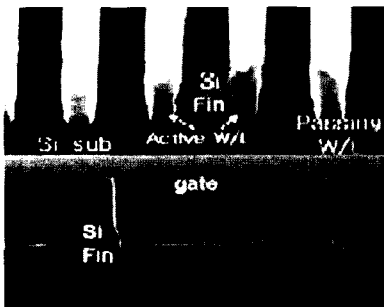
이러한 소자 외에 최근 DRAM의 셀 트랜지스터로 개발되어 양산에까지 이르고 있는 3차원 소자의 일종으로 <그림 4>의 recess channel array transistor (RCAT)가 있다. RCAT은 실리콘을 식각하여 트랜지스터의 채널 영역을 형성함으로써 동일한 면적을 갖는 기존의 종래의 셀 트랜지스터와 비교해볼 때 게이트를 길게 만들 수 있게 된다. 따라서 단채널효과를 크게 억제할 수 있는데 이로 인해 50nm node까지는 큰 문제없이 사용될 것으로 예측된다.



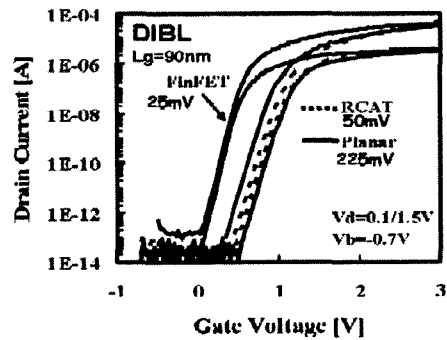
〈그림 3〉 MBC MOSFET 제조 공정



〈그림 4〉 DRAM의 cell transistor로 개발되어 사용되고 있는 recess channel array transistor (RCAT)의 단면



(a)



(b)

〈그림 5〉 Body-Tied FinFET을 Cell Transistor로 사용한 90nm 256M DRAM
(a) Cell Block 단면 (b) Cell transistor의 전기적 특성 비교

이 후 제품군에 대해서는 현재 벌크 실리콘에 형성되는 Body-Tied FinFET의 적용이 연구되고 있다.

<표 2>는 새로운 소자 구조에 관해 최근 발표된 결과들을 정리한 내용으로 이를 살펴보면 planar CMOS의 다음 구조로 앞에서 언급된 3차원 구조 중 역시 FinFET이 가장 유력시

되어진다. FinFET에 대해 조금 더 살펴보면, 먼저 구조의 경우 <그림 5>와 같이 간단하다. FinFET에서는 실리콘 핀이 채널을 형성하며 게이트가 핀 주변을 감싸는 형태로 구성된다. 이 구조에서 전류는 기판과 평행하게 수평으로 소스와 드레인 사이에서 핀의 두 수직 표면을 따라 흐르며 단채널 효과의 적절한 제어를

<표 2> 새로운 소자 구조 기술 현황

연구 수행기관	Tech. Node	내용	출처
삼성	sub 20nm	Nanoscale Si-based 3-dimensional MOSFETs (기술 전반에 대한 소개)	ICICDT 2006
SEMATECH	sub 20nm	FINFET Device Junction Formation	IWJT 2006
서울대	90nm	full CMOS SRAM cell using body-tied TG MOSFETs (bulk FinFETs)	IEEE ED 2006
삼성		Fully integrated SONOS flash memory cell array with BT (body tied)-FinFET structure	IEEE NANOTECHNOLOGY 2006
삼성	< 50nm	Nanoscale FinFETs with gate-source/drain underlap	IEEE ED 2005
삼성	< 30nm	A study of negative-bias temperature instability of SOI and body-tied FinFETs	IEEE EDL 2005
삼성	< 30nm	Single-metal gate multi-bridge-channel MOSFET (MBCFET) for CMOS application	ICICDT 2005
Infinion	20nm	20 nm tri-gate SONOS memory cells	IEDM 2004
IBM		Fabrication of metal gated FinFETs through complete gate silicidation with Ni	ED 2004
IBM		FinFET SRAM for high-performance low-power applications	ESSDERC 2004
삼성	< 30nm	Sub 30 nm multi-bridge-channel MOSFET (MBCFET) with metal gate electrode	IEDM, 2004
Intel	< 30nm	Tri-Gate fully-depleted CMOS transistors: fabrication, design and layout	VLSI Tech. 2003
삼성		A novel multibrige-channel MOSFET (MBCFET): fabrication technologies and characteristics	IEEE NANOTECHNOLOGY 2003
Berkeley., Univ.	10nm	10nm Double Gate FinFET	IEDM 2002
TSMC	10nm	35nm CMOS FinFET w/Tox=2.4nm Drive Current N/PMOS= 1240/500 uA/um Hot Carrier Effect 최소화	VLSI Tech. 2002
Berkeley., University	20nm	sub-20nm Double Gate FinFET S/D 저항 및 Drive Current 개선	IEDM 2001
Hitachi	20nm	sub-20nm Double Gate FinFET	IEEE ED 2000

위해 핀의 폭은 채널 길이 이하로 좁게 유지한다. 따라서 FinFET은 채널의 도핑 농도를 낮은 수준으로 유지할 수 있으며 핀의 높이를 높임으로써 동작전류를 향상시킴과 동시에 채널 저항을 낮출 수 있고 저전압의 낮은 전력으로도 높은 성능을 발휘하는 장점을 갖는다.

현재 FinFET는 IBM에서 이상적인 거동 특성을 갖는 40nm급 NMOSFET를 성공적으로 시연한 상태이며 Intel은 FinFET의 개념을 확장, 핀과 게이트 간에 세 개의 접점을 갖는 Tri-gate형 FET를 선보인 바 있다. 한편 AMD는 2002년에 0.43ps의 게이트 지연을 갖는 10nm급 FinFET 시연에 성공하였고 Infineon은 20nm급 FinFET을 적용한 플래시 메모리를 생산하기도 하였다.¹¹⁰⁾

FinFET 등의 3차원 소자의 경우 기존 CMOS의 비례 축소가 가능하므로 현재의 반도체 공정 기술로 미래의 나노 소자를 구현할 수 있는 좋은 대안이 될 것으로 기대되며 현재까지 우리 나라가 세계 우위의 우수한 기술력을 확보한 분야로 평가된다. 따라서 향후

- 공정상의 양산성
- 웨이퍼 레벨 신뢰성
- SPICE 모델 추출
- 회로 레벨 집적 등

제조상의 문제점들을 계속 해결 해 나간다면 세계 최고의 기술력을 유지할 수 있을 것으로 판단된다.

III. 향후 전망

CMOS 트랜지스터는 반도체 분야의 핵심 소자로 IT 시대 발전의 원동력이 되어 왔으며

이러한 추세는 Nano CMOS에서도 지속될 것으로 전망된다.

Nano CMOS 트랜지스터의 경우 기존의 구조를 유지하면서 소자 특성 향상을 위해 Strain silicon 기술이 연구되고 있으며 Toshiba, IBM, TSMC 등의 대부분의 반도체 업계에서 연구 개발하여 실제 양산에 적용하는 단계에 이르렀다. 국내에서는 Strained SOI wafer 기술 개발이 보도된 바 있다.

종래의 실리콘 기판을 사용할 경우 구조를 바꿈으로써 성능을 향상시키고자 하는 노력이 이루어지고 있다. 새로운 구조로 소개된 트랜지스터는 3차원 소자들로 D-Gate, M-Gate, AAG, FinFET 등이 있으며 차세대 소자 구조로 FinFET이 가장 유력하다. DRAM의 경우 현재 RCAT 구조가 양산에 적용되어 생산되고 있으나 60nm 이하 기술의 경우 역시 FinFET 도입이 예측된다. 최근에는 strained-Si 기술과 융합한 3차원 소자에 대한 연구도 활발하게 이루어지고 있다. 이러한 3차원 소자의 경우 기존 CMOS의 비례 축소가 가능하므로 현재의 반도체 공정 기술로 미래의 나노 소자를 구현할 수 있는 좋은 대안이 될 것으로 기대되며 현재까지 우리 나라가 가장 우수한 기술력을 확보한 분야로 평가된다. 따라서 향후 공정상의 양산성, 웨이퍼 레벨 신뢰성, SPICE 모델 추출, 회로 레벨 집적 등 제조 및 모델링의 문제점들을 계속 해결 해 나간다면 세계 1위의 기술력을 유지할 수 있을 것으로 판단된다.

기존 실리콘 기판 중심의 CMOS의 한계를 극복할 수 있는 대안으로 SOI 및 UTB SOI MOSFET은 선진국에서 이미 그 중요성이 검증되었으며 성능의 개선에 연구력을 집중시

키고 있다. 이같은 움직임은 장래의 전자산업이 저전력 소모, 저전압 집적회로에 의지하여 발전할 것을 감안한 전략으로 국내에서도 시급히 연구에 박차를 가해 기회를 선점할 수 있어야 한다. 특히 소자의 기본특허를 갖고 있지 못해 막대한 로열티를 지급하고 있는 현재의 국내 반도체 산업의 현실을 감안할 때, 새로이 부각되는 소자에 대한 시의적절한 연구와 지적재산권의 확보는 반드시 필요하다. 현재 UTB MOSFET에 대한 연구는 U.C. Berkeley가 주도적인 역할을 하고 있으며 국내에서는 전자통신연구원(ETRI)에서 연구 성과가 보고된 바 있다.

CMOS 트랜지스터의 채널 길이가 작아지면서 게이트 절연막의 비례축소로 인한 게이트 누설 전류의 증가는 매우 심각하다. 게이트 절연막의 두께가 20nm 이하로 감소할 경우 트랜지스터 누설 전류의 대부분을 차지하게 된다. 이에 따라 현재의 SiO₂를 대신할 물질로 High-k dielectric의 개발과 게이트 전극으로 poly depletion effect를 제거하기 위한 금속과 Si_{1-x}Gex 연구가 이루어지고 있으며, 2008년부터는 high-k/Metal Gate가 양산에 적용될 것으로 예측된다. Metal gate의 경우 적절한 문턱 전압을 가진 트랜지스터를 제작하기 위해 일함수가 PMOS의 경우 가전자대 근처에, NMOS는 전도대 근처에 물질을 선택하는 것이 바람직하기 때문에 이중의 게이트 금속이 도입될 가능성도 있다.

Source/Drain에서는 접합 깊이를 낮추려는 연구와 고기능성의 실리사이드가 필요한데 구조적으로는 Miller 캐패시턴스와 J/L사이에 절충된 SEG의 적용이, 실리사이드로는 Ni-silicide 또는 thermally-robust NiSi가 기존의

CoSi₂를 대체하리라 예상된다.

기술의 위축에 의한 반도체 소자의 속도 지연이 상호접속에 의해 좌우될 것으로 예측되면서 low-k dielectric 및 damacene 공정을 사용한 구리 배선이 연구되어 현재 일부 제품에서는 양산화되고 있으며, 현재 3D IC, free space RF, optical interconnect 등의 Cu 상호접속 이후에 대한 연구가 이루어지고 있는 상황이다. 아직 양산에 적용되기까지 해결해야 할 기술적인 난제가 매우 많은 분야로 평가되나 이에 대한 지속적인 연구가 필요하다는 사실에 대해서는 반론의 여지가 없다.

이러한 Nano CMOS 소자 기술의 발달로 트랜지스터의 비례축소에 의한 소자 특성 향상 추세는 향후 계속될 것으로 예측되며 따라서 Nano CMOS 시장은 기존의 CMOS 시장을 점차 대체하면서 동일한 경향을 가질 것으로 판단된다. 세계 반도체 시장에 대한 각종 기관들의 시장 기대치는 중국의 급부상 및 디지털 가전 및 휴대용 멀티미디어 기기 시장을 비롯해 자동차, 통신 등 새로운 신규 수요 증대로 전반적으로 낙관적인 숫자를 유지하고 있어 향후 2008년까지 4년간 연평균 10%대의 성장률을 기록하며 당분간 이어질 전망이다. 이러한 시장 규모 확대는 CMOS 반도체 성능 및 집적도 증가에 기반을 두고 있는데 특히 DRAM의 경우 2008년 경에는 50nm 기술이 가시화될 전망이다. 최근 활발하게 진행되고 있는 분자/원자 제어 기술의 발전에 근간을 둔 나노소자의 생산 적용 시점은 아직 예측하기 이르며 Nano CMOS 시장은 기존의 CMOS 시장을 점차 대체하면서 동일한 경향을 나타낼 것으로 보인다.

참고 문헌

- [1] Semiconductor Industry Association (SIA), International Technical Roadmap for Semiconductors 2005 ed., Austin, TX: SEMATECH, 2005 [Online]. Available: <http://public.itrs.net>
- [2] Benjamín Ifiguez, et al., "Compact-Modeling Solutions For Nanoscale Double-Gate and Gate-All-Around MOSFETs", IEEE Trans. Electron Devices, VOL. 53, NO. 9, p.2128, 2006. 9
- [3] Pham, D., Larson, L., Ji-Woon Yang, "FINFET Device Junction Formation Challenges", p.73 - 77, IWJT 2006
- [4] W.P. Maszara, "Integration challenges for double-gate MOSFET technologies", Materials 76 Research Society Symposium Proceedings, Vol. 686, 2002
- [5] B. Yu et al., IEDM Digest, pp. 251-254, 2002
- [6] W. Xiong et al., IEEE Electron Device Lett., 25(8), pp. 541-543, 2004
- [7] N. Collaert et al., IEEE Electron Device Lett., 25(8), pp. 568-570, 2004
- [8] S.-Y. Lee et al. IEEE Trans. Nanotechnology. Vol.2, p.253, 2003
- [9] Donggun Park, Dong-Won Kim, and Byung-il Ryu, "Nanoscale Si-based 3-dimensional MOSFETs", pp. 1-4, ICICDT 2006
- [10] S. Dhingra, "FinFET : A Sub-65nm 3D Transistor Technology in Advanced VLSI Design", Auburn Univ. Lecture ELEC7770

저자소개



이 일 형

1980년 2월 한양대학교 전기공학과(학사)
 1983년 2월 한양대학교 전기공학과(석사)
 1995년 2월 한양대학교 전기공학과(박사)
 1998년 9월-1999년 8월 중국 청화대학 전기전자 교환
 과학자
 1987년 1월-현재 한국과학기술정보연구원 책임연구원
 주관심 분야 : 나노소자, NIT융합기술, 태양전지



김 경 호

1979년 2월 서울대학교 화학공학과(학사)
 1981년 2월 한국과학기술원 화학공학과(석사)
 1997년 2월 서울시립대 환경공학과(박사수료)
 1981년 3월-1984년 2월 한국화학연구원 연구원
 1984년 3월-현재 한국과학기술정보연구원 책임연구원
 주관심 분야 : 나노소재, 촉매반응, 환경·에너지

저자소개



소 대 섭

1986년 2월 한양대학교 화학공학과(학사)
 1989년 2월 한양대학교 공업화학과(석사)
 1989년 6월-현재 한국과학기술정보연구원 책임연구원
 현재 한양대학교 나노공학과(박사수료)

주관심 분야 : 나노소재, 탄소나노튜브, 의료용 유기재료



이 가 원

1994년 2월 한국과학기술원 전기및전자공학(반도체 전공)학사
 1996년 2월 한국과학기술원 전기및전자공학(반도체 전공)석사
 1999년 8월 한국과학기술원 전기및전자공학(반도체 전공)박사
 1999년 8월-2005년 3월 하이닉스 반도체(주) 메모리 연구소 책임연구원
 2005년 4월-현재 충남대학교 전자전자정보통신공학과 조교수

주관심 분야 : Trap Analysis in MOSFET's, Silicon-based Memory Devices, Thin Film Transistors for Display Application