

차세대 메모리 개발 현황 및 전망

이장은 · 백인규 · 오세충 · 여인석 · 김성태 · 한우성(주삼성전자 반도체연구소)

1. 서론

최근 IT 산업의 급속한 발전으로 메모리 반도체의 수요는 크게 증가 했으나 공급업체도 함께 늘어나 업계는 극단적인 memory density, 제조 원가 감소 경쟁에 돌입한 상황이다. 향후 D/R이 30nm 이하로 감소하는 시점에서는 이러한 상황은 더욱 악화되어 기존 제품에서 기술 혁신을 이루어 경쟁사를 앞서거나 30nm 이하 scalability를 가진 새로운 개념의 메모리를 개발하여 신규 사업을 선점하는 업체만이 살아 남을 수 있을 것이다.

반도체 메모리 시장은 낸드 플래시로 대변되는 데이터 저장형 고용량 메모리, 노아 플래시, PRAM이 주류를 이루는 코드 저장용 메모리, DRAM 독주의 메인 메모리로 크게 세 가지로 대별할 수 있다. 모든 종류의 기존 메모리 제품은 근본적인 메커니즘은 다르지만 10년 내 도달 할 수 있는 동일한 한계 상황을 지니고 있으며 그것이 바로 메모리 소자 30nm 이하에서 scaling의 한계이다. 최근 이러한 한

계를 극복할 수 있는 신개념의 차세대 메모리들이 활발히 연구되고 있으며 전하 저장 방식에서 오는 한계 상황을 극복하기 위해 소자의 저항 변화를 이용하는 다양한 형태의 새로운 메모리들이 보고되고 있다. 그러나, 기존 제품군간에 응용분야, 요구특성, 요구용량 등이 명확히 달라 이를 대체할 신규 메모리의 개발 목표도 이러한 요구사항을 기반으로 제품군 별로 정확히 설정되어야 한다.

데이터 저장형 메모리 분야에서 메모리 극단적인 집적도 향상 경쟁은 영상기술, 정보처리기술, 디지털기기, 정보 공유 수단 등의 발전에 따른 정보 저장 용량의 급격한 증대에 기인한 것이어서 향후 훨씬 더 강력한 메모리 집적도 증가에 대한 요구가 예상되며 10년 후에는 Tera급 집적도가 요구될 것으로 전망된다. 향후 플래시 메모리가 도달 가능한 메모리 용량에 대한 예측은 매우 유동적이지만 미세화 한계를 극복할 수 있는 신형 플래시 기술인 CTF(Charge Trap Flash), 멀티 비트 구현, 칩 적층 기술 등의 개발을 통해 수백Gb 정도 집

적도 달성이 가능할 것으로 예상된다. 그러나, 플래시 메모리의 미세화에는 한계가 있고 미세화 속도도 늦어질 것으로 예측되므로 테라비트 제품 구현이 가능한 신개념의 메모리 개발이 필수적이다.

이러한 포스트 플래시 메모리가 갖추어야 할 첫 번째 항목은 플래시의 30nm 이하 scaling 한계를 넘어 10nm 사이즈에서도 소자 동작이 가능하며 메모리 소자 적응을 통해 테라비트급 저장용량을 구현할 수 있어야 한다. 두 번째 조건은 읽기/쓰기 속도, 신뢰성 등의 셀 동작 특성이 플래시 메모리와 동일하거나 우수해야 하므로 메모리 소자의 스위칭 전류가 작거나 스위칭 속도가 빨라야 한다. 마지막으로 포스트 플래시 메모리가 갖추어야 가장 중요한 조건은 가격 경쟁력이다. 당연한 이야기지만 플래시 메모리보다 간단한 공정, 단위 셀 사이즈 감소, 높은 셀 어레이 효율을 구현하여 생산 원가 및 Net Die를 향상시킬 수 있어야 포스트 플래시 메모리로 상용화가 가능해 질 것이다.

코드 저장용 메모리와 메인 메모리 분야는 30nm 이하 scaling 가능하고 DRAM의 속도와 소비 전력, 노아 플래시의 비휘발성 특성을 가진 차세대 메모리를 개발하여 하나의 메모리로 대체 가능할 수 있다. 이러한 메모리는 향후 주류로 부상할 모바일 디지털 기기에 적합한 고집적, 고기능, 비휘발성, 저전력 특성을 모두 갖추고 있어 기존 메모리 대체 효과 이외에도 새로운 응용 분야를 개척할 수 있을 것으로 기대된다.

DRAM의 scaling 한계를 극복하기 위해 유전용량을 증가시킬 수 있는 새로운 구조와 물질들에 대한 연구들이 다양하게 진행되고

있어 미세화의 한계를 예측하기 어렵지만 향후 30nm 이하에서 제조 공정 한계와 원가 상승이 예측되므로 scaling 한계 극복, 기능 향상, 원가 절감 등을 달성할 수 있는 신개념의 메모리 개발이 요구된다. 따라서, 포스트 DRAM 메모리는 30nm 이하에서 낸드 플래시 수준의 저장용량이 필요하지는 않지만 기존 DRAM과 동등 수준의 집적도가 요구되며, 고속 동작, 낮은 스위칭 전류, 고신뢰성 등의 특성이 달성되어야 한다. 물론 기존 메모리를 대체하고자 하는 차세대 메모리가 공통으로 갖추어야 조건인 가격 경쟁력은 기본적으로 확보되어야 한다.

최근 이러한 분야별 차세대 메모리 요구 특성에 부합하는 새로운 메모리를 개발하기 위한 연구가 활발히 진행되고 있으며, PRAM, Polymer RAM, MRAM, CB-RAM, RRAM 등이 대표적인 예이다. 그러나, PRAM의 경우 switching current가 크고 열안정성이 작아 적용하기 어려운 관계로 낸드 대체가 어렵고, 동작 속도와 endurance 특성이 DRAM 대비 부족하여 주로 코드 저장용 메모리를 대체할 수 있을 것으로 예상된다. Polymer RAM의 경우 scalability가 취약하여 앞서 언급한 세가지 메모리를 대체하기 어렵고 Polymer RAM 고유의 특성을 살린 저가형의 새로운 응용분야를 차지할 것으로 예상된다. RRAM의 경우 oxide에 전압을 인가해 oxide 내부 어떤 변화를 유발하여 저항이 변화는 현상을 이용하는 관계로 대부분의 소자의 endurance 특성이 취약하여 DRAM 대체는 어려움이 있으나 PRAM과 같이 코드 저장용 메모리로 응용될 수 있을 것이다. 물론, 저항소자는 30nm 이하 scaling 용이성, 적층 안정성, 공정 단순화, 멀티 비트 등의

특성을 부분적으로 가지고 있는 가지고 있는 재료들이 최근 다양하게 발표되고 있어 앞서 언급한 데이터 저장형 차세대 메모리로 가장 유력한 후보가 또한 RRAM이기도 하다. STT(spin transfer torque) MRAM은 상기 언급한 고집적, 고속, 비휘발성, 저전력 특성을 모두 갖추고 30nm 이하 scaling 한계를 극복할 수 있어 코드 저장용 메모리와 메인 메모리 모두 대체할 수 있는 유일한 후보이다.

본 논문에서는 향후 30nm이하 노드에서 미세화, 다치화, 메모리 소자 적층화가 용이하여 데이터 저장형 메모리인 낸드 플래시를 대체할 수 있는 oxide 저항소자를 이용한 RRAM과 집적도, 동작 속도, 소비전력, 신뢰성 측면에서 DRAM과 동일하면서 비휘발성 특성을 가지고 있어 코드 저장형과 메인 메모리를 동시에 대체 가능한 STT MRAM의 개발 현황 및 전망을 소개 하고자 한다.

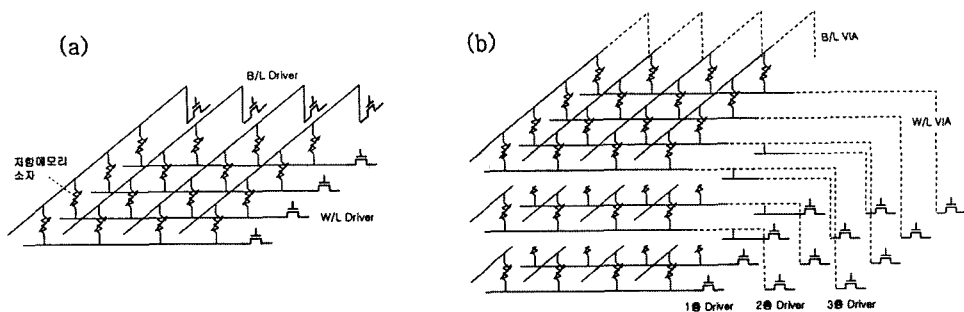
1. 저항소자 메모리(RRAM) 개발 현황

가. 개요

외부에서 가해지는 전기적인 신호에 의해

저항값이 변화되며 신호가 사라지면 그 저항값이 그대로 유지되는 저항메모리 특성은 1960년대 후반부터 많은 금속산화물과 칼코지나이드 물질에서 발견되었으며, 1970년대 까지 이러한 특성을 메모리소자에 적용하기 위한 다양한 연구가 진행되었다^[Ref R1]. 그러나 DRAM과 같은 Si 기반의 소자에 비해 동작속도나 신뢰성이 떨어지며, Hard Disk와 같은 대용량 저장매체에 비해 집적도가 떨어지는 저항메모리 소자의 문제로 인해 2000년 초까지 산업체의 실용화를 위한 노력은 전무한 상태였다. 하지만 digital 기술의 눈부신 발전에 힘입어 대용량의 메모리소자에 대한 요구가 커지고 있고 한정된 크기의 캐패시터에 저장되어있는 전하의 양을 제어해야 하는 기존 Si 기반 메모리의 기술적 한계가 가시화됨에 따라 미세한 크기에서도 정보의 저장 및 판독이 가능한 저항메모리 소자가 다시 주목 받기 시작하였다.

차세대 메모리 후보로 저항메모리 소자를 주목하는 이유에 대해 좀 더 자세히 언급하자면 첫째로 저항메모리 소자의 단순함을 들 수 있을 것이다. 기존의 전하를 저장하는 메모리는 기본적으로 1개의 Tr과 1개의 storage node



<그림 R1> (a) Cross-point 구조 메모리 array와 (b) 이를 3차원으로 적층한 모습

(capacitor or floating gate)를 갖게 되어 3-terminal 구조를 가지는 반면 저항메모리 소자는 상하부 전극과 두 전극 사이에 storage node가 들어가게 되는 2-terminal 구조를 갖는다. 따라서 1개의 메모리 cell이 차지하는 면적이 상대적으로 작고 Cell Tr 없이 메모리 cell이 존재할 수 있는 이점이 있다. 이러한 장점을 극대화 할 수 있는 구조가 그림 R1과 같은 Cross-point 구조이며 궁극적으로 이런 구조를 3차원으로 적층하여 메모리 용량을 배가시키는 기술을 적용할 수 있게 된다.

둘째로 증착 및 미세가공이 비교적 쉽다는 점이다. 저항메모리에 사용되는 물질 중 일부 perovskite 산화물을 제외한 이성분계 금속산화물의 경우 낮은 온도에서 쉽게 증착되며 CVD, ALD 공정을 적용하기에도 유리하다. 또한 일반적인 반도체 식각공정을 적용하여 용이하게 패터닝할 수 있으며 열적으로 안정하여 후속 공정에 쉽게 열화되지 않는 장점을 가지고 있다. 따라서 현재 사용되고 있는 CMOS 공정을 적용하여 50nm 이하 사진식각 공정이 적용될 수 있는 한계까지 단위 소자의 크기를 줄이는 데 큰 어려움이 없을 것으로 판단된다.

셋째로는 다양한 메모리 특성을 들 수 있다. 여러 가지 저항메모리 후보 물질에 대하여 소개할 때 다시 언급되었지만 저항메모리 소자는 기본적으로 비휘발성이며, 물질에 따라서는 10nsec 이하의 고속 동작이나 nA 수준의 저전력 동작이 가능하며 하나의 cell에 2개 이상의 bit을 저장할 수 있는 Multi-level Cell (MLC) 특성을 가질 수도 있다. 물론 모든 우수한 특성을 동시에 갖는 최적의 저항메모리 물질은 아직 개발되지 못한 상태이나 이러한

다양한 특성으로부터 향후 저항메모리가 응용될 수 있는 분야가 매우 넓다는 사실을 미리 예측할 수 있다.

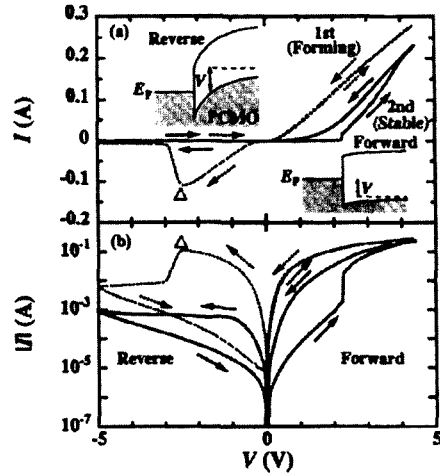
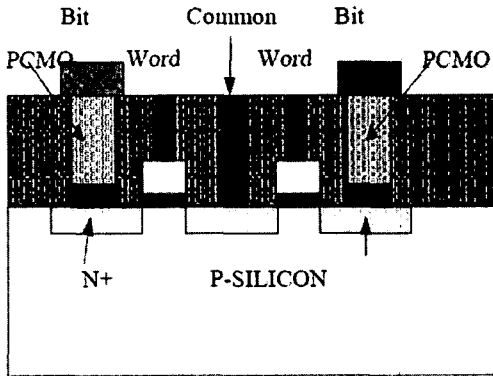
그러나 저항메모리 소자가 차세대메모리로 사용되기 위하여 극복해야 할 문제점도 여전히 많은 상황이다. 예컨대 금속산화물의 불균일성을 들 수 있다. 불순물 정도를 잘 조절할 수 있는 Si과 같은 물질의 경우 microscopic한 영역에서 균일하게 도핑하거나 산화물 또는 질화물을 형성할 수 있으나 금속산화물의 경우 defect이나 grain boundary의 효과가 상대적으로 크기 때문에 메모리의 특성에 산포를 주는 인자로 작용할 수 있다. 또한 이온이나 원자의 움직임이 수반되는 경우 메모리 소자의 동작에 따른 구성 물질의 확산으로 인해 신뢰성이 취약해지는 문제가 있을 수 있다.

나. 저항메모리 종류와 특징

지금까지 제안된 여러 가지 저항메모리 소자들에 대한 동작원리 및 특징을 산업체의 연구성과를 중심으로 간단히 소개하고자 한다. 아직도 동작원리에 대한 논의가 활발히 진행되고 있어 논란의 여지는 있겠으나 여기에서는 동작원리를 크게 Schottky Barrier, Filament, Ion migration으로 나누어 각각의 특성을 정리해 보았다.

(1) Schottky Barrier 저항메모리

2000년 Univ. of Houston의 Ignatiev group에서 처음 제안된 저항메모리로 Sharp사에 의해 메모리 소자화하기 위한 연구가 진행되었다^[Ref R2]. 대표적인 물질로는 반도체 특성을 가진



〈그림 R2〉 Sharp의 Schottky Barrier 저항메모리 구조와 스위칭 I-V curve

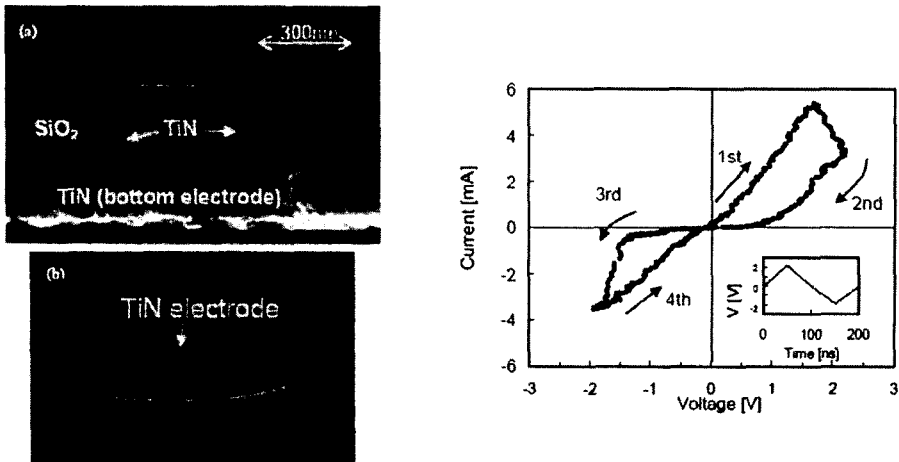
Perovskite 산화물인 PrCaMnO_3 를 들 수 있는데 Ti과 같은 금속전극 사이의 경계면에서 Schottky contact을 형성하게 된다. 이 때 계면에 존재하는 trap에 space charge가 얼마나 trap 되느냐 여부에 따라 Schottky barrier의 높이나 폭이 결정되며 이에 따라 저항값도 바뀌게 된다. trap되는 전하량 즉 소자의 저항값은 가해지는 프로그램 펄스의 극성, 전압 크기 및 시간에 따라 연속적으로 조절이 가능하므로 이런 특성을 이용하여 여러 level의 저항값을 프로그램 하는 MLC 동작이 가능해 진다. 또한 프로그래밍에 필요한 전류가 cell 면적에 비례하기 때문에 수십nm 정도 크기의 cell에서는 nA 수준의 작은 전류로도 충분히 동작시킬 수 있다. 그러나 낮은 저항값으로 프로그래밍하는데 걸리는 시간이 수십 usec 이상으로 비교적 느리고, perovskite 물질을 증착하는 방법이 쉽지 않은 단점이 있다.

(2) Filament 저항메모리

삼성전자(2004년)와 Spansion(2005년), Sharp(2006년)에서는 증착하기 쉽고 기존 반도체 공정에 바로 적용할 수 있는 전이금속 산화물을 이용하여 저항메모리를 발표하였다 [Ref R3]. 대표적인 물질로는 NiO , Cu_2O , TiO_2 등을 들 수 있는데 이들 물질들은 산소 결함 (vacancy)이 비교적 쉽게 생성되어 불순물 (defect)이 많은 반도체 특성을 가진다. 여기에 적당한 전기적인 stress를 가하면 불순물들이 상하부 전극을 연결하면서 저항값이 급격히 떨어지게 된다. 이렇게 상하로 연결된 defect들의 띠를 filament라고 부르는데 filament가 형성된 후 더 큰 전류를 흘릴 때 joule heating 효과로 끊어지면서 다시 저항값이 커지게 된다. cell의 면적 중 일부분에서만 filament가 형성되기 때문에 cell 면적에 대한 의존성이 거의 없으며 heating에 의해 스위칭되므로 프로그램 펄스의 극성과는 상관없이 그 절대적인



〈그림 R3〉 삼성전자의 filament 저항메모리 구조와 스위칭 I-V curve

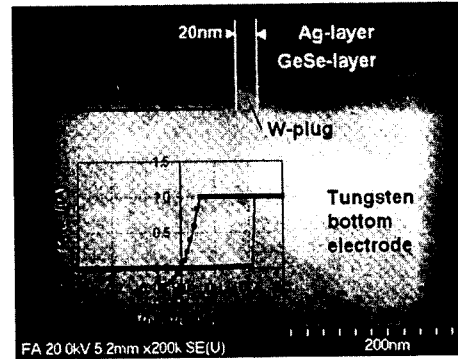
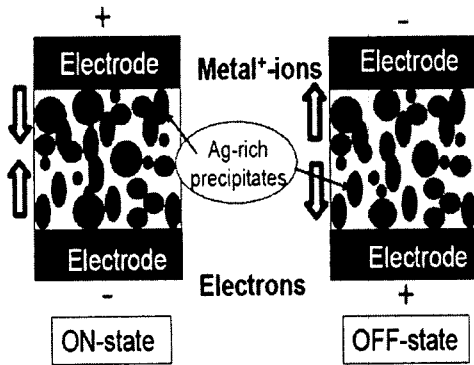


〈그림 R4〉 Sharp의 filament 저항메모리 구조와 스위칭 I-V curve

크기와 폭에만 의존하게 된다. 따라서 diode와 결합시켜 단위 소자를 만들 수 있으며 메모리 소자간의 간섭 없는 cross-point 구조로 array를 구현할 수 있는 장점이 있다. 그러나 동작 전류가 수백 μA 로 큰 편이며 heating 효과가 수반된 동작특성으로 인해 신뢰성이 비교적 떨어지는 단점이 있다.

Cu_2O 와 TiO_2 의 경우에는 전극이나 프로그래밍 방법에 따라 펄스의 극성에 의존하여 저

항값이 달라지는 스위칭 현상도 보이는데, 이 경우에는 filament가 단락되는 mechanism으로 전극 방향에 따라 산소이온이 움직여 산소 결합이 생성 또는 소멸되는 것으로 설명하기도 한다. 이 경우에는 스위칭 속도가 50nsec 미만으로 빠르고 동작전류도 감소하여 100 μA 미만에서 동작하는 특징을 보인다.



〈그림 R5〉 Infeon의 Ion migration 저항메모리 원리, 구조와 스위칭 I-V curve

(3) Ion migration 저항메모리

Ion migration 원리의 저항메모리는 Arizona State Univ.에서 원천특허를 가지고 있으며 2003년부터 Infineon Technologies에서 연구하기 시작한 메모리 소자로 Programmable Metallization Cell(PMC) 또는 Conductive Bridge RAM(CBRAM)이라고 불리고 있다^[Ref R4]. 두 전극 사이에 고체 전해질을 채우고 그 속에 Ag, Cu와 같이 쉽게 움직이는 금속이온을 스며들게 한 후, 전기장을 가해 금속이온을 움직여 도선을 형성하거나 끊어서 저항값을 변화시키는 메모리이다. 따라서 저항값이 외부에서 걸어주는 전기장의 극성에 따라 크게 변하게 된다. 장점으로는 1 μ A 수준의 작은 동작전류와 0.5V 미만의 낮은 동작전압을 들 수 있다. 따라서 고밀도로 만들었을 때 전력소비에 따른 열발생 문제로부터 비교적 자유로울 수 있다. 하지만 원자가 직접 움직이기 때문에 열적 안정성이나 retention 문제에 취약하며 이를 극복하기 위해 보다 안정된 고체 전해질을 찾는 연구가 진행되고 있다.

다. 전망

지금까지의 간단한 소개로는 저항메모리가 가지고 있는 차세대메모리로서의 잠재력을 충분히 보여주는데 한계가 있으리라 생각되지만 그 다양한 가능성은 어느 정도 확인할 수 있었으리라 믿는다. 하지만 실제로 저항메모리가 제품으로 상용화되기 위해서는 아직도 검증되어야 할 부분이 검증된 것들보다 더 많은 것이 사실이며 조금씩 그 가능성을 현실화시키고 있는 단계에 와있다. 따라서 지금 당장 저항메모리의 전망을 평가하는 것은 쉽지 않지만 5년이나 10년 후 30nm급 이하의 소자들이 출현하는 시점에서 굳건히 자리매김을 하고 있기를 기대해 본다.

II. 자기소자 메모리(MRAM) 개발 현황

가. 개요

최근 전자제품은 MP3, Digital TV, PDA,

Tablet PC 등 다양한 제품으로 확대 발전되고 있는 추세이며, 이들 장치들은 정보량의 증가와 함께 다기능화에 대한 시장의 요구에 따라 고집적/고기능특성을 가진 메모리를 필요로 하고 있다. 특히 모바일 제품은 비휘발성 특성과 함께 낮은 소비전력, 그리고 빠른 read/write 특성을 가진 메모리를 필요로 하고 이에 따라 PRAM(Phase change RAM), FRAM(Ferro-electric RAM), RRAM(Resistive RAM), 그리고 MRAM(Magnetic RAM) 등과 같은 다양한 차세대 메모리들이 연구 개발되고 있다.

특히 MRAM은 DRAM의 고집적성과 SRAM의 빠른 speed를 겸비할 수 있는 비휘발성 메모리 특성과 함께 낮은 소비전력 그리고 무한대의 기록/재생특성으로 인해 연구개발이 시작되었다. 현재는 2006년 프리스케일의 4Mbit MRAM 양산을 필두로 해서 도시바, NEC, 르네사스, 소니, Qimonda 등 중대형 메모리 및 LSI 업체들이 MRAM의 제품화 계획을 목표로 연구개발이 진행 중이며 2009년 무렵부터는 프리스케일 이외의 다른 메이커들

에서도 양산화가 이루어질 것으로 전망된다. 그러나 기존의 MRAM은 두 개의 서로 수직으로 배열된 도선에 동시에 전류를 인가하여 기록하는 방식을 채용하고 있기 때문에 고집적화를 위해서는 “scalability issue”와 “writing selectivity issue” 등 기술적/원리적으로 해결이 어려운 난제들을 극복해야 하는 문제점을 가지고 있다. 특히 “writing selectivity issue”는 프리스케일에 의해 제안된 toggle MRAM을 이용함으로써 해결될 수 있지만 “scalability issue”는 여전히 존재하여 90nm 세대까지는 유효하겠지만 그 이후에는 MTJ 미세화에 따른 기록 전류의 증가로 사용이 어려울 것으로 보는 견해가 많다. 따라서 기존 MRAM의 경우 고집적화는 어려울 것으로 판단되지만 다른 차세대 메모리 대비 고내열성, 고속동작, 그리고 무한수정이 가능한 우수한 성능으로 인해 가전 및 자동차용 NOR형 플래시는 대체가 가능할 것으로 보는 견해가 많다.

최근에 앞서 제시한 기존 MRAM에서의 기술적 난제들을 손쉽게 해결할 수 있는 스핀토크를 이용한 새로운 기록방식이 제안되었고

〈표 M1〉 Projected performance of MRAM and SMT-MRAM [1]

분야	Standard MRAM (90nm)*	DRAM (90nm)*	SRAM (90nm)*	SMT-MRAM (90nm)*	FLASH (90nm)*	FLASH (32nm)*	SMT-MRAM (32nm)*
Cell size (μm ²)	0.25	0.25	1-1.3	0.12	0.1	0.02	0.01
Read time	256 Mb/cm	256 Mb/cm	64 Mb/cm	512 Mb/cm	512 Mb/cm	2.5 Gb/cm	5 Gb/cm
Program time	10ns	10ns	1.1ns	10ns	10-50ns	10-50ns	1ns
Program energy per bit	5-20ns	10ns	1.1ns	10ns	0.1-100ms	0.1-100ms	1ns
Endurance	120pJ	5pJ	5pJ	0.4pJ	30-120nJ	10nJ	0.02pJ
Nonvolatility		Needs refresh					
	>10 ¹⁵	>10 ¹⁵	>10 ¹⁵	>10 ¹⁵	>10 ¹⁵ read, >10 ⁶ write,	>10 ¹⁵ read, >10 ⁶ write,	>10 ¹⁵
	yes	no	no	yes	yes	yes	yes

* MRAM performance values projected by the authors.
 * Values from the International Technology Roadmap for Semiconductors(ITRS).

현재 2010년 제품화를 목표로 활발한 연구개발이 진행 중이다. 이러한 기록방식의 개발로 MRAM은 32-65nm로의 미세화와 함께 DRAM과 같은 간단한 셀 구조 구현이 가능해짐에 따라 6-10F2로 축소가 가능해지게 되었다. 다음은 최근 IBM Journal R&D (2006)에 게재된 기존메모리와 스핀토크메모리(SMT-MRAM)의 비교표를 나타낸 것이다.

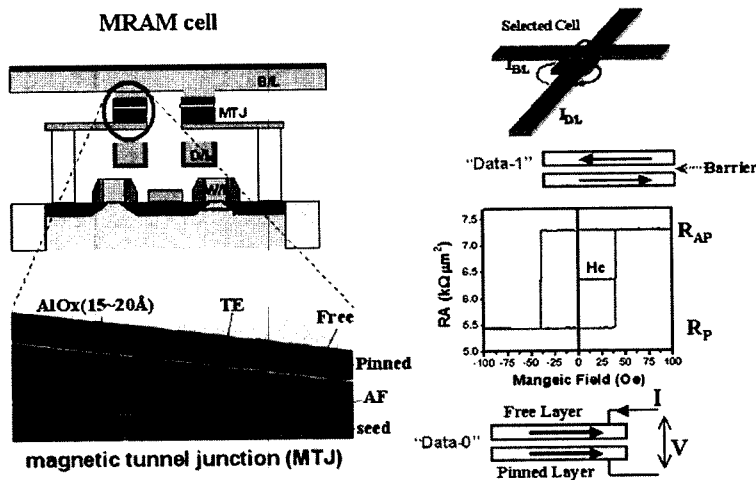
본 논문에서는 기존 MRAM에 대한 간단한 review와 함께 개발 이슈사항, 그리고 최근에 제안된 스핀토크를 이용한 STT-MRAM(Spin-Transfer Torque MRAM)의 현재 개발현황 및 이슈사항을 정리하였다.

나. 기존 MRAM의 특징 및 개발현황

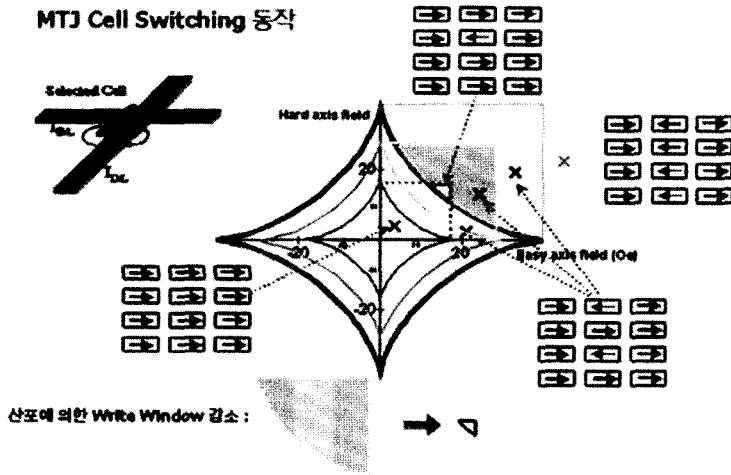
MRAM은 1개의 Tr과 1개의 MTJ(Magnetic Tunnel Junction)로 이루어진 1T1MTJ구조를 가지고 있는 소자로, MTJ는 tunnel oxide를 포함한 다층자성박막으로 구성되어 있다. MTJ

의 자유층(free layer)은 D/L과 B/L current에 의해 발생한 자장(field)에 따라 자화방향이 자유롭게 바뀌며 고정층(pinned layer)과의 상대적 자화방향차이에 따라 그림 M1에 보여지듯이 저항차이를 보이게 된다. 앞서 언급된 것처럼 기존 MRAM의 경우 임의의 MTJ에 선택적으로 정보를 쓰기 위해서는 B/L뿐만 아니라 D/L을 필요로 하고 이러한 D/L의 존재로 MRAM cell 면적은 20-30F2이하로 축소가 힘든 문제점이 있다.

더불어 고집적을 위해 MTJ cell 크기가 감소해야 하는데 이 경우 기록을 위해 요구되는 전류(혹은 자장) 또한 증가하는 "scalability issue"가 존재한다. 이와 같은 scalability issue와 더불어 기존 MRAM개발에 있어서 집적도 향상을 위해 해결해야 할 또 다른 난제 중 하나는 writing disturbance 배제하는 것이다. 이러한 문제점은 MTJ 패터닝 공정상에 발생하는 cell shape과 크기의 불균일성, 그리고 자성층간 혹은 cell-to-cell간 자기적 상호작용 등에 의해 발



〈그림 M1〉 MRAM cell 모식도, MTJ TEM image 그리고 RH 곡선

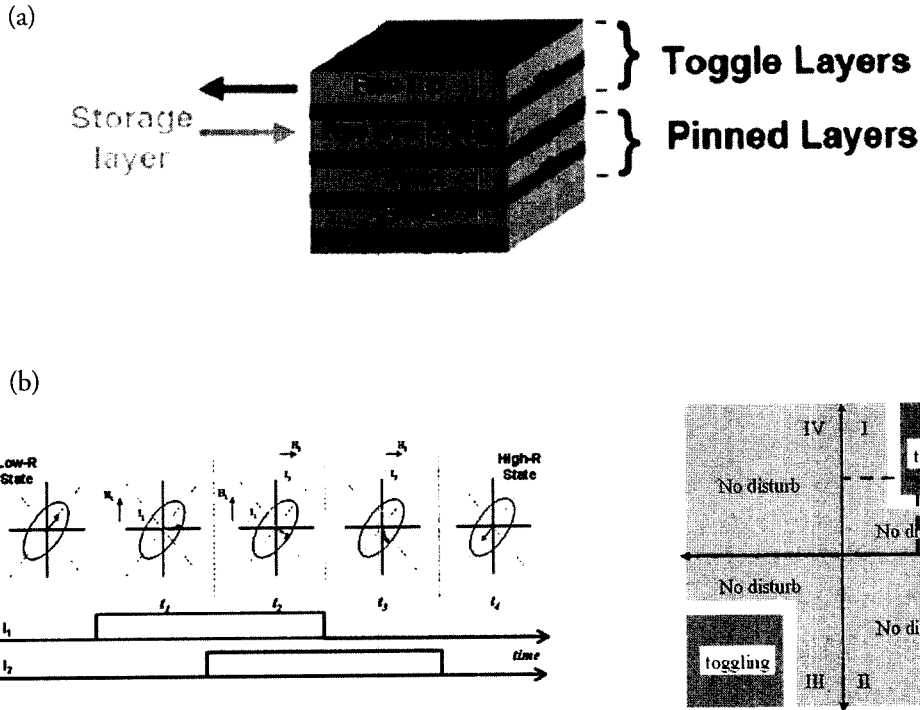


〈그림 M2〉 MTJ cell의 스위칭 특성을 나타내는 asteroid 곡선 및 산포에 따른 writing window의 변화.

생한다. 이것은 다시 MTJ 셀간 스위칭하는 데 필요한 자장의 산포를 만든다. 앞서 언급했듯이 기존 MRAM의 기록방식은 두 개의 수직한 도선에 흐르는 전류에 의해 발생한 자장을 이용하는 것으로, 두 도선에 동시에 전류가 흐르는 경우(full selection)에만 셀의 정보가 기록되고, 하나의 도선에만 전류가 흐르는 경우(half selection)에는 셀에 정보가 기록되지 않는다. 그러나 셀들간 스위칭 자장의 산포를 가지는 경우에는 half selected cell들에서도 정보가 기록되는 문제점이 발생하게 되고, 이에 따라 그림 M2에 보여지듯이 원하는 특정 셀을 선택적으로 기록할 수 있는 writing window가 급격히 감소되는 문제점을 가지고 있다.

이러한 writing disturbance 문제는 Freescale이 제안한 새로운 기록 기술인 toggle 기록방식에 의해 해결될 수 있다. Freescale은 이러한 신기술을 이용하여 2006년 7월에 업계 최초로 180nm design rule에서 4Mb 제품을 시장에 성공적으로 진입시켰다. toggle MRAM과 기

존 MRAM과의 차이점은 MTJ의 자유층이 Ru에 의해 교환결합된 synthetic anti-ferromagnetic free layer 구조(SAF FL구조)로 이루어져 있다는 점(그림 M3 (a)과 그림 M3(b)에 보여지듯이 두 개의 도선에 전류를 흘려보내는 타이밍을 겹치지 않도록 해서 SAF FL의 자화반전이 순차적으로 이루어지게 함으로써 half-selected cell의 경우에 기록이 되지 않도록 했다)는 점이다. 이러한 writing 기록방식의 개선에도 불구하고 앞서 언급했듯이 toggle 기록방식은 90nm 세대까지는 유효하지만 그 이후에는 사용할 수 없다는 견해가 현재 지배적이다. 이는 기존 MRAM에서처럼 자장에 의해 정보를 기록하기 때문에 미세화에 따라 기록전류가 증대되는 문제점과 함께 D/L의 존재로 인한 셀 면적 감소의 문제가 여전히 존재하기 때문이다. 따라서 MRAM을 32-60nm로 미세화하기 위해서는 스핀토크를 이용한 새로운 기록기술이 필요하다.

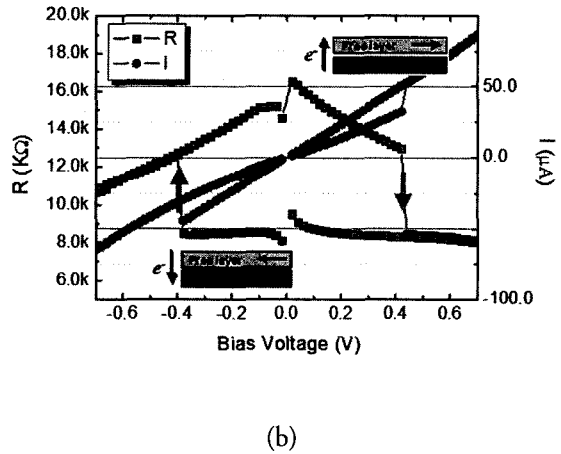
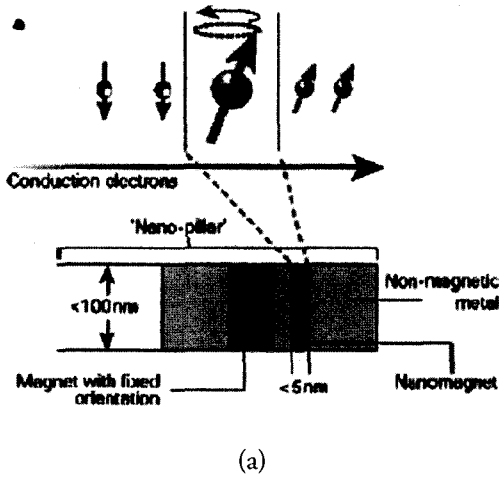


〈그림 M3〉 (a) Toggle MTJ 구조 (b) toggle 기록방식에 대한 모식도 및 writing window (Freescale 출처)

다. STT-MRAM의 개발현황 및 미래전망

자기저항(MR, Magneto-Resistance)은 자성체로 이루어진 다층박막에서 상대적 자화방향에 따라 전류의 크기가 달라지는 현상으로 MRAM에서 기록된 정보의 재생은 이러한 현상에 기반을 두고 있다. Spin-transfer torque(STT)라고 불리는 새로운 물리 현상은 바로 MR 현상의 반작용에 그 원리를 두고 있다. 즉 자화방향이 전류에 영향을 준다면, 뉴턴의 제 3 법칙에 의해 전류 역시 자화방향에 영향을 준다는 것을 의미한다. 그림 M4는 스핀토크 스위칭에 대한 개략도를 나타내고

있다. 스핀토크 스위칭이 일어나기 위해서는 일정한 값 이상의 전류밀도가 요구되는데($J \geq J_c$ (임계전류밀도)), 이 값은 MTJ 크기에는 관계가 없고 다만 자유층의 포화자화값(M_s)과 두께, tunnel barrier 그리고 MTJ 적층 구조 등에 의존한다. 그림 M4(a)에서 보여지듯이 장축 크기가 100nm인 nano-pillar MTJ구조에서 전자가 두꺼운 자성층(고정층)에서 얇은 자성층(자유층)방향으로 움직이는 경우에 전자는 고정층내에서 고정층의 자화방향으로 분극화가 일어나게 되고, 이에 따라 down방향으로 분극화된 전자들이 자유층내로 이동하게 된다. 이때 임계 개수의 전자들이 자유층을



〈그림 M4〉 (a) 스핀토크 스위칭의 개략도(IBM 출처)과 (b) 전형적인 STT에서의 R-V곡선

통과하게 되면 자유층의 자화방향은 입사된 전자들의 spin 방향으로 자화반전 된다. 즉 자유층과 고정층의 자화방향은 평행한 상태를 선호하게 된다. 반대로 전자가 자유층에서 고정층으로 이동하는 경우에는 반평행상태를 선호하게 되어 전류의 방향에 따라 자유층의 자화방향을 반전시킬 수 있게 된다. 그림 M4(b)는 이러한 현상을 이용하여 얻어진 전형적인 R-V곡선을 나타낸 것이다.


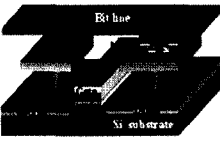
STT-MRAM는 자장이 아닌 MTJ를 직접 통과하는 전류에 의해 정보가 기록되기 때문에 하기 표 M2에 보여지듯이 마치 DRAM처럼 D/L(혹은 W/L으로 표시)없는 간단한 cell 구조를 가지고 있다. 이에 따라 현재 16-40F2인 기존 MRAM 셀면적을 6-8F2까지 축소가 가능할 것으로 판단된다. STT-MRAM의 또 다른 큰 이점은 앞서 언급한 것처럼 J_c 가 MTJ 크기에 관계없이 일정하기 때문에 셀의 단면적에 비례해서 기록전류가 줄어든다는 것이고 이

에 따라 32-65nm 셀 크기로 미세화가 가능해졌다는 것이다. 또한 빠른 read/write speed와 함께 MTJ가 B/L과 T_r 에 의해서만 선택되기 때문에 우수한 write selectivity를 가지는 것도 STT-MRAM이 가지는 또 다른 이점 중 하나다.

이러한 이점으로 인해 MRAM 개발에 관여한 산업체중 도시바나 소니, 히타치, 르네사스, IBM, Freescale 등이 STT-MRAM 개발에 리소스를 집중하고 있는 추세이다.

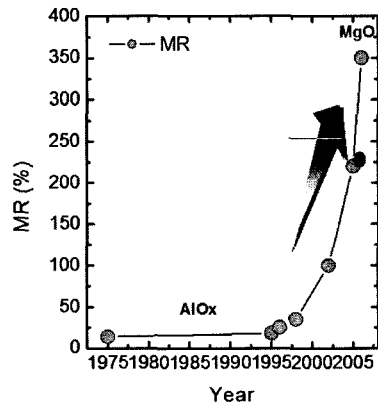
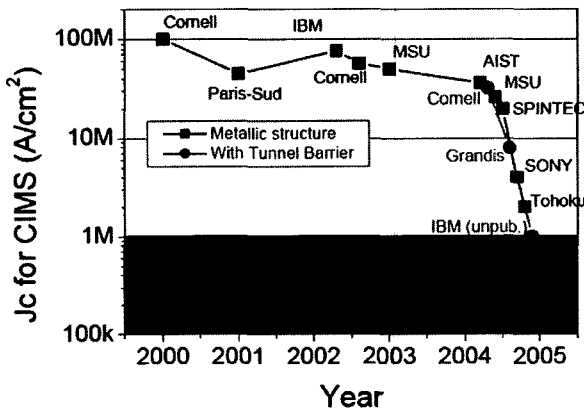
1996년 IBM의 J. C. Slonczewski^[M2] 및 Carnegie-Melon 대학의 L. Berger^[3]에 의해 독립적으로 STT가 발표된 이후 많은 연구가 진행되어 왔으나 지금까지 이 기술이 실용화되지 못했던 이유는 10% 이내의 낮은 MR값과 107 A/cm²이상의 높은 임계전류밀도에 기인한다. 이 경우 130-200nm design rule에서 기록전류는 1mA 정도로 크고, 비록 MTJ 크기가 65nm 이하로 감소하더라도 100 μA 이하 수준으로 감소가 어렵기 때문에 이 같은 design

〈표 M2〉 기존 MRAM과 STT-MRAM의 비교

	Current induced MRAM	STT-MRAM
Structure		
Switching Method	Current induced magnetic field	Spin Transfer Torque
MTJ/Cell Size	0.2 μm X 0.4 μm -40 (F ²)	< 0.05 μm X 0.1 μm 6-8 (F ²)
Density	16Mb	4Gb
Read time	25 ns	1-10 ns
Program time	5-20 ns	1-10 ns
Endurance	> 10 ¹⁵	> 10 ¹⁵
Program current	5 mA (at 100 nm width)	< 100 uA
Scalability	bad	good
Write Selectivity	Bad (disturbance)	good

rule로 트랜지스터의 크기 감소는 불가능하게 된다. 최근에 STT-MRAM이 각광을 받는 이유는 기존 amorphous AlO_x보다 낮은 RA(저항×면적)와 높은 MR값을 가지는 결정질

MgO barrier 개발로 J_c값이 실용화가 가능한 2-4 × 10⁶ A/cm² 대로 낮아졌기 때문이다(그림 M5). 이러한 J_c의 감소로 트랜지스터의 scale-down이 가능해짐에 따라 65nm 이후로



〈그림 M5〉 연도별 자화반전을 위한 전류밀도변화(고대 이경진교수) 및 MR변화

미세화할 수 있게 되었다.

그러나 향후 Gb급 STT-MRAM을 실용화하기 위해서는 아직도 몇 가지 해결해야 할 이슈들이 있다. 첫째는 Tr의 scale-down과 MgO tunnel oxide의 신뢰성을 고려했을 때 Jc값은 적어도 1×10^6 A/cm² 이하대로 낮춰야 하고, 둘째 1015이상의 endurance를 보장하기 위해 현재보다 개선된 낮은 RA값을 가지면서 높은 breakdown voltage를 가진 MgO barrier를 개발하는 것, 셋째 MTJ 셀이 32-65nm 혹은 그 이후로 축소됨에 따라 기록된 정보의 10년간 유지를 위해 높은 열적 안정성을 가진 MTJ 물질 및 적층구조를 개발하는 것, 마지막으로 충분한 reading margin을 확보하기 위해 패턴닝 공정상에서 MTJ 셀간 크기 변화를 최소화할 수 있는 패턴닝 공정을 확보하는 것이다. 위에 언급한 문제점들이 해결된다면 DRAM에 필적하는 저장밀도를 가지면서, SRAM과 같은 빠른 speed와 Flash같은 비휘발성 특성을 가진 STT-MRAM의 제품화가 곧 실현화될 것으로 판단된다.

III. 결론

차세대 메모리 개발의 궁극적인 목표는 30nm 이하 D/R에서 반도체 사업을 연장할 수 있고 새로운 응용 분야를 창출할 수 있는 신개념 메모리를 발굴하는 것이다. 차세대 메모리 개발 시 가장 중요한 전제 조건은 30nm 이하 scalability 가능성을 확인하고 개발하는 소자를 응용하고자 하는 메모리 분야를 명확히 한 후 그에 상응하는 동작 특성 갖출 수 있을 것인지를 판단하는 것이다. 또한, 차세대

메모리가 기본적으로 기가 비트 이상의 집적도로 상용화가 시작될 것이므로 그에 맞는 셀 어레이 산포 특성 및 재현성을 갖추어야 한다. 그러나, 대부분의 신규 메모리 소자 후보들은 스위칭 전류가 커서 동작 속도나 scaling 측면에서 한계가 있고, 어레이 셀의 시 읽기/쓰기 동작 평가 시 산포가 크고 재현성이 취약한 경우가 대부분이다. 또한, scalability나 모든 동작 특성 평가 결과가 양호하다 하더라도 최종적으로 기존 메모리 대비 원가 경쟁력이 없거나 성능이 차별화되지 못할 경우 결코 상용화 될 수 없을 것이다.

이러한 기준에서 지금까지 논의한 RRAM과 STT MRAM은 포스트 낸드와 포스트 DRAM 메모리로 가장 유력한 후보들이다. 그러나, 이들 두 메모리는 작동원리, 물질, 구조가 전혀 달라 개발 현황과 전망도 매우 다른 양상을 보인다. RRAM은 다양한 구조 및 물질 후보군을 가지고 있으며 그에 따른 여러 동작 메커니즘을 가지고 있다. 그러나, 현재까지 개발된 현황을 보면 이러한 다양성 대비 전체적인 메모리 요구특성을 모두 만족하는 저항소자가 개발되지 못하고 있는 상황이다. 각 소자 별로 특정 항목들에서 매우 우수한 특성을 보이거나 산포, 신뢰성 등 일부 특성들이 취약하여 메모리 구현 가능성이 떨어지는 경우가 자주 발생하고 있다. 그러나, 다양한 물질, 구조, 동작 메커니즘이 존재하는 만큼 일부 부족한 특성들이 개선된다면 향후 10년 내에 획기적으로 메모리 미세화 한계를 뛰어 넘는 소자를 개발할 가능성 또한 크게 열려 있다고 판단된다.

반면, STT MRAM의 경우는 매우 정확하게 예측 가능한 스위칭 메커니즘과 표준이 되는 구조와 물질이 어느 정도 확정되어 있어 스위

칭 전류밀도 감소, MgO 신뢰성 향상, 30nm 이하 열안정성, 나노 사이즈 패턴 공정 확보라는 명확한 개발 목표를 가지고 있다는 장점이 있다. 그러나, 다른 측면에서 STT MRAM은 스위칭 전류밀도 개선 시 열안정성이나 패턴 공정이 취약해지는 등의 서로 상충하는 특성들이 존재한다는 점과 메커니즘이 잘 알려진 것 대비 개선할 수 있는 수단이 제한적이라는 단점을 가지고 있다. 그러나, 다행히도 최근 STT MRAM은 새로운 구조와 자성물질의 개발을 통해 많은 문제가 해결되어 나가고 있어 향후 5년 내에 상용화가 가능할 것으로 기대된다.

참고문헌

- [R1] H. Pagnia and N. Sotnik, "Bistable Switching in Electroformed Metal-Insulator-Metal Devices", Phys. Stat. Sol. (a), vol. 108, p. 11, 1988.
- [R2] S. Q. Liu, N. J. Wu, and A. Ignatiev, "Electric-pulse-induced reversible resistance change effect in magnetoresistive films", Appl. Phys. Lett. vol. 76, p. 2749, 2000; W. W. Zhuang, et. al., "Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)", IEDM Tech. Dig., 2002.
- [R3] I.G. Baek, et. al., "Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses", IEDM Tech. Dig. p.587, 2004; An, Chen, et. al., "Non-volatile resistive switching for advanced memory applications", IEDM Tech Dig., p. 746, 2005; Y. Hosoi, et. al., "High Speed Unipolar Switching Resistance RAM (RRAM) Technology", IEDM Tech. Dig., 2006.
- [R4] M. N. Kozicki, et. al., "Non-Volatile Memory Based

on Solid Electrolytes", Proceedings of NVMTS, p.10, 2004; M. Kund, et. al., "Conductive bridge RAM (CBRAM): An emerging non-volatile memory technology scalable to sub 20nm", IEDM Tech. Dig. p.773, 2005.

- [M1] S. A. Wolf et al., IBM. J. Res. & Dev. 50, 101 (2006).
- [M2] J. C. Slonczewski, J. Magn. Mag. Mater., 159, L1 (1996)
- [M3] L. Berger, Phys. Rev. B54, 9353 (1996)

저자소개



이 장 은

1993년 2월 한양대학교 금속공학과 학사
 1995년 2월 한양대학교 금속공학과 석사
 2004년 8월 성균관대학교 전기전자컴퓨터공학과 박사
 1995년 2월-현재 삼성전자 반도체연구소 책임연구원
 주관심 분야 : Thin Film, 자성소자 메모리, 산화물 전자공학, 산화물 저항메모리



백 인 규

1995년 2월 서울대학교 물리학과 학사
 1997년 2월 서울대학교 물리학과 석사
 2002년 8월 서울대학교 물리학과 박사
 2000년 2월-2002년 4월 Research Associate Jr., Brookhaven National Lab, Upton, NY
 2002년 9월-현재 삼성전자 반도체연구소 책임연구원
 주관심 분야 : 산화물 전자공학, 산화물 저항메모리

저자소개



오 세 충

1995년 2월 충남대학교 재료공학과 졸업
 1998년 2월 한국과학기술원 재료공학과 졸업
 2003년 2월 한국과학기술원 재료공학과 졸업
 2003년 3월-현재 삼성전자 반도체연구소 책임연구원
 주관심 분야 : 자성박막재료

저자소개



김 성 태

1984년 고려대학교 물리과 학사
 1986년 고려대학교 물리과 석사
 1997년 한국과학기술원 재료과 박사
 1987년-2006년 삼성전자 반도체연구소 연구원
 2007년-현재 삼성전자 반도체연구소 연구임원
 주관심 분야 : Capacitor, Metallization, Thin Film,
 차세대 반도체 공정개발, 차세대 메모리



여 인 석

1985년 2월 서울대학교 무기재료공학과 학사
 1993년 12월 University of Texas at Austin 재료공학과 석사
 1996년 5월 University of Texas at Austin 재료공학과 박사
 1985년 1월-1990년 7월 금성반도체/금성일렉트론
 1996년 4월-2002년 6월 현대전자/하이닉스
 2003년 9월-현재 삼성전자 반도체연구소 수석연구원
 주관심 분야 : 미래기술 소자/공정 개발



한 우 성

1984년 영남대학교 전자공학과 학사
 1995년 경북대학교 전자공학과 석사
 1999년 스위스연방공과대학교 전자공학과 박사
 1983년 8월-2003년 12월 삼성전자 반도체연구소 연구원
 2004년 1월-현재 삼성전자 반도체연구소 연구임원
 주관심 분야 : Lithography 공정개발, 차세대 반도체
 공정개발, 차세대 메모리