

논문 2007-44TC-7-15

온칩 인덕터의 필드 솔버 기반의 패드 효과 디임베딩 방법 연구

(A study on the Field Solver Based pad effect deembedding technique
of on-chip Inductor)

유 영 길*, 이 한 영*

(Young-Kil Yoo and Han-Young Lee)

요 약

본 논문에서는 필드 솔버와 회로 시뮬레이션을 통한 온 칩 인덕터의 패드 및 주변 그라운드 효과의 디임베딩 방법을 설명하였으며, 필드 솔버의 결과와 회로 시뮬레이션을 통한 디임베딩 방법은 각각 측정 결과와 매트릭스 연산 결과와 비교하여 검증하였다. 또한 디임베딩된 인덕터의 모델을 적용한 LNA 설계하고 제작하였으며 제작한 LNA의 결과는 측정 결과와 비교하여 디임베딩을 적용하였을 때 2.5GHz 이상의 대역에서 보다 측정치에 접근함을 확인하였다. 본 논문에서 제시한 회로 시뮬레이션을 통한 디임베딩 방법은 다른 수동 온칩 소자의 소자값을 얻는 데 손쉽게 사용될 수 있는 방법이며 이를 적용하여 보다 정확한 RFIC(radio frequency integrated circuit) 회로 설계가 가능할 것으로 사료된다.

Abstract

In this paper, the field solver based deembedding technique for the on-chip inductors to deembed the pad and surrounding ground effect was described, and the results from field solver based deembedding techniques and measurement based matrix calculation method were compared. In addition, LNA circuit is designed by using deembedded inductors and fabricated by using standard 0.25 μ m CMOS process, in the range over the 2.5GHz it shows the good agreements between measurement and simulation results when the proper deembedding was adapted. Supposed deembedding techniques can be used to get the pure on-chip devices's values and adapted to design accurate RFIC circuit design.

Keywords : Field Solver, Deembedding, On-chip inductor, RFIC, LNA

I. 서 론

최근 생산단가를 낮추고 집적도를 향상시키기 위해 무선 단말기의 핵심 부품인 RFIC(radio frequency integrated circuit)에 대한 연구가 활발히 진행 되어져 왔다^[1]. CMOS 회로에서 온칩(on-chip) 인덕터는 고주파 회로의 성능을 좌우하는 수동소자 중 하나로,

LNA(low-noise amplifier)의 임피던스 정합 및 VCO(voltage controlled oscillator)의 공진회로 등에 폭넓게 사용된다. 실리콘 기판(silicon substrate)에 인덕터를 구현하는 경우, 가격이 저렴하고 공정이 간단하다는 장점이 있는 반면, 차지하는 면적이 넓고, 실리콘 기판에 의한 에너지 손실과 기생성분의 영향에 의해 인덕터의 성능이 저하되는 단점이 있으며 정확한 기생성분의 영향을 포함한 모델을 제공하기 어려우므로 고주파 대역의 정확한 설계가 어려운 단점이 있다.

본 논문에서는 온칩 인덕터의 정확한 모델링을 위하여 패드 및 주변 그라운드 영향을 디임베딩하여 인덕터

* 정회원, 대림대학 전자정보통신계열
(Division of Electronics, Information & Communication, Daelim College)
접수일자: 2007년1월9일, 수정완료일: 2007년7월2일

만의 정확한 모델을 추출하는 방법을 제시하고 이 방법을 제작된 LNA의 측정 결과와 비교하여 검증하였다.

II. 온칩 나선형 인덕터의 GSG 패드 디임베딩

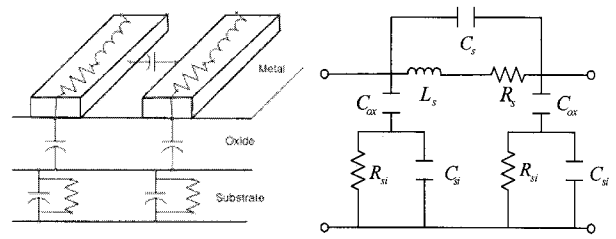
온 칩 나선형 인덕터는 RFIC로 구현되는 증폭기 및 발진기 등을 설계하는데 필수적인 요소이며 증폭기의 정합회로를 구현하거나 발진기의 공진회로를 구현하는데 반드시 필요한 회로 요소이다. 그러나 나선형 인덕터를 이용하여 정합회로나 공진회로를 구현하기 위해서는 회로의 특성에 대한 정확한 모델링이 필요하게 된다. 나선형 인덕터의 회로 모델은 일반적으로 공정을 제공하는 파운드리 업체에서 제공하게 되지만 파운드리 업체에서 제공하는 모델은 나선형 인덕터 주변의 그라운드 및 패드 효과에 대한 모델링 전체를 포함하지 않게 되므로 이에 대한 정확한 모델링을 추가하여야 수 GHz 대역의 정확한 설계가 가능하게 된다.

나선형 인덕터 GSG 패드 및 주변 그라운드의 기생성분을 디임베딩하기 위해 첫 번째 방법으로 기생성분을 예측하여 이를 매트릭스 연산으로 제거하는 방법이 있으며 II-1절에 설명하였다. 두 번째 방법은 나선형 인덕터 부분을 개방 및 단락한 상태로 측정된 값과, 인덕터 부분까지 포함한 전체를 측정된 값을 이용해 연산을 하는 방법이며 II-2절에 설명하였다. 그러나 첫 번째 방법은 기생성분을 정확히 예측하기 어렵다는 문제가 있으므로 수식적으로 가능하지만 현실적으로 사용할 수 없는 방법이며 두 번째 방법은 나선형 인덕터 외에 개방 회로 패턴과 단락 회로 패턴을 따로 제작하여 측정하여야 하므로 비용이 많이 들게 된다. III장에서는 개방 회로 및 단락 회로를 3차원 필드 솔버를 이용하여 S-파라미터를 구한 뒤 이를 이용하여 패드 및 주변 그라운드를 디임베딩 하는 방법을 제안하였다.

II-1. 나선형 인덕터 GSG 패드의 기생성분 디임베딩

나선형 인덕터는 금속 도선 사이에 기생 커패시턴스 외에도 금속 도선과 도전성을 가진 실리콘 기판 사이에 기생 캐패시터가 존재한다. 여기에 나선형 도선의 도체 손실과 실리콘 기판의 손실이 추가되어지므로 그림 1과 같이 간단한 등가회로로서 나타낼 수 있다^[2~4].

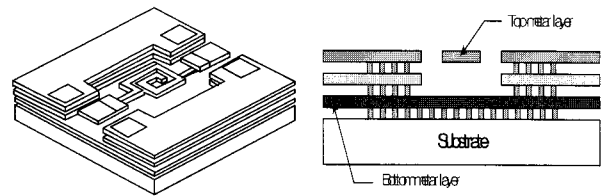
그림 1(b)의 등가회로는 인덕터의 나선형 부분에 대한 등가회로이며 실제 온 칩 인덕터의 측정에서는 그림 2와 같이 나선형 인덕터의 도선 뿐 만 아니라 주



(a) 나선형 인덕터의 종단면 (b) 나선형 인덕터의 등가 회로

그림 1. 나선형 인덕터의 등가회로

Fig. 1. Equivalent circuit of the spiral inductor.



(a) 인덕터의 3차원 구조 (b) 인덕터의 단면 구조

그림 2. 온 칩 나선형 인덕터의 구조

Fig. 2. The on-chip spiral inductor structure.

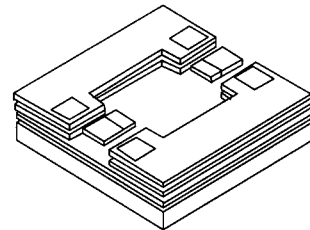
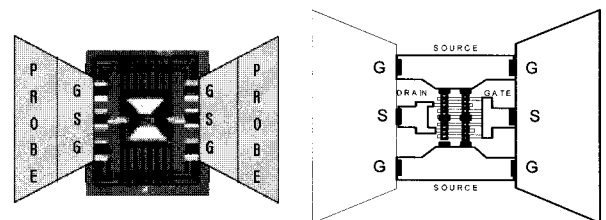


그림 3. 나선형 인덕터를 제외한 패드 및 주변 그라운드

Fig. 3. Pad and surrounding ground pattern excluded spiral.



(a) 나선형 인덕터 (b) 3단자 소자 측정

그림 4. 프로빙 패드 및 주변 그라운드를 포함한 나선형 인덕터 및 3단자 소자 측정

Fig. 4. Measurement of spiral inductor and 3-port device with proving pad and surrounding ground.

변 그라운드 및 프로빙을 위한 GSG 패드가 포함되게 된다.

증폭기의 정합회로나 발진기의 공진회로 내부에 나선형 인덕터가 배선될 때에는 그림 3의 프로빙 패드 및 주변 그라운드는 뺀 상태로 배선이 되므로 이 부분에

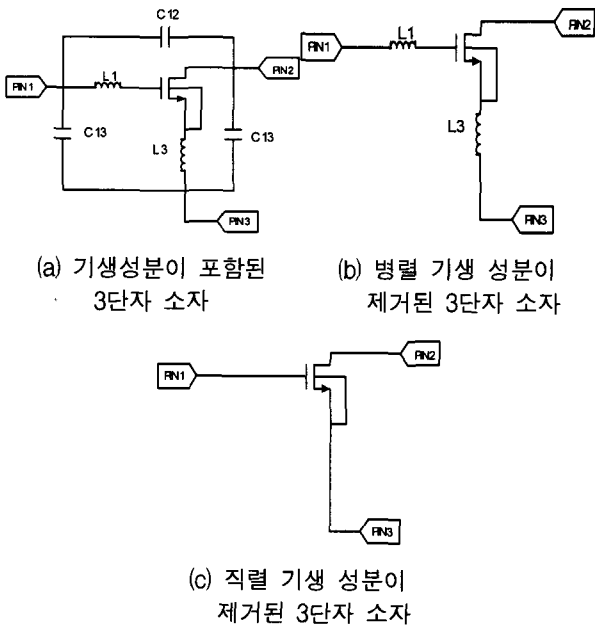


그림 5. 3단자 회로의 기생성분 소자값의 디임베딩 과정
Fig. 5. The deembedding procedure of 3-port device parasitic.

대해 적절한 디임베딩을 수행되어야만 정확한 정합회로 및 공진회로를 설계하는데 측정된 인덕터의 값을 이용할 수 있게 된다. 그렇지 않으면 그림 3에서의 주변 그라운드에 의한 직렬 인덕턴스 성분과 프로빙 패드에 의한 병렬 캐패시턴스 값이 같이 포함되어진 상태로 회로 설계가 되므로 정확히 예측 가능한 설계가 불가능하게 된다.

그림 4는 프로빙 패드 및 그라운드 패턴이 포함된 상태의 프로브를 이용한 측정에 대해 나타낸다. 나선형 인덕터를 그림 1(b)에서와 같이 그라운드 쪽으로 캐패시터까지 있는 상태의 3단자 회로 요소로 간주하면 그림 4(b)의 3단자 소자 측정과 같은 형태로 디임베딩이 가능하다^[5].

그림 5는 직렬 및 병렬 기생소자의 디임베딩 과정을 나타낸다. 그림 5(a)는 병렬 및 직렬 기생성분이 포함된 3단자 소자의 회로 모델을 나타낸다.

이 회로에 병렬 기생 캐패시턴스 성분의 값을 알고 있으면 식 (1)과 같이 Y-파라미터의 연산을 통해 캐패시턴스 값을 제거할 수 있다.

$$Y = \begin{bmatrix} Y_{11} - j\omega(C_{13} + C_{12}) & Y_{12} + j\omega C_{12} \\ Y_{21} + j\omega C_{12} & Y_{22} - j\omega(C_{23} + C_{12}) \end{bmatrix} \quad (1)$$

그림 5(b)의 직렬 기생 인덕턴스 성분은 기생 인덕턴

스 성분의 값을 알고 있으면 식 (2)과 같이 Z-파라미터의 연산을 통해 직렬 인덕턴스 값을 제거할 수 있다.

$$Z = \begin{bmatrix} Z_{11} - j\omega(L_1 + L_3) & Z_{12} - j\omega L_3 \\ Z_{21} - j\omega L_3 & Z_{22} - j\omega L_3 \end{bmatrix} \quad (2)$$

식 (2)을 통해 얻게 되는 Z-파라미터는 그림 5(c)와 같이 병렬 및 직렬 기생성분이 제거된 상태의 파라미터이므로 이를 이용해 원하는 내부 회로만의 파라미터를 얻을 수 있게 된다.

II-2. 측정에 의한 나선형 인덕터의 GSG 패드 디임베딩

II-1절에서 설명한 방법은 기생 캐패시턴스와 인덕턴스 성분의 값을 정확히 알아야 하므로 실제적으로 측정이 불가능한 이 값을 정확히 모델링 하는 것이 어려우므로 계산상으로는 간단히 연산할 수 있지만 실제적으로 적용이 불가능하다고 할 수 있다. 그러므로 측정을 통한 디임베딩 방법이 간구되어야 한다. 그림 6은 측정

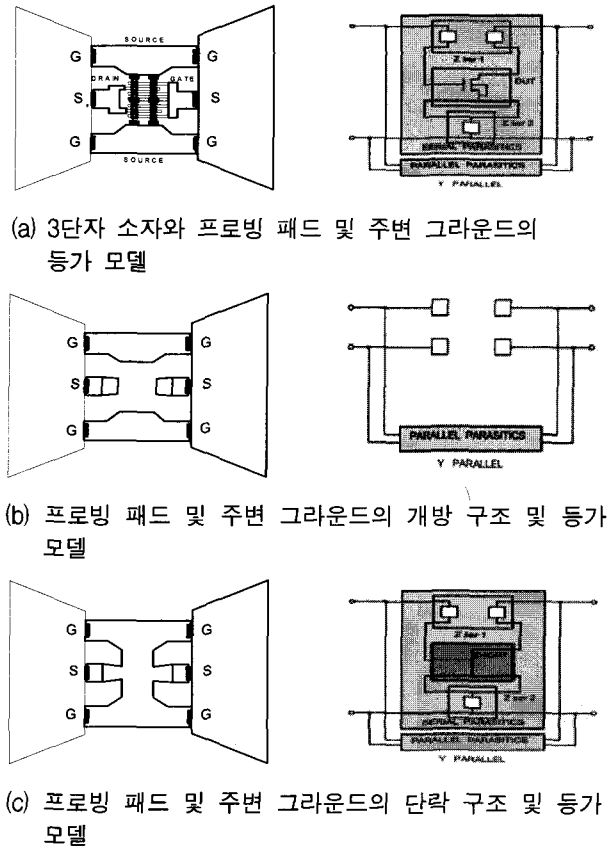


그림 6. 3단자 소자, 개방 구조 및 단락 구조의 등가 모델
Fig. 6. The 3-port device, open and short pattern and equivalent model.

을 기준으로 한 디임베딩을 위해 각각 전체와 더미 (dummy) 개방 및 단락 구조의 측정과 이의 등가 모델을 나타낸다^[6].

측정을 통해 전체 구조와 개방 및 단락 구조에 대해 그림 6과 같이 측정을 한 경우 아래와 같은 순서를 통해 패드 및 주변 그라운드를 디임베딩 할 수 있다. 첫 번째 단계는 개방 및 단락 구조의 측정치로부터 구한 Y-파라미터를 이용하여 식 (3)과 같이 연산한다.

$$Y_{DUT/OPEN} = Y_{Total} - Y_{Open} \quad (3)$$

$$Y_{Short/OPEN} = Y_{Short} - Y_{Open} \quad (4)$$

두 번째 단계는 식 (3)과 식 (4)을 Z-파라미터로 변환한다.

$$Z_{DUT/OPEN} = Z(Y_{DUT/OPEN}) \quad (5)$$

$$Z_{Short/OPEN} = Z(Y_{Short/OPEN}) \quad (6)$$

세 번째 단계는 식 (5)과 식 (6)을 $Z_{DUT/OPEN}$ 과 $Z_{Short/OPEN}$ 을 이용하여 식 (7)과 같이 디임베드된 Z_{DUT} 를 구한다.

$$Z_{DUT} = Z_{DUT/OPEN} - Z_{Short/OPEN} \quad (7)$$

마지막 단계는 식 (8)과 같이 디임베드된 Z_{DUT} 를 S_{DUT} 로 변환한다.

$$S_{DUT} = S(Z_{DUT}) \quad (8)$$

III. 필드 솔버와 회로 시뮬레이션에 의한 나선형 인덕터의 디임베딩

II-2절의 전체 구조와 더미 개방 및 단락 구조를 추가로 측정하여 디임베딩 하는 방법은 추가적인 더미 패턴의 측정을 위해 실리콘 기판의 면적을 사용해야 하므로 비용이 추가되고, Y 및 Z-파라미터의 매트릭스 연산 및 변환의 번거로운 계산 과정을 거쳐야 하는 단점이 있다^[7-8].

본 논문에서는 이보다 간편하고 추가적인 측정을 배제한 디임베딩 방법을 제안하였으며 아래와 같은 과정으로 수행할 수 있다. 우선 전체 인덕터의 S-파라미터는 측정 또는 3차원 필드 솔버인 HFSS를 이용하여 구한다. 그리고 더미 개방 패턴 및 단락 패턴의 S-파라미

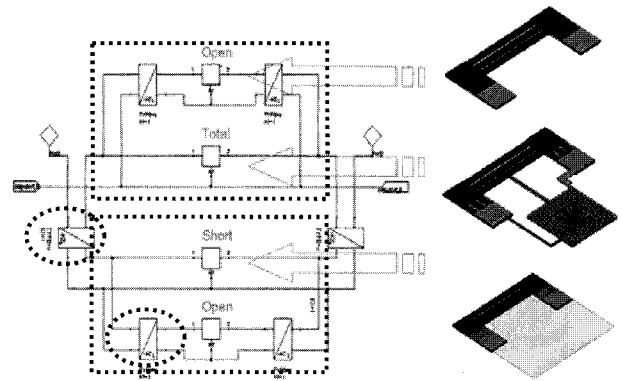


그림 7. 필드 솔버와 회로 시뮬레이션에 의한 나선형 인덕터의 디임베딩

Fig. 7. The deembedding technique by using field solver and circuit simulation.

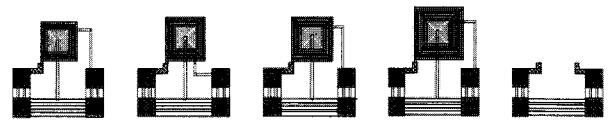
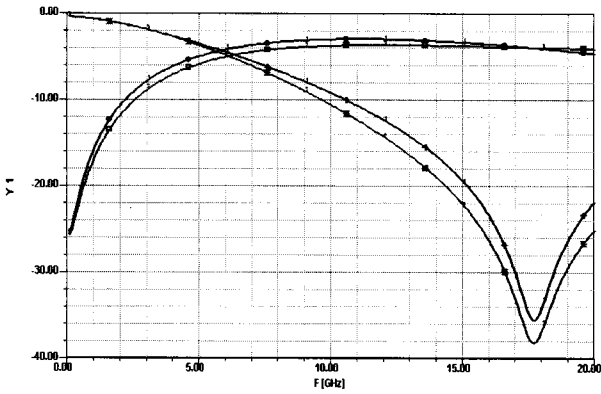


그림 8. 검증용 인덕터의 레이아웃 패턴(3.5턴, 4.2턴, 4.5턴, 6.5턴, 개방패턴)

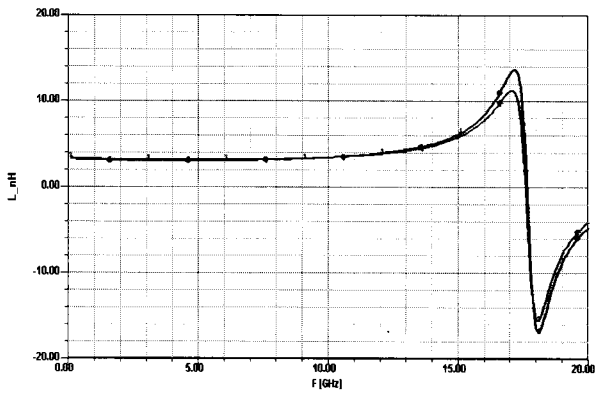
Fig. 8. Inductance layout pattern for verification.

터는 HFSS를 이용하여 구한다. 측정 또는 HFSS 시뮬레이션을 통해 구한 전체 인덕터의 S-파라미터와 HFSS 시뮬레이션을 통해 구한 개방 패턴 및 단락 패턴의 S-파라미터는 그림 7의 회로도에서 각각 연결시킨다. 그림 7의 회로도에서 위의 점선 사각형 내부의 연결은 $Y_{DUT/OPEN} = Y_{Total} - Y_{Open}$ 에 해당하는 연산이 되도록 하는 연결이고, 아래 점선 사각형 내부의 연결은 $Y_{Short/OPEN} = Y_{Short} - Y_{Open}$ 에 해당하는 연산이 되도록 하는 연결이다. 원형 점선 내부에 연결된 소자는 매트릭스에서 빼기 연산을 수행하도록 하기 위해 연결한 부임피던스변환 (negative impedance converter) 소자이다. 회로도에서 직렬로 연결한 것은 식 7에 해당하는 연산을 수행하기 위한 것이다. 그림 7의 전체 회로도를 회로 시뮬레이션을 통해 해석을 하면 전체 회로도의 입력 출력간의 S-파라미터를 구할 수 있으며, 이 때 구해진 S-파라미터는 나선형 인덕터만의 결과 즉 패드 및 주변 그라운드 효과가 디임베드된 결과가 된다.

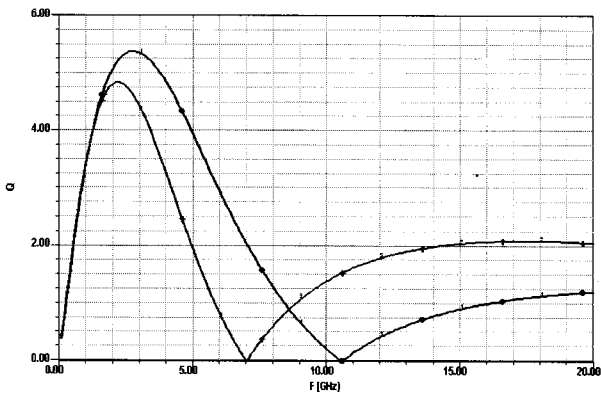
그림 8은 필드 솔버를 이용한 디임베드 결과를 비교하기 위해 여러 가지 턴 수에 대한 레이아웃 패턴을 보인다. 레이아웃 패턴으로부터 HFSS를 이용하여 S-paramter를 구하였으며, 개방 패턴 및 단락 패턴의 결과를 회로 시뮬레이션을 이용한 디임베딩 방법에 대



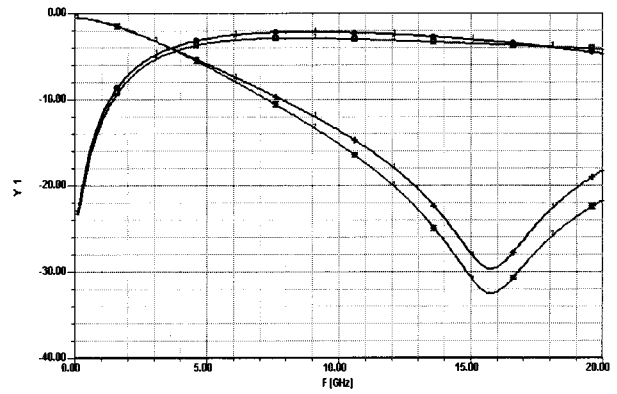
(a) S-파라미터



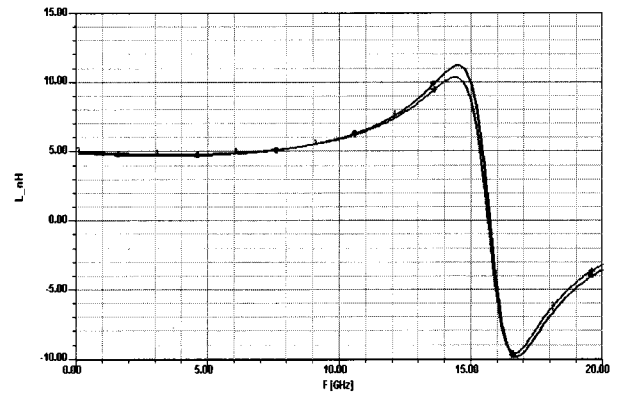
(b) 인덕턴스



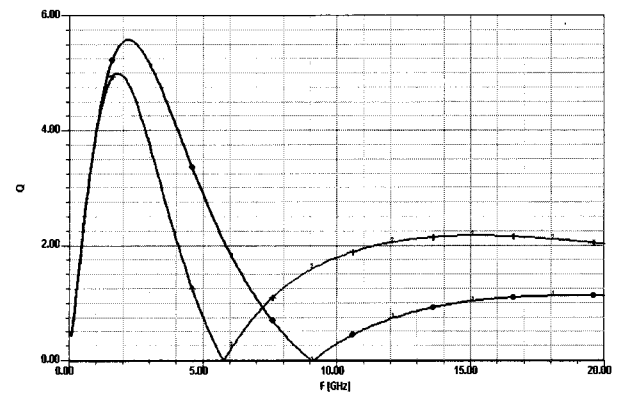
(c) Q-값



(a) S-파라미터



(b) 인덕턴스



(c) Q-값

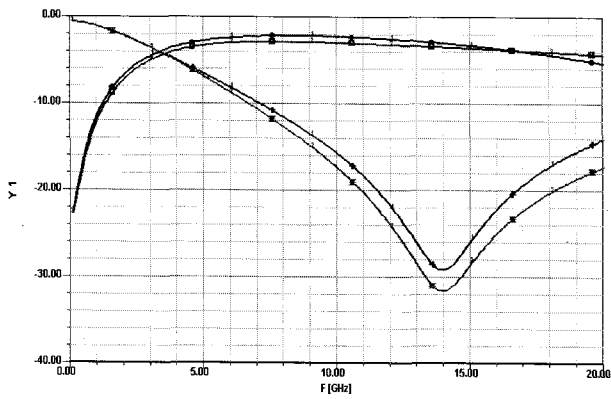
그림 9. 3.5턴 인덕터의 디임베딩 전후 결과 비교
Fig. 9. Comparison between deembedded and non-deembedded 3.5 turns inductor.

그림 10. 4.2턴 인덕터의 디임베딩 전후 결과 비교
Fig. 10. Comparison between deembedded and non-deembedded 4.2 turns inductor.

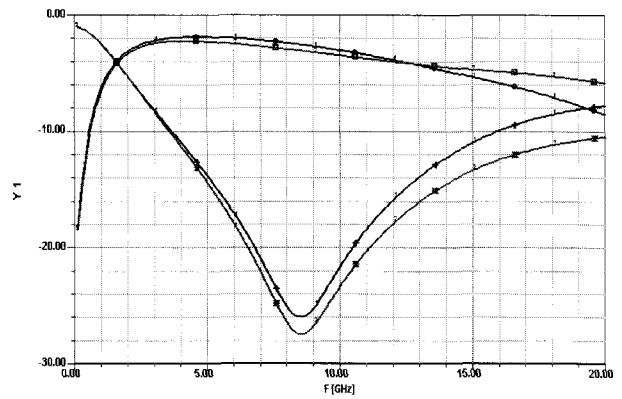
입하여 디임베딩된 인덕터의 결과를 얻었다.

그림 9~그림 12는 각 턴수별 인덕터의 S-파라미터, 인덕턴스 및 Q-값에 대한 디임베딩 하기 전 결과와 디임베딩 한 후의 결과를 비교한 그래프이다. 각각의 결과로부터 패드 및 주변 그라운드를 제거한, 즉 디임베딩된 인덕터의 결과는 인덕터의 경우 크게 변화가 없는 것을 확인할 수 있다. 이는 패드 및 주변 그라운드의

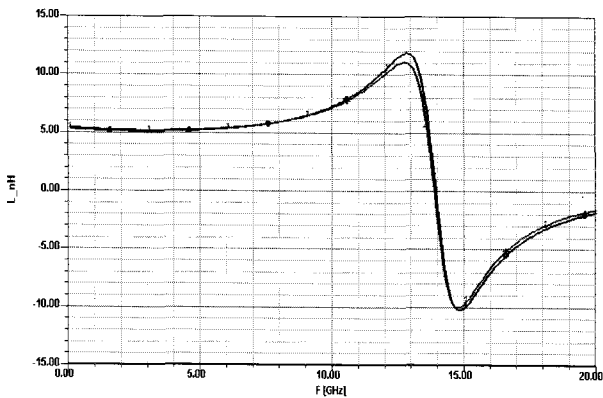
인덕턴스 값이 크지 않음을 알 수 있다. 그러나 S-파라미터 및 Q-값의 경우 주파수가 2.5GHz 이상이 됨에 따라 점차로 디임베딩 된 결과와 디임베딩 전 결과가 차이가 남을 알 수 있으며, 이는 패드의 캐패시턴스값 및 이로 인한 실리콘 기판의 손실이 주파수의 증가에 따라 크게 영향을 미치게 되어 이를 적절히 디임베딩하지 않은 경우 인덕터만의 결과와 많은 차이가 나게 됨을 나



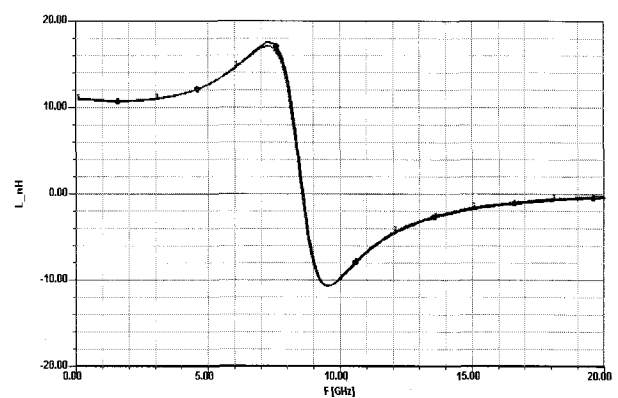
(a) S-파라미터



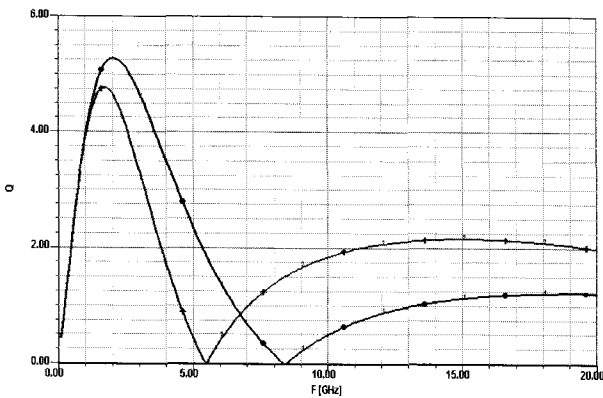
(a) S-파라미터



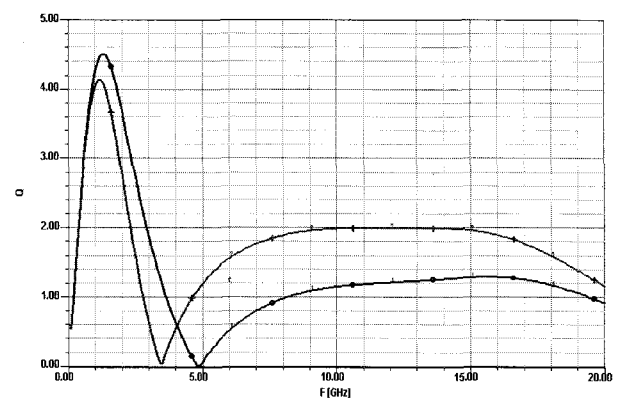
(b) 인덕턴스



(b) 인덕턴스



(c) Q-값



(c) Q-값

그림 11. 4.5턴 인덕터의 디임베딩 전후 결과 비교
Fig. 11. Comparison between deembeded and non-deembeded 4.5 turns inductor.

그림 12. 6.5턴 인덕터의 디임베딩 전후 결과 비교
Fig. 12. Comparison between deembeded and non-deembeded 6.5 turns inductor.

타낸다.

이로부터 제안된 필드 솔버와 회로 시뮬레이션을 통해 디임베딩하는 방법은 매우 간편하게 인덕터의 디임베딩된 값을 얻을 수 있는 방법이며, 디임베딩된 인덕터의 결과를 이용하여 증폭기의 정합회로나 발진기의 공진회로 설계에 바로 이용할 수 있게 된다.

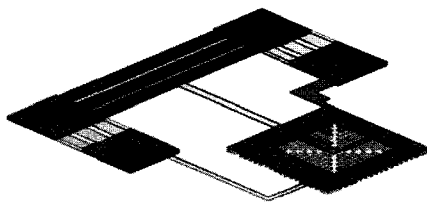
IV. 필드 솔버와 회로 시뮬레이션에 의한 인덕터의 디임베딩 방법 검증

본 논문에서는 제안된 필드 솔버와 회로 시뮬레이션에 의한 인덕터의 디임베딩 방법을 검증하기 위하여 인덕터의 HFSS 해석 결과와 측정 결과를 비교하고, 회로

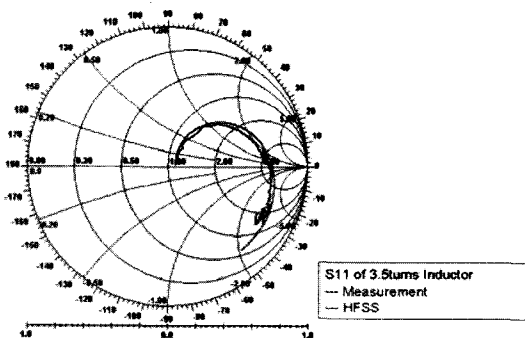
시뮬레이션에 대입하여 디임베딩 하는 방법과 직접 매트릭스 연산을 통해 계산한 결과를 비교하였다. 또한 제작한 LNA 결과를 통해 인덕터의 디임베딩을 적용한 설계가 보다 정확한 결과를 나타냄을 확인하였다.

IV-1. 필드 솔버 결과 및 회로 시뮬레이션을 통한 디임베딩 방법 검증

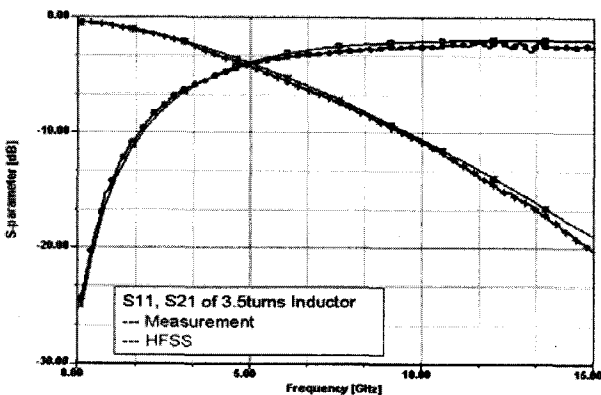
그림 13은 필드 솔버(HFSS)를 이용한 전체 인덕터의 해석 결과 및 측정결과와의 비교이다. 이로부터 필드 솔버를 이용한 해석을 통해 측정값과 근사한 인덕터의 결과 값을 얻을 수 있음을 확인하였다. 그림 14는 동일한 인덕터에 대해 식(3)~식(8)을 이용해 직접 매트릭스 계



a) 3.5턴 인덕터의 필드 솔버 해석 구조



(b) S11에 대한 측정 및 필드 솔버 값 비교



(c) S11, S21의 측정과 필드 솔버 값 비교

그림 13. 테스트를 위한 3.5턴 인덕터의 측정과 필드 솔버(HFSS) 값 비교

Fig. 13. Comparison between measurement and filed solver result of 3.5 turn inductor.

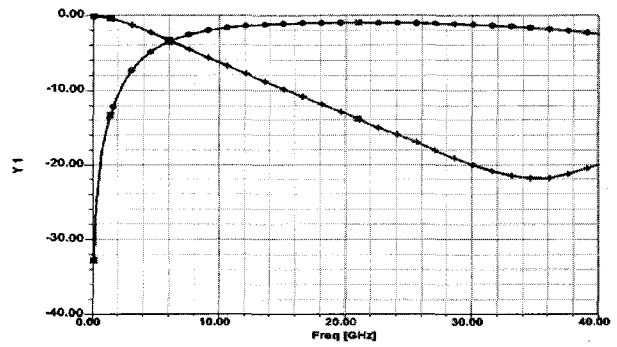


그림 14. 회로 시뮬레이션 및 매트릭스 계산에 의한 디임베딩 결과 비교

Fig. 14. Deembedding results comparison between circuit simulation method and matrix calculation method.

산을 통해 디임베딩한 결과와 III장에서 설명한 회로 시뮬레이션을 통해 디임베딩하는 방법에 의해 디임베딩된 결과를 나타낸 것이다. 이를 통해 회로 시뮬레이션을 통한 디임베딩하는 방법과 직접 매트릭스 계산을 통해 구한 결과가 동일함을 확인할 수 있다.

4-2. 디임베드 인덕터를 이용한 LNA 설계 및 검증

본 논문에서 설명된 디임베드 방법과 이를 통해 얻은 디임베드 인덕터 결과를 적용한 LNA 설계 및 최적화된 회로도를 그림 15에 나타낸다. 디임베드 인덕터의 결과를 적용하여 설계한 LNA 회로는 검증을 위해 표준 0.25 μ m CMOS 공정으로 제작되었으며, S-파라미터를 측정하기 위하여 Agilent사의 8510C Vector Network Analyzer, N 8975A Noise Figure Analyzer, N 4483A Noise Parameter, RF Probe, Bias Probe, Bias Tee, Microwave Probe Station, Power supply를 사용하였다.

그림 16은 제작된 LNA 칩 확대 사진이며, 충분한 이득과 출력력 단의 좋은 아이솔레이션을 위해 2단

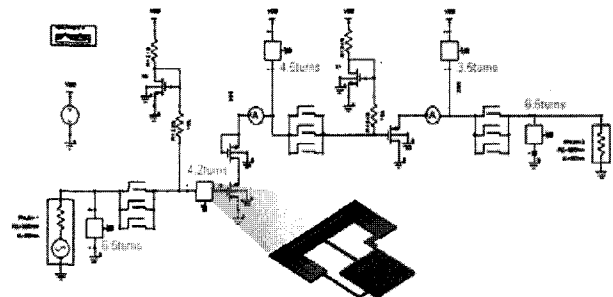


그림 15. 디임베드 인덕터 결과를 적용한 LNA 회로

Fig. 15. The designed LNA circuit using deembedded inductor results.

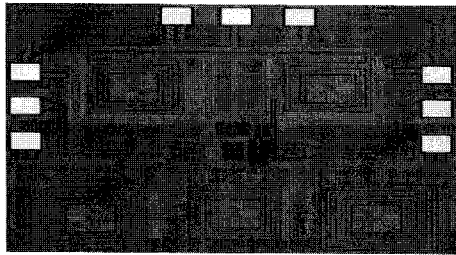
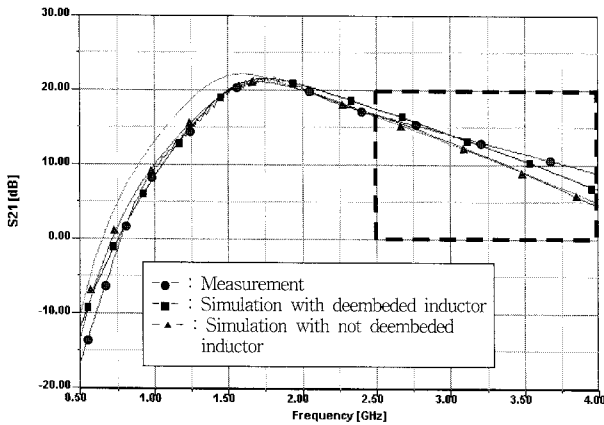
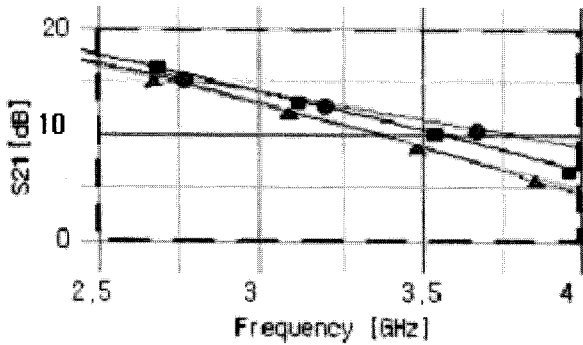


그림 16. 제작된 LNA 칩 확대 사진
 Fig. 16. Extension picture of the fabricated LNA chip.



(a) LNA의 측정 및 시뮬레이션 결과 비교, S21[dB]



(b) LNA의 측정 및 시뮬레이션 결과 비교, S21[dB] 점선 부분 확대

그림 17. 제작한 LNA의 측정 결과 및 설계 값 비교
 Fig. 17. Comparison between fabricated LNA measurement results and simulation results

LNA로 설계하였다. 제작된 LNA의 칩 크기는 가로 1040 μ m, 세로 1020 μ m이다. 그림 17(a)은 실제 제작한 LNA의 S21[dB] 측정 결과를 나타내며, 여기에서 원형 점선으로 표시된 결과는 실제 측정된 LNA의 이득이다. 실선으로 표시된 결과는 인덕터의 파운드리 등가회로 모델을 이용하여 설계한 시뮬레이션 결과 값이다.

삼각형 점선으로 표시된 결과는 디임베딩이 적용되지 않은 인덕터의 결과를 적용하여 설계한 시뮬레이션 결과 값이다. 사각형 점 선으로 표시된 결과는 디임베딩된 인덕터의 결과를 적용하여 설계한 시뮬레이션 결

과 값이다. 이 두 시뮬레이션 결과로부터 2.5 GHz 이하에서는 디임베딩을 적용한 결과와 적용하지 않는 결과가 일치하므로 디임베딩의 영향이 크지 않지만 2.5GHz 이상에서는 시뮬레이션 상으로 그림 17(b)에 나타난 디임베딩에 의해 S21이 4GHz에서 2dB까지 차이가 나게 됨을 볼 수 있다. 이 결과는 실험치에 가까운 쪽으로 근접하게 됨을 알 수 있으며 이 결과로부터 인덕터의 패드 및 주변 그라운드 효과가 2.5GHz 이상의 대역에서는 S21결과에 영향을 미침을 알 수 있다. 그러므로 2.5GHz 이상의 대역에 대한 예측 가능한 정확한 설계를 위해서는 온칩 인덕터의 디임베드 결과를 적용하여 설계하는 것이 필요함을 알 수 있다.

V. 결 론

온 칩 인덕터는 RFIC 설계 시에 정합회로나 공진회로에 사용되지만 예측 가능한 설계를 위해서는 정확한 모델링이 필요하며 측정을 통한 모델링을 적용할 경우에도 측정 시에 포함되는 패드의 효과나 주변 그라운드의 영향을 적절히 디임베드한 모델을 이용하여 설계가 되어야 한다.

본 논문에서는 필드 솔버와 회로 시뮬레이션을 통한 온 칩 인덕터의 패드 및 주변 그라운드의 디임베드 방법을 설명하였으며, 필드 솔버의 결과와 회로 시뮬레이션을 통한 디임베드 방법은 각각 측정 결과와 매트릭스 연산 결과와 비교하여 검증하였으며 디임베딩을 적용한 시뮬레이션 결과는 GSG 패드의 영향으로 디임베딩을 적용하지 않은 시뮬레이션 결과에 비해 4GHz에서 S21이 2dB 까지 차이가 남을 확인하였다. 또한 이 결과는 제작한 LNA의 측정 결과와 비교하여 2.5GHz 이상의 대역에서 S21이 2dB 이내로 일치함을 확인하였다.

본 논문에서 제시한 회로 시뮬레이션을 통한 디임베드 방법은 다른 수동 온칩 소자의 소자 값을 얻는 데 손쉽게 사용될 수 있는 방법이며 이를 적용하여 보다 정확한 RFIC 회로 설계가 가능할 것으로 사료된다.

참 고 문 헌

- [1] T. Manku, "Microwave CMOS-devices and circuits," Proc. Of the IEEE 1998. Custom integrated Circuits Conference, pp. 59-66.
- [2] C. Patrick Yue, and S. Simon Wong, "Physical Modeling of Spiral Inductors on Silicon", IEEE Transactions on Electron Devices, Vol. 47, No. 3,

pp. 560-568, MARCH., 2000.

[3] Hyunjin Lee, Joonho Gil, Jeong-hu Han, and Hyungcheol Shin, "Optimization of spiral inductors on silicon substrate," IDEC Conference 2002 Summer, pp. 49-52, 2002.

[4] C. Patrick Yue "A physical model for planar spiral inductors on silicon" in IEDM Tech. Dig., San Francisco, CA, Dec., 1996, pp. 155-158.

[5] "RF MOS Measurement", by Franz Sischka and Thomas Gneiting, World Scientific.

[6] "Layout Rules for GHz-Probing", Application Note from Cascade Microtech.

[7] Harmonica Reference Volume", User's Manual of Serenade 8.71 from Ansoft Corporation.

[8] "Harmonica Element Library", User's Manual of Serenade 8.71 from Ansoft Corporation.

저 자 소 개



유 영 길(정회원)
 1982년 건국대학교 전자공학과
 학사 졸업.
 1988년 건국대학교 전자공학과
 석사 졸업.
 2003년 건국대학교 전자공학과
 박사 졸업.

현재 대림대학 전자정보통신계열 교수
 <주관심분야 : RF 및 M/W통신>



이 한 영(정회원)
 1998년 세종대학교 물리학과
 학사 졸업.
 2002년 국민대학교 전자공학과
 석사 졸업.
 2005년 건국대학교 전자정보통신
 박사 졸업.

현재 대림대학 전자정보통신계열 실습행정기사
 <주관심분야 : 마이크로파 및 RFIC>