

논문 2007-44TC-7-8

두 개의 공통 게이트 FET를 이용한 캐스코드형 CMOS 저잡음 증폭기의 후치 선형화 기법

(Post-Linearization Technique of CMOS Cascode Low Noise Amplifier
Using Dual Common Gate FETs)

황 과 지*, 김 태 성*, 김 성 균*, 김 병 성**

(Guo-chi Huang, Tae-sung Kim, Seong-kyun Kim, and Byung-sung Kim)

요 약

본 논문은 두 개의 공통 게이트 증폭단을 사용한 캐스코드형 CMOS 저잡음 증폭기의 후치 선형화 기법을 제안한다. 제안된 기법은 두 개의 공통 게이트 FET 단을 사용하며, 한 FET는 공통 소스단에서 전달된 전류 성분 중 선형 전류 성분만을 부하에 전달하고, 다른 한 단은 3차 혼변조 전류를 흡수하도록 동작한다. 선형 전류 성분과 혼변조 전류 성분을 선택적으로 분류하기 위해 $0.18\mu\text{m}$ CMOS 공정에서 제공되는 후막 (thick oxide) FET를 혼변조 전류 흡수용 FET로, 박막 (thin oxide) FET를 선형 전류 버퍼로 사용하였다. 제안된 방법을 검증하기 위해 $0.18\mu\text{m}$ CMOS 공정을 이용하여 2.14GHz에서 동작하는 저잡음 증폭기를 설계하였다. 제작된 차동 증폭기는 1.8V 전원에서 12.4mA를 소모하며, 측정 결과로 11 dBm IIP3, 15.5 dB 전력이득, 그리고 2.85 dB 잡음지수를 특성을 얻었다. 이는 후치 선형화가 없는 회로에 비해 7.5dB의 IIP3 개선된 결과이다.

Abstract

A novel post-linearization technique is proposed for CMOS cascode low noise amplifier (LNA). The technique uses dual common gate FETs one of which delivers the linear currents to a load and the other one sinks the 3rd order intermodulation currents of output currents from the common source FET. Selective current branching can be implemented in $0.18\mu\text{m}$ CMOS process by using a thick oxide FET as an IM3 sinker with a normal FET as a linear current buffer. A differential LNA adopting this technique is designed at 2.14GHz. The measurement results show 11dBm IIP3, 15.5dB power gain and 2.85dB noise figure consuming 12.4mA from 1.8V power supply. Compared with the LNA with turning off the IM3 sinker, the proposed technique improves the IIP3 by 7.5 dB.

Keywords: CMOS LNA, Post-linearization, Intermodulation, IIP3

I. 서 론

CMOS 공정 기술의 발전에 힘입어 무선 수신기의 단일칩화가 일반화 되고 있다. 무선 수신기의 초단을 구성하는 저잡음 증폭기 (Low Noise Amplifier, LNA)는 수신기의 전체 잡음 특성을 결정하기 때문에 저잡음 및 고이득 특성을 가져야 하며, 이러한 요구 사항은 공정

기술의 발전에 힘입어 수 GHz까지는 큰 어려움 없이 달성할 수 있게 되었다. LNA는 CMOS 소자의 성능 중 플리커 잡음을 제외한 모든 특성이 반영되는 회로로 CMOS RFIC 개발의 출발점이었다. 능동소자는 f_T 가 높을수록, 잡음지수는 감소하고 이득은 증가하게 되기 때문에, 기본적으로 CMOS RF 기술의 성공은 지속적인 소자 스케일링을 통한 f_T 의 증가 덕분이다. 저잡음 특성 외에도 각종 간섭 신호가 존재하는 환경에서 미약한 수신신호를 증폭하기 위해서는 증폭기의 선형성이 매우 중요한 반면^[1], 잡음 성능과 달리 선형성은 공정기술의 발전에 의해 개선되는 정도가 미미하다. 따라서

* 학생회원, ** 정회원, 성균관대학교 정보통신공학부
(School of Information and Communication
Engineering, Sungkyunkwan University)
접수일자: 2007년7월12일, 수정완료일: 2007년7월19일

설계 기법으로 CMOS LNA의 선형성을 개선시키고자 하는 연구가 활발히 진행되어 왔다. 이 중에서도 캐스코드형 CMOS LNA에서 공통 소스(Common Source, CS) FET 단에 보조 FET를 추가하여 양의 3차 비선형성을 발생시켜, 주 FET의 음의 3차 비선형성을 상쇄시킴으로써, 공통 게이트단으로는 선형 신호 전류만 전달하는 방법^[2] 및 상기 방법에서 혼변조 전류의 위상을 좀더 정확히 제어하는 수정된 도함수 중첩법^[3]이 가장 성공적인 방법으로 알려져 있다.

기존의 방법에서는 캐스코드형 LNA의 선형성을 향상시키기 위해 주로 입력단을 구성하는 공통 소스 FET의 선형화를 제안하고 있다. 그러나 이 방법은 LNA의 가장 중요한 특성인 잡음을 최적화하는데 중요한 입력 정합회로의 Q 값을^[3-4] 자유롭게 조절하는데 제한이 있다. 본 논문에서는 후치 선형화 기법을 이용하여 잡음은 공통 소스 FET 단에서 최적화하고, 선형성은 공통 게이트 FET 단에서 달성하는 새로운 선형화 기법을 제안한다. 이 방법은 캐스코드형 증폭기에서 공통 소스 FET 출력전류 중 3차 혼변조 전류를 그라운드로 흡수하기 위해 CG FET 단을 추가하는 구조이다. 이 CG FET 단이 3차 혼변조 전류를 선택적으로 흡수하기 위해서는 두가지 조건을 갖춰야 한다. 우선 트랜스컨덕턴스는 매우 작아야 하며, 3차 비선형 트랜스컨덕턴스 값은 공통 소스 FET와 거의 같은 크기를 가져야 한다. 따라서, 부하에 연결되는 CG FET와 같은 종류의 FET를 사용하면 이 조건을 만족하기 힘들다. 본 논문의 II 절에서는 제안한 선형화 방법을 실질적으로 구현하기 위한 회로를 소개하고, 이 구조에 대한 간단한 이론적 해석을 수행한다. III 절에서는 이 기법을 이용한 차동 증폭기 회로의 설계 및 실험 결과를 기술한다.

II. 본 론

1. NMOS FET의 3차 비선형성 비교

FET 캐스코드 증폭기에서 CS FET가 능동 영역에서 동작할 때, 소신호 드레인 전류는 게이트-소스 전압 v_{gs} 의 멱급수로(power series)로 표현할 수 있다.

$$i_d(v_{ds}) = g_1 v_{gs} + g_2 v_{gs}^2 + g_3 v_{gs}^3 \dots \quad (1)$$

(1) 식에서 1차 계수 g_1 은 FET의 소신호 트랜스컨덕턴스이고, $g_i (i \geq 2)$ 는 $I-V$ 전류 특성의 i 차 비선형 계수로 다음 식으로 구할 수 있다.

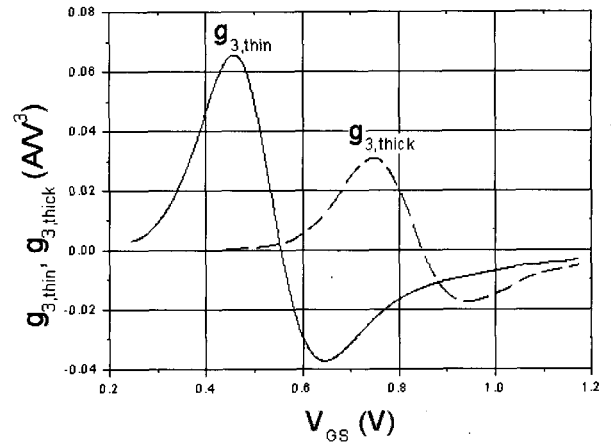


그림 1. NMOS FETs 3차 비선형 계수. 1.8V용 박막 FET는 게이트 폭 대 게이트 길이의 비 (W/L)가 $75\mu\text{m}/0.18\mu\text{m}$ 이고, 3.3V용 후막 FET는 W/L 비가 $45\mu\text{m}/0.35\mu\text{m}$ 임

Fig. 1. The 3rd order nonlinear coefficients of NMOS FETs. The W/L ratio of the thin oxide FET is $75\mu\text{m}/0.18\mu\text{m}$ and that of the thick oxide FET is $45\mu\text{m}/0.35\mu\text{m}$.

$$g_i(V_{GS}) = \frac{1}{i!} \frac{\partial^i I_D}{\partial V_{GS}^i} \quad (2)$$

이 계수들 중 특히 g_3 는 3차 혼변조 전류를 발생시키기 때문에 LNA의 선형성을 결정하는 요소가 된다. $0.18\mu\text{m}$ CMOS 공정에서는 일반적으로 1.8V용 박막(thin oxide) FET 외에도 입출력 용으로 3.3V 전원에서 동작하는 후막(thick oxide) FET를 제공하는데 그림 1은 이 두 NMOS FET의 3차 비선형 계수를 비교한 결과이다. 그림 1은 $I-V$ 모의실험 결과에 식 (2)를 적용해 구한 결과이며, 이로부터 박막 및 후막 FET의 약, 강 반전 영역의 차이를 구별할 수 있다. 그림에서 알 수 있듯이 FET의 g_3 는 약반전 영역에서 양의 극값을 갖고, 중-강반전 영역에서 음의 극값을 갖는다.

그림 1을 보면 $V_{GS} = 0.8\text{V}$ 근방에서 $g_{3,thin}$ 과 $V_{GS} = 0.95\text{V}$ 일때 $g_{3,thick}$ 의 크기가 거의 같고 위상이 반대가 됨을 확인할 수 있다. 즉, 1.8V용 NMOS FET가 강반전된 영역에서 3.3V용 NMOS FET는 문턱 전압 근방에 있게 되어 이 영역에서 3.3V용 FET의 트랜스컨덕턴스 값은 1.8V용 FET에 비해 거의 무시할 수 있는 반면, g_3 는 거의 비슷한 크기와 반대 부호를 가짐을 알 수 있다.

2. 두개의 공통 게이트 FET를 이용한 혼변조 흡수 회로의 동작 조건

그림 2는 1.8V용과 3.3V용 NMOS FET를 각각 캐스코드형 증폭기의 CG FET로 같이 사용한 구조이다.

그림 3은 그림 2의 이중 캐스코드 증폭기에서 CS FET의 입력단 전압 V_{GS1} 의 변화에 대한 CG FET의 게이트-소스 전압 V_{GS2} 의 변화를 구한 결과이다.

그림 3의 어느 한 바이어스 점에서 소신호 v_{gs2} 역시 v_{gs1} 의 멱급수로 식 (3)과 같이 표현이 가능하다.

$$v_{gs2} = c_1 v_{gs1} + c_2 v_{gs1}^2 + c_3 v_{gs1}^3 \dots \approx c_1 v_{gs1} \quad (3)$$

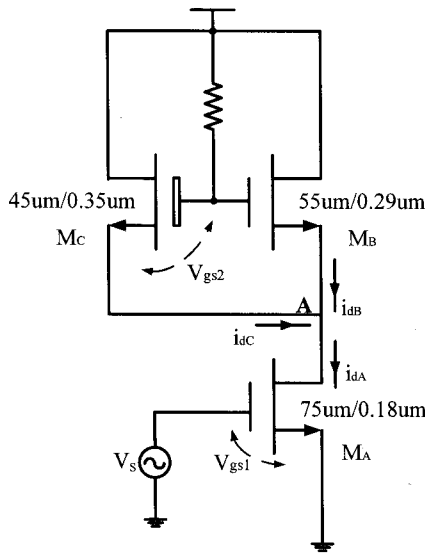


그림 2. 두 개의 CG FET를 이용한 캐스코드 증폭기 구조

Fig. 2. Cascode amplifier using dual common gate FETs.

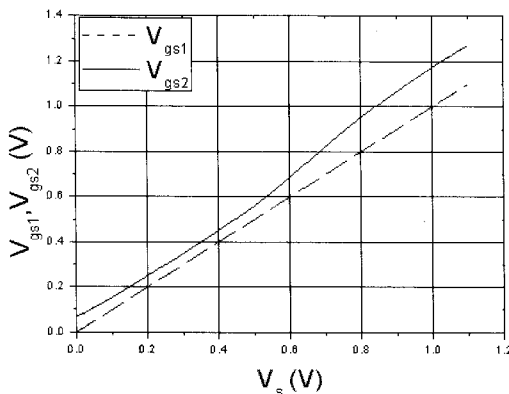


그림 3. CS V_{GS} 의 변화에 따른 CG FET의 V_{GS} 변화
Fig. 3. Variation of V_{GS} for CG FET along the change of V_{GS} for CS FET.

c_i 는 i 차 비선형 계수로 그림 2의 모의실험 결과를 이용해 구하거나, 아래의 방식으로 구할 수 있다. 그림 2에서 각 소자의 전류 성분을 각 FET의 입력 전압으로 표현하면 다음 식과 같다.

$$i_{dA} = g_{1A} v_{gs1} + g_{2A} v_{gs1}^2 + g_{3A} v_{gs1}^3 \quad (4)$$

$$i_{dB} = g_{1B} v_{gs2} + g_{2B} v_{gs2}^2 + g_{3B} v_{gs2}^3 \quad (5)$$

$$i_{dC} = g_{1C} v_{gs2} + g_{2C} v_{gs2}^2 + g_{3C} v_{gs2}^3 \quad (6)$$

위 식에서 v_{gs1} 과 v_{gs2} 는 CS FET와 CG FET의 각각의 소신호 게이트-소스 전압이다. 식 (3)의 c_i 의 정확한 값은 식 (5)와 (6)의 v_{gs2} 를 식 (3)으로 치환하고 KCL 조건인 $i_{dA} = i_{dB} + i_{dC}$ 를 풀어서 구할 수 있다. 그러나, 제안 방법의 동작원리 및 조건을 구하는 것은 식 (3)에서 1차 근사로 충분하다. 식 (3)의 1차 근사식과 식 (4)-(6)을 이용하고 CS FET의 드레인 노드에서 KCL를 적용하면, 주 신호 전달용 전류 버퍼인 CG FET M_B 의 출력 전류를 다음 식으로 구할 수 있다.

$$i_{dB} = i_{dA} - i_{dC} \approx (g_{1A} - c_1 g_{1C}) v_{gs1} + (g_{2A} - c_1^2 g_{2C}) v_{gs1}^2 + (g_{3A} - c_1^3 g_{3C}) v_{gs1}^3 \quad (7)$$

따라서 식 (5)의 계수는 다음 관계식을 갖게 된다.

$$g_{1B} \approx g_{1A} - c_1 g_{1C} \quad (8)$$

$$g_{3B} \approx g_{3A} - c_1^3 g_{3C} \quad (9)$$

그림 3에서 알 수 있듯이 c_1 의 부호는 양이고 값은 거의 1에 가깝기 때문에 M_B 가 부하에 전류를 제대로 전달하기 위해서는

$$c_1 g_{1C} \ll g_{1A} \quad (10)$$

의 조건을 만족해야 하며, M_B 에서 3차 비선형을 제거하기 위해서는

$$g_{3A} = c_1^3 g_{3C} \quad (11)$$

의 조건이 성립해야 한다. 따라서 M_C 는 M_A 와 부호와 크기가 거의 같은 3차 비선형성을 가져야하는 반면, 식 (10)에서 알 수 있듯이 트랜스컨덕턴스는 매우 작아야 한다.

식 (10), (11) 조건은 M_C 로 후막 FET를 사용하고,

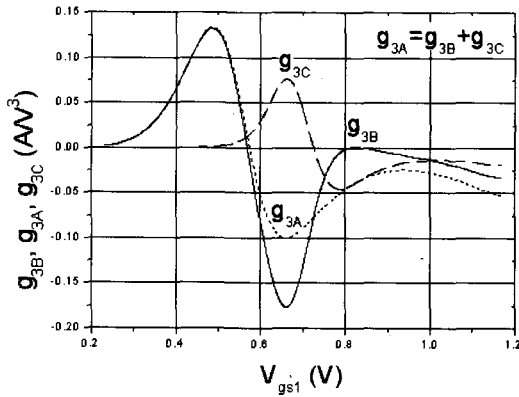


그림 4. v_{gs1} 에 대한 M_A, M_B, M_C 의 3차 비선형 계수
Fig. 4. The third order nonlinear coefficients of M_A, M_B and M_C versus v_{gs1} .

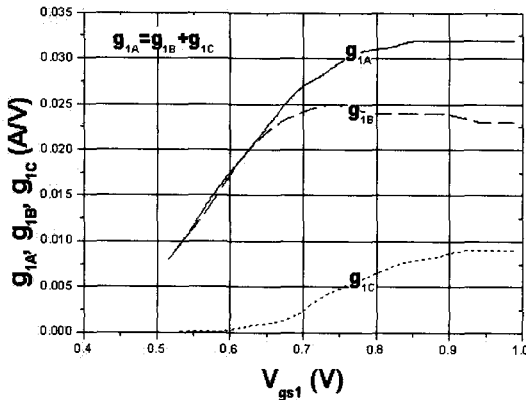


그림 5. v_{gs1} 에 대한 M_A, M_B, M_C 의 트랜스컨덕턴스
Fig. 5. The Transconductances of M_A, M_B and M_C versus v_{gs1} .

M_B 로 박막 FET를 사용한 뒤, 게이트의 W/L 비를 조절함으로써 구현 가능하다. 그림 4는 모의실험을 통해 조건 (11)을 만족하는 바이어스 영역이 존재함을 보인 것이다. M_C 는 후막 FET이기 때문에 같은 게이트 바이어스 조건에서 M_B 에 비해 작은 트랜스컨덕턴스를 갖는다. 그림 5는 이를 확인하기 위해 CS FET의 게이트 전압을 변화시키며 M_A, M_B, M_C 의 트랜스컨덕턴스를 비교한 것이다. 그림에서 알 수 있듯이 후막 FET의 특성으로 조건 (11)을 만족하는 바이어스 조건에서 M_C 의 트랜스컨덕턴스가 M_A 에 비해 충분히 작음을 확인할 수 있다. 그러나 완전히 무시할 정도의 값은 아니기 때문에 일정량의 이득 감소는 피할 수 없다. 또한 후치 선형화 기법을 이용하게 되면 추가적인 노이즈 소스인 M_C 로 인해 잡음지수도 다소 악화된다. 그러나 M_C 의 바이어스 전류가 M_B 에 비해 매우 작기 때문에 잡음 지수가 심각하게 악화되지는 않는다. 따라서 M_C 는 약

간의 이득과 잡음지수 열화를 수반하지만 M_A 에서 형성된 비선형 혼변조 전류만을 선택적으로 흡수하는 혼변조 흡수회로로 동작 가능하게 된다.

III. 차동증폭기의 설계 및 측정 결과

그림 6은 제안한 후치 선형화 기법을 이용한 CMOS 차동 증폭기의 회로도이다. M_A 의 3차 비선형 효과를 M_C 가 모두 흡수했을 경우 IIP3 (input referred third order intercept point)는 다음 식으로 계산된다^{[3][6]}.

$$IIP_3 = \frac{4g_1^2\omega^2L_sC_t}{3|\epsilon|} \quad (12)$$

$$\begin{aligned} \epsilon &= g_3 - \frac{2g_2^2/3}{g_1 + \frac{1}{j2\omega_0L_s} + j2\omega_0C_t + Z_s(2\omega_0)\frac{C_t}{L_s}} \\ &= g_3 - \frac{2g_2^2/3}{g_1(1 + j1.5Q_s)} \end{aligned} \quad (13)$$

g_i 는 v_{gs1} 에 대한 i_{dB} 전류의 i 차 전류 전달계수이고, ω_0 는 입력 정합 주파수이며, $Z_s(2\omega_0)$ 는 2차 고조파에서 CS FET의 소스 임피던스로 $Z_s(2\omega_0) = R_s + j2\omega_0L_g$ 가 된다. C_t 는 $C_{ex} + C_{gs}$ 이다. Q_s 는 입력 정합회로의 Q 값이다. 식 (13)은 비록 $g_3 = 0$ 일지라도 무한한 IIP3을 가질 수 없음을 나타낸다. 이는 앞

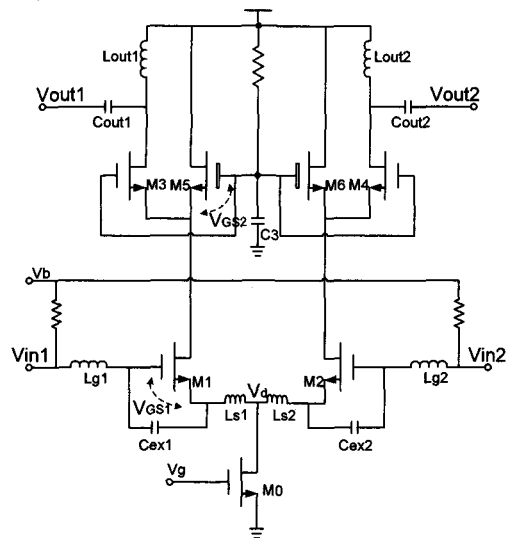


그림 6. 제안된 후치 선형화 기법을 이용한 CMOS 차동 증폭기의 회로도
Fig. 6. The circuit schematic of CMOS differential LNA using the proposed post-linearization technique.

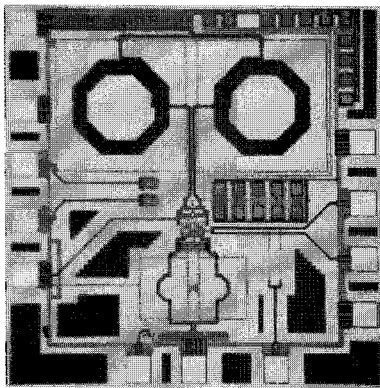


그림 8. 후치 선형화 기법을 이용한 CMOS 차동 LNA의 마이크로 사진

Fig. 8. Microphotograph of the fabricated CMOS differential LNA using post-linearization technique

의 해석에서 무시한 2차 비선형과 피드백에 의한 효과 때문이다. 그러나 식 (13)에서 입력단 정합회로의 Q 값을 잡음 정합에 알맞은 최적 값으로 놓을 경우 회로가 첫째항보다 두 번째 항이 무척 작기 때문에 회로의 선형성을 크게 향상 시킨다.

그림 6의 차동 LNA를 2.14GHz를 중심주파수로 하여 TSMC 0.18 μm CMOS 공정을 이용해 설계하였다. 그림 8은 실제 제작된 회로의 현미경사진이다.

이 차동 증폭기의 성능을 평가하기 위해 COB (chip-on-board) 형태로 측정을 수행하였다. 입력 정합용 인덕터는 표면실장형 고품질 인덕터를 사용하였고, 차동 입력은 180° 링하이브리드로 구현하였다. 잡음지수 측정에서 링 하이브리드의 손실을 보상하기 위해 확장된 Friis 식^[7]을 이용하였다. 측정 결과는 표 1과 같다.

그림 9는 LNA의 two-tone 측정 결과이며, IIP3는 11dBm으로 혼변조 흡수회로 M_C 를 끈 상태에서 측정 한 결과에 비해 7.5dB의 개선된 것이다. 혼변조 흡수회로의 영향으로 0.5dB의 이득 감소와 0.2dB의 잡음지수 증가가 발생함을 확인하였다.

표 1. CMOS 차동 LNA 측정 결과 (2.14GHz)
Table 1. Measurement results of CMOS differential LNA. (2.14GHz)

	With IMD method	Without IMD method
Gain	15.5dB	16.0dB
NF	2.85dB	2.65dB
IIP ₃	11dBm	3.5dBm
I _{dc} @1.8V	12.4mA	12.4mA

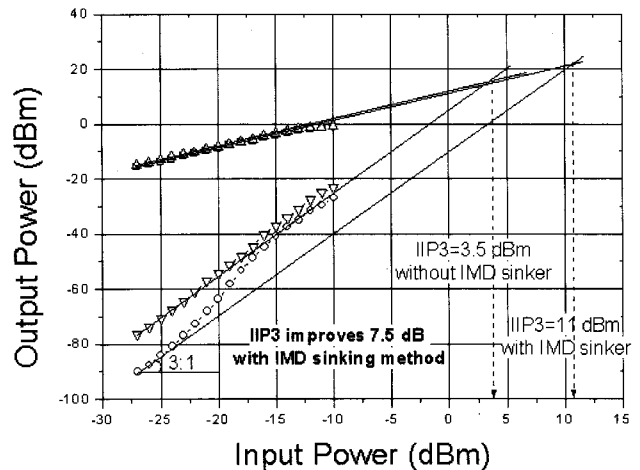


그림 9. 차동 LNA의 two-tone 측정 결과

Fig. 9. Two tone measurement results of differential LNA.

IV. 결 론

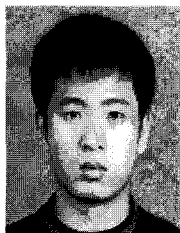
본 논문에서는 두 개의 CG FET 단을 사용한 캐스코드형 CMOS LNA의 새로운 선형화 방법을 제안하였다. 제안한 선형화 기법은 캐스코드형 LNA의 CG 단에 후막 NMOS를 병렬로 추가하여 혼변조 흡수회로로 동작 시킴으로써 선형성을 개선시키는 방법이다. 이를 이용한 후치 선형화 기법은 약간의 이득 및 잡음지수의 저하를 수반하지만 선형성을 상당히 향상시킬 수 있음을 실험적으로 확인하였다.

참 고 문 헌

- [1] Behzad Razavi, *RF Microelectronics*, Prentice Hall, Inc., 1998.
- [2] T. Kim, B. Kim, and K. Lee, "Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated transistors," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 223 - 229, Jan. 2004.
- [3] V. Aparin and L. E. Larson, "Modified derivative superposition method for linearizing FET low noise amplifiers," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 571 - 581, Feb. 2005.
- [4] D. K. Shaeffer and T. H. Lee, *The Design and Implementation of Low-Power CMOS Radio Receivers*, Norwell, MA: Kluwer, 1999.
- [5] P. Andreani and H. Sjolund, "Noise optimization of an inductively degenerated CMOS low noise amplifier," *IEEE Trans. Circuits Syst.*, vol. 48, no. 9, pp. 835 - 841, Sep. 2001.

- [6] Tae-Sung Kim and Byung-Sung Kim, "Post-Linearization of Cascode CMOS Low Noise Amplifier Using Folded PMOS IMD Sinkers," *IEEE MWCL*, vol. 16, no. 4, April, 2006.
- [7] A. A. Abidi and J. C. Leete, "De-embedding the noise figure of differential amplifiers", *IEEE J. Solid-State Circuits*, pp. 882-885, 1999.

 저 자 소 개



Guo-chi Huang(학생회원)
 2003년 하얼빈 공대 Welding
 Technique and Engineering
 학사 졸업.
 2005년 하얼빈 공대
 Microelectronics and
 Solid-State Electronics
 석사 졸업.

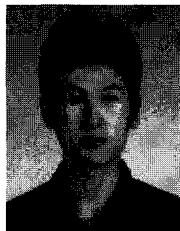
2005년~현재 성균관대학교 전기전자컴퓨터
 공학과 박사과정

<주관심분야 : RFIC 설계 >



김 태 성(학생회원)
 2002년 성균관대학교 전기전자
 컴퓨터공학부 학사 졸업.
 2004년 성균관대학교 전기전자
 컴퓨터공학과 석사 졸업.
 2004년~현재 성균관대학교
 전기전자컴퓨터공학과
 박사과정

<주관심분야 : RFIC 설계 >



김 성 균(학생회원)
 2007년 성균관대학교 정보통신
 공학부 학사 졸업.
 2007년~현재 성균관대학교
 전기전자컴퓨터공학과
 석사과정

<주관심분야 : RFIC 설계 >



김 병 성(정회원)
 1984년 서울대학교 전자공학과
 학사 졸업.
 1991년 서울대학교 전자공학과
 석사 졸업.
 1997년 서울대학교 전자공학과
 박사 졸업

1997년~현재 성균관대학교 정보통신공학부
 부교수

<주관심분야 : RFIC 설계, RF 소자 모델링>