

논문 2007-44TC-7-2

## SDR을 위한 다중밴드 Octa-Phase LC 전압제어 발진기 설계

(Design of Multiband Octa-Phase LC VCO for SDR)

이 상 호\*, 한 병 기\*\*, 이 재 혁\*, 김 형 동\*\*\*

(Sangho Lee, Byungki Han, Jaehyuk Lee, and Hyeongdong Kim)

## 요 약

본 논문에서는 다중밴드 직접 변환 수신기를 위한 Octa-Phase 전압 제어 발진기를 제안하였다. Octa-Phase 신호와 저 위상잡음을 얻기 위해 4개의 LC VCO를 직렬 커플링 트랜지스터를 이용해 연결하였다. 멀티 밴드 특성을 얻기 위해 밴드 튜닝 회로가 제안되었다. MOS 스위치가 켜짐/꺼짐에 따라서 주파수 범위는 변화한다. 2개의 varactor를 사용해 VCO의 발진 주파수의 공정상의 오차를 최소화하였다. 본 논문에서는 0.18 um CMOS 공정을 이용해 발진기를 설계하였다. 측정 결과 1.8V 공급전압에 12mA의 전류를 소모하였고, 885MHz~1342MHz 사이의 범위에서 동작하여 3개의 표준(CDMA 20001x, WCDMA, WiBro)에서의 sub-harmonic 혼합기를 구동시킬 수 있는 동작 범위를 만족시킨다. 측정된 위상잡음은 각각 CDMA 2000 1x 대역에서는 -105dBc@100kHz, WCDMA 대역에서는 -115dBc@1MHz, WiBro 대역에서는 -130dBc@10MHz으로 나타났다.

## Abstract

This paper presents a multiband octa-phase LC VCO for SDR receiver. Four identical LC VCOs are connected by using series coupling transistor to obtain the octa-phase signal and low phase noise characteristic. For a multiband application, a band tuning circuit that consists of a switch capacitor circuit and two MOS varactors is proposed. As the MOS switch is on/off state, the frequency range will be varied. In addition, two varactors make the VCO be immune to process variation of the oscillation frequency. The VCO is designed in 0.18-um CMOS technology, consumes 12mA current from 1.8V supply voltage and operates with a frequency band from 885MHz to 1.342GHz (41% tuning range). As driving sub-harmonic mixer, the proposed VCO covers 3 standards(CDMA 2000 1x, WCDMA, WiBro). The measured phase noise is -105dBc@100kHz, -115dBc@1MHz, -130dBc@10MHz for CDMA 2000 1x, WCDMA, WiBro respectively.

**Keywords:** VCO, Octa-Phase, Sub-harmonic, SDR

## I. 서 론

최근의 이동 통신 기술의 급속한 발달로 다양한 통신 서비스가 출현하고 있다. 다양한 통신 서비스들은 각각의 동작주파수와 규격을 지닌다. 이러한 다양한 통신 서비스를 통합 구현하는 컨버전스 단말기의 출현이 기대된다. 이러한 방법 중의 하나로 SDR(Software

Defined Radio) 기술이 제안되었다. 이는 소프트웨어로써 전파를 제어해 다양한 통신 서비스 신호를 처리할 수 있게 하는 기술이다<sup>[1]</sup>. 이를 위해서는 제어 가능한 다중 밴드(모드)의 RF 송수신기 개발이 필수적이다. 본 논문에서는 전압으로 다중 밴드 튜닝이 가능한 VCO를 제안하였다.

일반적으로 RFIC 송수신기 구조에서는 간단한 구조로 인해 적은 칩 면적을 가지고, 제작비용을 낮출 수 있으며, 공정상의 변화에 영향이 적은 이점을 지니는 직접변환방식의 구조가 선호된다. 직접변환방식의 수신기 구조는 DC offset 문제, LO self-mixing과 같은 단점을 지니고 있다. 이러한 문제는 sub-harmonic 혼합기를 사용함으로써 개선이 가능하다. sub-harmonic 믹서를 사용하게 되면 혼합기의 LO신호가 수신 주파수의 절반으

\* 학생회원, 한양대학교 전자통신컴퓨터공학과  
(Department of Electrical & Computer Engineering,  
Hanyang University)

\*\* 정회원, 삼성전자  
(Samsung Electronics)

\*\*\* 정회원, 한양대학교 전자통신컴퓨터공학과  
(Department of Electrical & Computer Engineering,  
Hanyang University)

접수일자: 2007년7월12일, 수정완료일: 2007년7월18일

로 입력되기 때문에 앞에서의 문제를 해결 할 수 있다<sup>[2]</sup>. Sub-harmonic 혼합기의 구동을 위해서는 Octa-Phase 신호를 출력할 수 있어야 한다<sup>[3]</sup>.

본 논문에서는 LC VCO 4개를 직렬로 커플링시켜 Octa-Phase 신호를 얻었다. 기존의 VCO는 병렬로 연결되어 커플링 트랜지스터의 flicker 노이즈가 VCO의 위상 잡음을 악화시키는 문제를 가졌다<sup>[4]</sup>. 이 문제를 개선하기 위해 직렬 커플링 트랜지스터로 연결되는 VCO 구조를 제안하였다.

VCO의 다중 밴드 특성을 얻기 위해 밴드 튜닝 회로를 적용하였다. 이 회로는 2개의 MOS switch capacitor 회로와 2개의 MOS varactor로 구성 되었다.

## II. 본 론

### 1. VCO 설계

#### 가. Octa-Phase 신호의 생성

그림 1과 같이 Octa-Phase 신호를 생성하기 위해 차동 신호를 생성하는 동일한 4개의 VCO를 연결하였다. 각각의 VCO는 발진을 위해 cross-coupled되어 있는 transistor 외에 별도로 이들 신호를 다른 VCO와 서로 커플링할 수 있는 coupling transistor가 연결되어 있다. 각 VCO는 바로 옆의 VCO의 positive node와 negative node끼리 연결된다. 동일한 구조이기 때문에 8개의 신호(Ap, An, Bp, Bn, Cp, Cn, Dp, Dn)는 같은 주파수와 크기를 지닌다.

여기서 각 VCO는 차동 출력을 가지기 때문에 두 출력간의 위상차가 180°이다. VCO\_A의 입력인 Dn이 0°의 위상이라면, 이 신호가 4개의 VCO를 통과한 후 Dp로 출력이 나타난다. Dn과 Dp는 차동신호이므로 신호의 크기는 같으나 위상 차이는 180°가 된다. 즉, 0°의 위상을 가지는 Dn의 VCO 신호가 총 4단의 positive 단자를 거치면서 180°의 위상을 가져야 하므로 각각의 VCO에서 45°의 위상 변화를 갖게 된다. 다시 말해, Dn이 0°의 위상을 가진다면, Ap, Bp, Cp는 45°, 90°, 135°의 위상을 가진다. 같은 원리로 Negative 단자에 연결되어

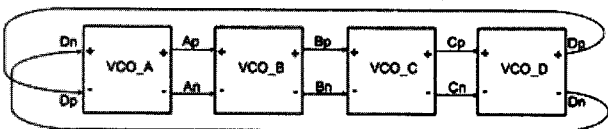


그림 1. Octa-Phase VCO의 Block도  
Fig. 1. Block diagram of Octa-Phase VCO.

있는 Dp, An, Bn, Cn의 신호들은 각각 180°, 225°, 270°, 315°의 위상 차이를 보인다.

### 2. 밴드 튜닝 회로

VCO의 다중밴드 특성을 위해 튜닝 범위를 늘리도록 밴드 튜닝 회로를 설계하였다. 이 회로는 그림 2와 같이 2-비트의 스위치 capacitor 배열과 2개의 MOS varactor로 구성된다. 2개의 capacitor(Ca, 2Ca)는 각각 MOS 스위치(M1, M2)와 직렬로 연결되어 있다. V<sub>ctrl1</sub>, V<sub>ctrl2</sub>에 전압을 인가하여 MOS switch를 on/off 시킴에 따라, 공진 주파수의 밴드가 변하게 된다.

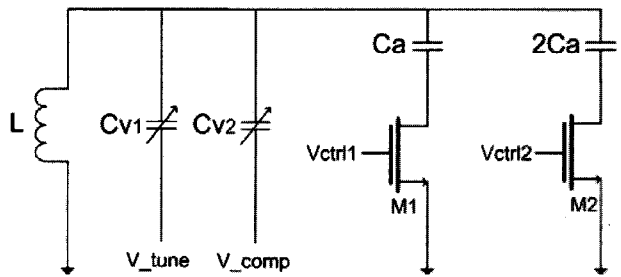


그림 2. 밴드 튜닝 서킷이 포함된 LC 탱크회로도  
Fig. 2. LC tank circuit including band tuning circuit.

Varactor 부분(Cv1, Cv2)에서는 스위칭 회로와 달리 연속적인 전압의 인가가 가능하기 때문에, 공진주파수 변화에 유연한 대처를 할 수 있다. V<sub>tune1</sub>은 실제 채널 선택을 위한 제어 전압이고 V<sub>tune2</sub>는 추가적으로 주파수 범위를 변화시키기 위한 것이다. 또한 V<sub>tune2</sub>를 추가함으로써 공정 오차나 기생 성분으로 인한 동작 주파수의 변화에 대처할 수 있다.

2개의 Varactor는 동일한 크기를 갖고, capacitor 배열에서 M1은 M2의 2배의 너비를 갖고 연결된 MIM capacitor의 크기도 2배이다.

제시된 VCO의 발진 주파수는 다음과 같다.

$$f_{max} = \frac{1}{2\pi\sqrt{L(C_{v1.min} + C_{v2.min} + C_{MOS.switch.min})}} \quad (1)$$

$$f_{min} = \frac{1}{2\pi\sqrt{L(C_{v1.max} + C_{v2.max} + C_{MOS.switch.max})}} \quad (2)$$

### 3. VCO 회로

VCO의 회로도도 그림 3과 같다. NMOS 트랜지스터(M1~M8)와 PMOS 트랜지스터(M9~M16)는 대칭으로 구성되어 있고, 각각 NMOS와 PMOS 트랜지스터는 Cross-coupled로 연결되어 발진한다. NMOS와 PMOS

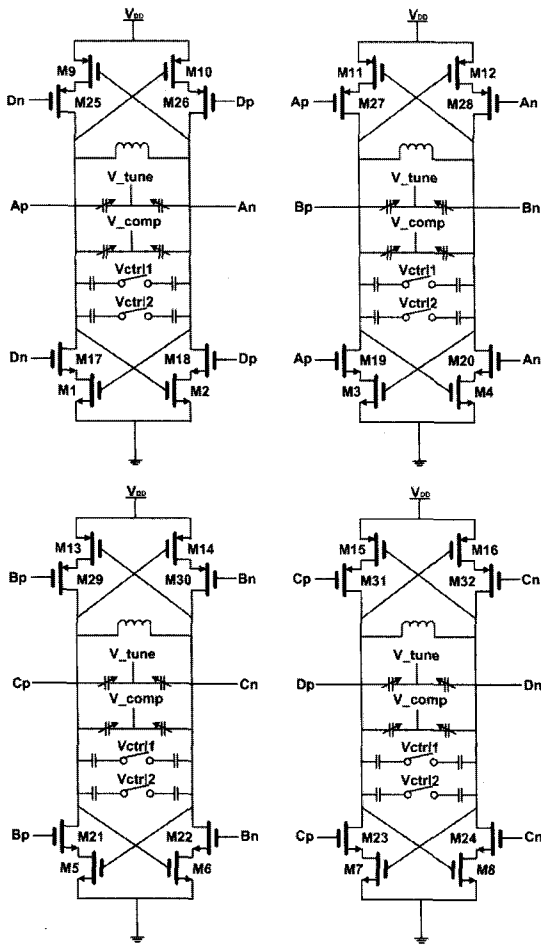


그림 3. VCO 회로도  
Fig. 3. VCO circuit.

의 직렬 연결하여 부성 저항 성분을 크게 해 전체적인 전력 소모를 줄였다. 이 때, 대칭적인 발진 파형을 갖도록 NMOS와 PMOS의 크기를 적절히 조절하였다.

이 스위칭 트랜지스터들(M1~M16)과 cascode로 연결된 M17~M32는 Octa-Phase 신호를 생성하기 위한 커플링 트랜지스터들이다. 병렬연결에 비해 이러한 직렬연결은 MOS 트랜지스터의 플리커 잡음을 억제하기 때문에 더 낮은 위상 잡음을 얻을 수 있다.

스위칭 트랜지스터와 커플링 트랜지스터의 상대적인 너비의 차이는 위상 잡음을 줄이는데 중요한 인자이다. 본 논문에서 커플링 트랜지스터와 스위칭 트랜지스터의 너비는 5:1로 정하였다.

### III. 실험

#### (1) 설계 및 시뮬레이션

VCO는 0.18um CMOS 공정을 기반으로 설계되었다. VCO에 인가된 전압은 1.8V이고 이때의 전류는

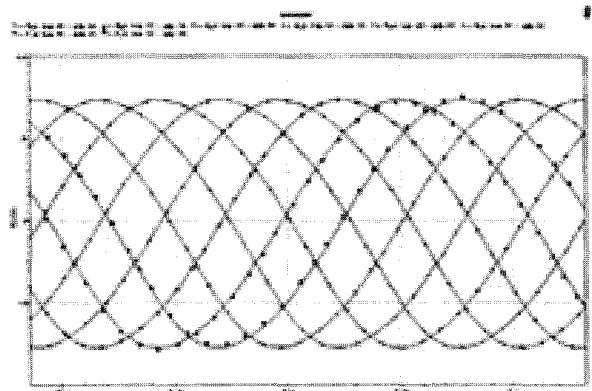


그림 4. 시간영역에서의 VCO 출력 파형  
Fig. 4. Waveforms of VCO in time domain.

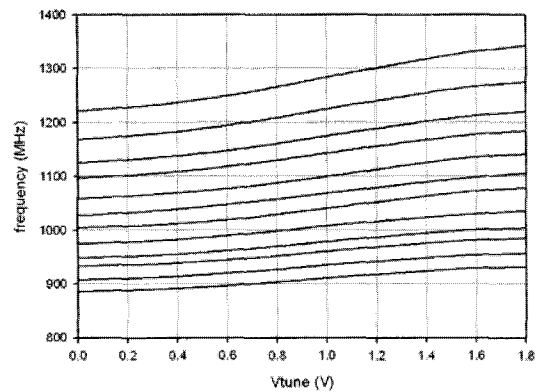


그림 5. VCO의 주파수 범위  
Fig. 5. Frequency range of VCO.

9.52mA이었다.

그림 4에는 설계된 VCO의 시간영역에서의 출력 파형이 나타나 있다. 8개의 sinusoidal 파형들이 각각 약 0.9V의 크기로 나타나고, 각각 45°의 위상 차이를 보인다. 시뮬레이션상 위상 오차는 0.5° 미만이었다.

다중 대역 주파수 특성은 그림 5에 나타나 있다. 채널 선택을 위한 MOS varactor(V\_tune)의 제어 전압은 0~1.8V까지 변화시켰다. 2-비트 capacitor 배열로 구성된 밴드 스위치 회로에서 MOS 스위치 회로의 전압은 0V 와 1.8V로 4가지 조합을 인가하였다 : C(0,0), C(0,1), C(1,0), C(1,1). 주파수 보상을 위한 두 번째 MOS varactor(V\_comp)에는 0V, 0.9V, 1.8V의 전압을 각각 인가하였다. 그 결과로 885MHz~1340MHz의 대역에서 발진함을 볼 수 있다. 이는 설계 목표로 했던 주파수 대역(CDMA 2000 1x, WCDMA, WiBro)의 절반 주파수를 충분히 포함하는 대역임을 알 수 있다.

그림 6에서 위상 잡음 특성은 시뮬레이션상에서 -107dBc@ 100kHz, -133dBc@1MHz, -155dBc@10MHz

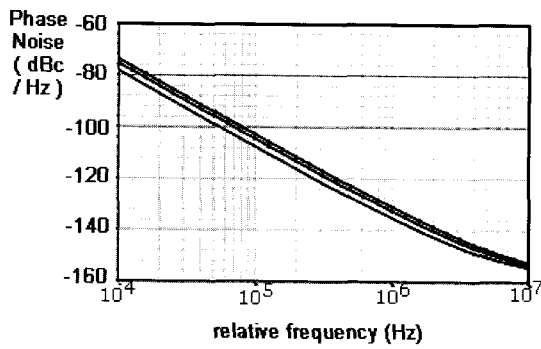


그림 6. VCO의 위상 잡음 특성  
Fig. 6. Phase noise characteristics of VCO.

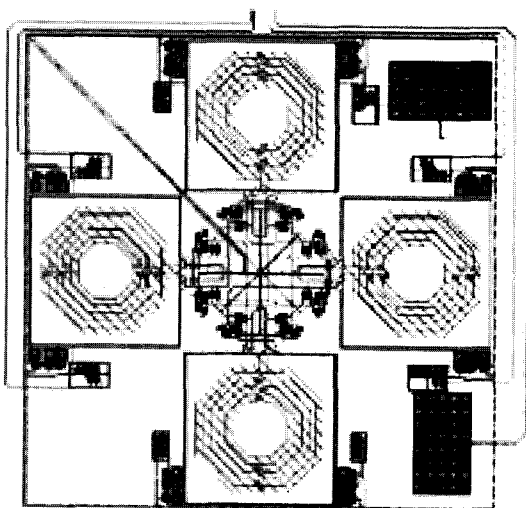


그림 7. 설계된 VCO의 레이아웃  
Fig. 7. Layout of designed VCO.

로 나타났다. 이 결과 역시 각 통신 규격에 만족하는 특성을 보여준다.

그림 7은 설계된 VCO의 레이아웃으로 크기는 2090um \* 2090um 이다.

(2) 측정 결과

그림 8은 제작된 VCO의 주파수 스펙트럼을 보여주고 있다. 그림 9는 제작된 VCO의 위상잡음 측정 결과를 보여주고 있다.

표 1은 제작된 VCO의 측정결과와 각 통신규격을 비교하였다. 전체 통신규격은 1.84GHz~2.4GHz인데, 본 발진기는 sub-harmonic 혼합기에 사용되는 발진기 이므로 그 절반인 0.92GHz~1.2GHz의 발진 주파수 범위를 확보하면 된다. 표에 나타난 바와 같이 3개의 통신 대역을 모두 포함함을 볼 수 있고, 각각의 위상 잡음 특성도 규격을 수용함을 볼 수 있다.

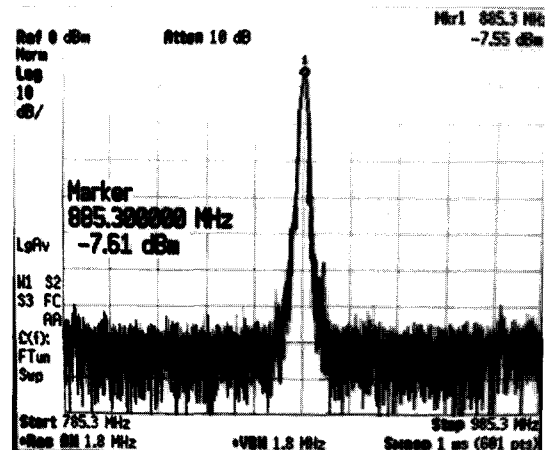


그림 8. 주파수 스펙트럼  
Fig. 8. Frequency spectrum.

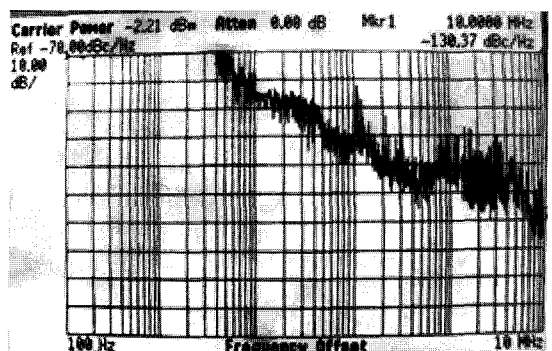
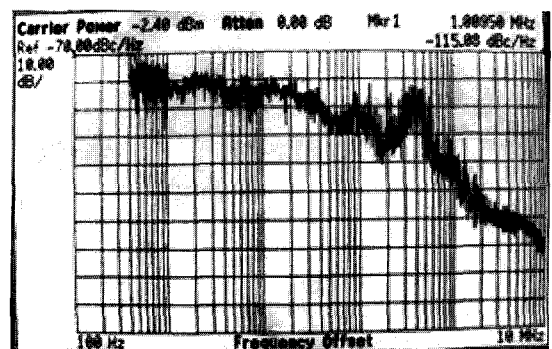
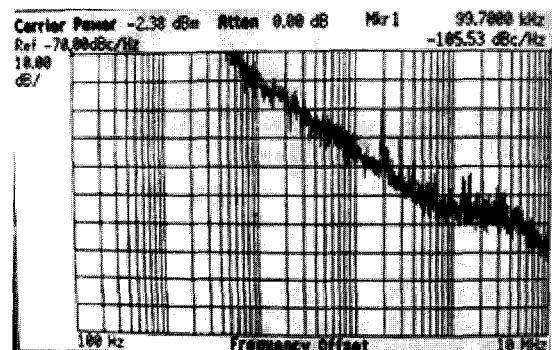


그림 9. 제작된 VCO의 위상 잡음 측정 결과 (@100kHz, @1MHz, @10MHz)  
Fig. 9. Measurement of VCO phase noise (@100kHz, @1MHz, @10MHz).

표 1. VCO의 각 통신 규격과 측정 결과

Table 1. VCO requirement vs. measurement.

frequency range	Phase noise (Requirement)	VCO frequency range
CDMA (1.84GHz~1.87GHz)	-105dBc@100kHz (-102dBc@100kHz)	0.855GHz ~1.342GHz
WCDMA (2.11GHz~2.17GHz)	-115dBc@1MHz (-113dBc@1MHz)	
WiBro (2.3GHz~2.4GHz)	-130dBc@10MHz (-125dBc@10MHz)	

#### IV. 결 론

본 논문은 다중 밴드 직접변환수신기에 사용되는 sub-harmonic 혼합기를 구동시키기에 적합한 Octa-Phase VCO를 제안하였다. 위상 잡음 특성을 개선하기 위해 4개의 동일한 VCO들을 직렬 커플링 트랜지스터로 연결하였다. MOS 스위치와 varactor를 혼합한 밴드 스위치 회로를 이용하여 다중밴드 특성을 구현하였다. 그 결과 원하는 통신 대역(CDMA 2000 1x, WCDMA, WiBro)의 위상잡음과 주파수 범위를 만족시키는 VCO를 구현하였다.

#### 참 고 문 헌

- [1] Walter Tuttlebee, *Software Defined Radio Enabling Technologies*, John Wiley and Sons, Inc., 2002.
- [2] Upadhyaya, P. Rajashekharaiyah, M. Yang Zhang, Deukhyoun Heo, Yi-Jan Emery Chen, "A 5 GHz novel 0.18-/spl mu/m inductor-less CMOS sub-harmonic mixer", *Microelectronics and Electron Devices*, 2005. WMED '05. 2005IEEE Workshop, pp.71 - 74, April. 2005.
- [3] Ji-Hoon Kim, Hyung-Joun Yoo, "Low power octa-phase LC VCO for direct conversion 5 GHz WLAN receiver", *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, Vol 5, pp.4-7 Dec. 2005.
- [4] P. Andreani, A. Boonafanti, L. Romano, C. Samori, "Analysis and design of a 1.8-GHz CMOS LC quadrature VCO" *IEEE Solid-State Circuits*, Vol 37, Issue 12, pp.1737-1747, Dec. 2002.

#### 저 자 소 개

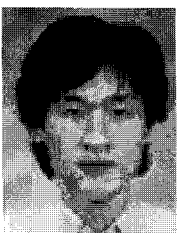


이 상 호(학생회원)  
2000년 한양대학교 전자전기 공학부 학사 졸업.  
2002년 한양대학교 전자전통신 전파공학과 석사 졸업.  
2007년 한양대학교 전자컴퓨터 통신공학과 박사과정.

<주관심분야 : RFIC 능동 회로 설계>



이 재 혁(학생회원)  
2006년 충남대학교 전자전파 공학부 학사 졸업.  
2007년 한양대학교 전자컴퓨터 통신공학과 석사과정.  
<주관심분야 : RFIC 능동 회로 설계>



한 병 기(정회원)  
2005년 한양대학교 전자컴퓨터 공학과 학사 졸업.  
2007년 한양대학교 전자컴퓨터 통신공학과 석사 졸업.  
2007년~현재 삼성전자 정보통신 총괄

<주관심분야 : RFIC 능동 회로 설계>



김 형 동(정회원)-교신저자  
1984년 서울대학교 전자공학과 학사 졸업.  
1986년 서울대학교 전자공학과 석사 졸업.  
1992년 Univ. of Texas at Austin 박사 졸업

1993년~현재 한양대학교 전자컴퓨터통신공학부 교수  
<주관심분야 : 전자파수치해석, 안테나공학, EMI/ EMC, RFIC 설계>