

논문 2007-44SD-7-4

# 광 로직 게이트 구현을 위한 차동구조 Vertical Cavity Laser - Depleted Optical Thyristor에 관한 연구

(Differential switching operation of vertical cavity laser with depleted optical thyristor for optical logic gates)

최운경\*, 김두근\*, 최영완\*

(Woon-Kyung Choi, Doo-Gun Kim, and Young-Wan Choi)

## 요약

본 연구에서는 광 논리 및 광 스위칭 시스템에 응용할 수 있는 수직 구조 레이저 - 완전 공핍 광 싸이리스터 (vertical cavity laser - depleted optical thyristor, VCL-DOT)를 제작하고, 본 연구실에서 제안한 차동 스위칭 방법을 이용하여 광 로직(AND, OR, NAND, NOR, INVERT) 함수를 구현하였고, 그 특성을 측정, 분석하였다. 제작한 VCL-DOT는 0.65 mA의 낮은 레이징 문턱 전류, 0.38 mW/mA의 높은 slope efficiency, 그리고 낮은 입력 광파워에도 높은 민감도를 보인다. 차동 소자 타입의 광 싸이리스터를 이용하면 복잡한 전기 회로를 이용하지 않고도, 집적화된 단일 소자에서 간단한 기준 광입력 신호의 파워를 제어함으로써 다양한 광 로직 게이트를 구현할 수 있다는 장점을 갖는다.

## Abstract

Latching optical switches and optical logic gates with AND or OR, and the INVERT functionality are demonstrated, for the first time, by the monolithic integration of a differential typed vertical cavity laser with depleted optical thyristor (VCL-DOT) structure with a low threshold current of 0.65 mA, a high slope efficiency of 0.38 mW/mA, and high sensitivity to input optical light. Many kinds of logic functions (AND, OR, NAND, NOR, and INVERT) are experimentally demonstrated using a differential switching operation scheme changing the intensity of a reference input beam without any changes of electrical circuits.

**Keywords:** 수직 구조 레이저 (Vertical Cavity Laser), 완전공핍 광 싸이리스터 (Depleted Optical Thyristor), 광 로직 게이트 (Optical Logic Gates)

## I. 서론

고속의 전송 속도와 더 많은 데이터 요구에 따른 광 네트워크에서 접속 용량이 증대됨에 따라 광접속 시스템을 제어할 전자회로가 점차 복잡해지고 비대해지며, 그 한계에 다다르고 있는 실정이다. 이러한 문제점에

직면하여 전자회로에서 부담하고 있는 제어, 판단, 스위칭 기능을 광소자 자체에서 해결하고자 하는 노력이 활발히 연구되어지고 있다. 이에 발맞추어, vertical-to-surface transmission electro-photonics<sup>[1-2]</sup>와 vertical cavity lasers with a depleted optical thyristor<sup>[3-4]</sup>와 같은 디바이스 레벨에서 전자적으로 뿐만 아니라 광 스위칭 기능을 수행할 수 있는 몇몇 소자들이 제안된 바 있다. 이들 소자는 광 출력, 광 검출, 광 스위칭, 메모리로서의 특성, 그리고 광 로직으로서의 기능을 함께 수행할 수 있는 기능 소자이다<sup>[5-8]</sup>. 뿐만 아니라 PnpN 구조를 갖는 소자들은 그 차체만으로 높은 on/off 대비, 이차원 배열, 그리고 빠른 응답속도 등의 다양한 장점을 갖는다<sup>[9-12]</sup>.

\* 정회원, 중앙대학교 전자전기공학부  
전파광파통신연구실  
(Microwave and Lightwave Telecommunications Lab., Chung-ang University)

※ 본 논문은 'ERC OPERA (R11-2003-002)'와 '한국 과학재단 특정기초연구 (R01-2005-000-10176-0 (2007))' 지원에 의한 것임.

접수일자: 2007년3월1일, 수정완료일: 2007년6월21일

모든 불린(Boolean) 로직 함수는 기본적인 세 가지 함수 즉, AND, OR, INVERTER를 구현할 수 있다면, 그들 각각의 조합으로 구현이 가능하다. 하지만, 직렬, 병렬의 조합으로 구현을 하면, 면적이 커질 뿐만 아니라 전기적, 광 패키징의 문제를 수반한다. 이렇게 면적의 축소, 복잡한 집적화 구현을 위해 그리고 각 소자의 단순화 및 열 문제의 해결을 위하여 다양한 로직을 구현할 수 있는 단일 집적이 절실하다. 본 논문에서는 다양한 기능을 수행하는 DOT구조를 삽입하여, 보다 낮은 역방향 전압에서 완전 공핍을 형성하면서도, 낮은 문턱 전류에서 레이징을 할 수 있는 Vertical Cavity Laser - Depleted Optical Thyristor (VCL-DOT)를 단일 직접 화하여 제작하였고, 본 연구실에서 제안한 차동 스위칭 방식을 이용하여 하나의 소자에서 직, 병렬의 전자회로의 접근 없이, 광 AND-gate와 OR-gate, 그리고 그 INVERT 함수인 NAND-gate와 NOR-gate를 모두 구현하였으며, 그 특성을 측정, 분석하였다.

## II. 차동 광 싸이리스터의 동작 원리

광 싸이리스터의 기본적인 구조 및 동작원리는 본 연구실에서 이미 설명한 바 있다.<sup>[3~4]</sup> 본 논문에서는 차동 광 싸이리스터의 동작원리에 대하여 설명하고자 한다. 차동 광 싸이리스터는 그림 1(a)에서 보는 바와 같이 두 개의 단일 광 싸이리스터를 병렬로 연결하고, 직렬 로드 저항을 연결한 구조이다. 광 싸이리스터의 효율적인 광 스위칭을 위해서는 빛이 가운데 영역에서만 흡수되어 광전류 생성에 기여하여야 하므로 대개  $J_1$ 과  $J_3$ 가 이중 접합인 이중 이중 접합(double-hetero junction)을 사용한다.

그림 1(b)는 광 싸이리스터의 전류-전압 특성 곡선( $C_1$ )으로 S자 모양의 비선형 특성을 가지며, (i) 순방향 비전도(forward blocking) 영역으로 높은 임피던스의 off 상태, (ii) 부정 저항(negative resistance) 영역, (iii) 순방향 전도(forward conducting) 영역으로 낮은 임피던스의 on 상태로 나눌 수 있다. 적당한 외부 전압( $V_D$ )과 외부 저항(R)을 연결하면 부하선(load line)  $L_1$ 이 정해지며, 특성 곡선과 두 개의 안정된 동작점(bi-stability)을 결정하는데, 동작점  $S_1$ 은 off 상태를, 동작점  $H_1$ 은 on 상태를 나타낸다.  $I_h$ 와  $V_h$ 는 홀딩 포인트(holding point)로, 각각 홀딩 전류, 홀딩 전압을 나타낸다.  $I_s$ 와  $V_s$ 는 각각 스위칭 전류, 스위칭 전압으로 이 점을 경계로 off 상태에서 on 상태로의 스위칭이 일어

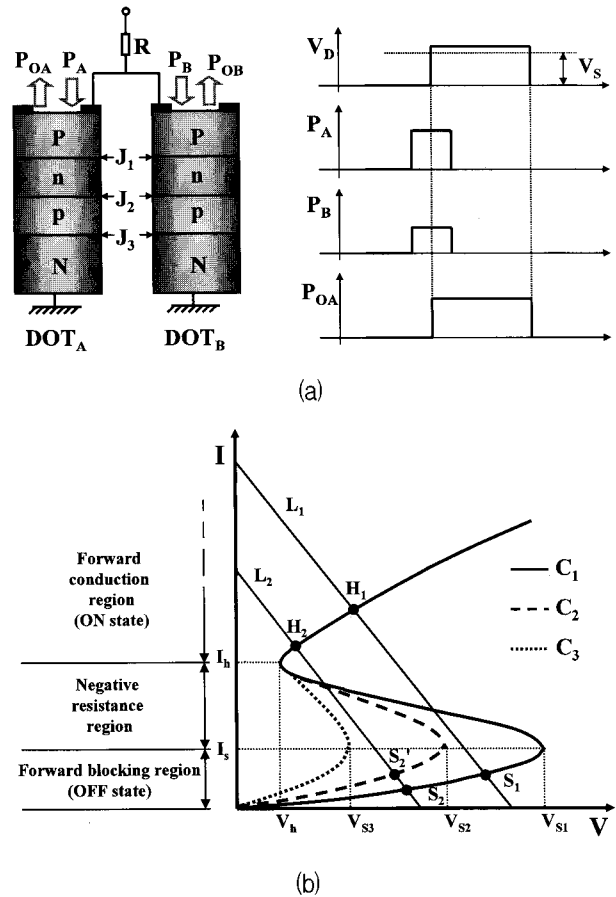


그림 1. (a) 차동 DOT 구조의 단면도 및 동작원리 (b) optical thyristor의 전류-전압 특성.

Fig. 1. (a) schematic and timing diagram of differential-typed optical thyristor structure (b) current-voltage characteristics of optical thyristor.

난다. 그림 1(a)와 같은 차동 광 싸이리스터 소자는  $V_D$ 를  $V_s$  보다 다소 큰 전압을 가한 상태에서 작은 광 펄스 신호를 인가하여, 전류-전압 특성 곡선을 변화시켜 스위칭을 하게 한다. 광 신호는 가운데 접합의 공핍 영역(depletion region)에서 흡수되어 광 전류를 발생시키며, 입력 빛이 없을 때의  $C_1$ 과 같은 전류-전압곡선에서 작은 광신호가 인가되면  $C_2$ 로, 보다 큰 세기의 광신호가 인가되면  $C_3$ 로 스위칭 전압을 작게 만들어 스위칭을 가능케 한다.

여기서, 그림 1(a)와 같은 차동 소자 타입의 완전공핍 광 싸이리스터를 이용하여, 광 로직 게이트를 구현하는 동작 원리에 대해서 알아보기로 한다. 먼저, 그림에서와 같이 두 광 입력신호( $P_A, P_B$ )가 있을 때,  $P_A$ 는  $DOT_A$ 로 입사되는 광 입력신호이고,  $P_B$ 는  $DOT_B$ 로 입사되는 광 입력신호이다.  $P_{OA}$ 와  $P_{OB}$ 는 각각  $DOT_A$ 와  $DOT_B$ 로부터 나오는 광 출력신호이다.  $P_A$ 의 광 입력신호의 크기가

$P_B$  보다 크다고 가정 할 때, 먼저  $DOT_B$ 를 통하여 입사되는 광 입력신호의 크기( $P_B$ )에 의해서  $DOT_B$ 의 스위칭 전압은 그림 1(b)에서의  $V_{S2}$ 와 같이 줄어들게 된다. 하지만  $DOT_A$ 를 통하여 입사되는 광 입력신호의 크기( $P_A$ )가  $P_B$ 에 비하여 큰 신호가 입력되므로  $DOT_A$ 의 스위칭 전압은 그림 1(b)의  $V_{S3}$ 와 같이 더 작은 스위칭 전압을 갖게 될 것이다. 다시 말해, 보다 큰 광 입력신호는 DOT 가운데 공핍영역에서 보다 더 많은 전자-정공 쌍을 발생 시키며, 그에 따른 광 싸이리스터의 전류-전압 특성곡선에서 더 작은 스위칭 전압을 만든다. 이 때 외부 전압곡선을  $L_1$ 과 같이 인가하였을 경우,  $DOT_A$ 가 먼저 턴온 상태로 트리거 되며, 순방향 전도 영역에 놓여 레이징 빛을 발한다. 더 큰 광 입력신호를 갖는 DOT가 턴온 상태로 되면 그 DOT를 통해 흐르는 전류는 전압강하를 야기 시키며 그 결과 먼저 턴온 상태로 트리거 된 DOT의 전압은 빠르게 떨어지고, 완전히 턴온 상태로 트리거 되는 반면 다른 DOT는 턴오프 상태를 유지하게 된다. 다시 말해, 차동구조 광 싸이리스터는 입력되는 두 광 파워를 비교하여 보다 큰 입력 광 파워를 갖는 DOT를 턴온 시키는 광 비교기(optical comparator), 광 스위치(optical switch), 광 로직게이트(optical logic gate)의 구현이 가능하다.

### III. 실험 및 결과

에피 웨이퍼는 Metal Organic Chemical Vapor Deposition (MOCVD)를 이용하여 성장하였다. PnpN 활성 영역은 상, 하 두 개의 DBR 미러에 의해 둘러싸여 있으며, DBR의 성장은 직렬 저항값을 줄이고 보다 우수한 반사율 특성을 얻기 위하여 graded index 성장 방법을 이용하였다. 자세한 에피 레이어 구조와 제작 공정, 전기적 특성 및 광 특성은 앞서 발표한 논문을 참조하기 바란다<sup>[3-4]</sup>. 성장된 소자의 구조는 off 상태에서 on 상태로의 광 스위칭이 가능한 소자이다. on 상태에서의 DOT는 낮은 저항을 가지며 빛이 방출된다. 방출되는 빛의 효율을 증가시키기 위하여 도핑이 되지 않은 3개의 층을 갖는 다중 양자 우물층을 활성층 가운데 삽입 하였다. 비록 활성층의 두께는 얇지만, 활성층 위, 아래 성장되어 있는 거울층은 레이징 특성의 문턱 전류를 낮춤과 동시에 입력 광신호의 민감도를 증가시켜주는 역할을 한다. 순방향 전압에서는 적절한 스위칭 전압을 찾고, 역방향 전압에서의 완전 공핍을 이루기 위한 공핍 전압을 찾기 위하여, PnpN 각층의 두께와 도

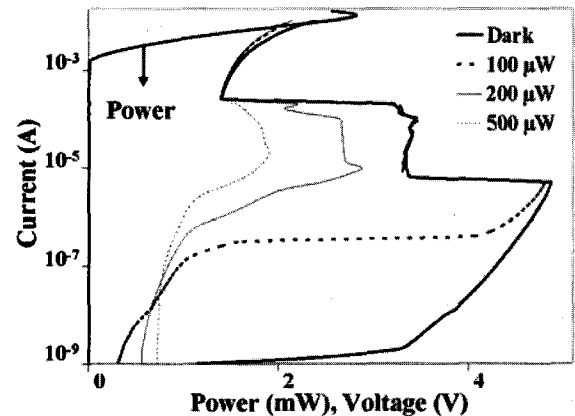


그림 2. VCL-DOT의 광입력에 따른 전류-전압 특성 곡선.

Fig. 2. current-voltage curve of the VCL-DOT with an oxide aperture of  $5 \times 5 \mu\text{m}$  as a variation of input light intensity.

핑 농도를 최적화 작업을 통하여 설계하였다. 최적화 작업은 유한 차분 방법(finite difference method)을 이용한 모의실험을 통하여 각 층의 최적화된 도핑 농도와 층의 두께를 구하였다.<sup>[13-15]</sup>

그림 2는 mesa 크기가  $34 \times 34 \mu\text{m}^2$ 이고, oxide aperture가  $2 \times 2 \mu\text{m}^2$ 로 제작된 VCL-DOT의 비선형 광 파워-전류-전압 특성 곡선을 입력 광 파워를 증가시킴에 따라 측정한 그래프이다. 본 실험에서 얻을 수 있는 최소 문턱 전류는 0.65 mA로 지금까지 발표된 어떤 결과보다 낮은 문턱 전류 값이었고, 상온에서 ( $25^\circ\text{C}$ ) 입력전류를 4 mA로 하였을 때, 출력되는 광신호를 광 스펙트럼 분석기 (OSA)를 통하여 스펙트럼을 분석한 결과, 출력 파장은 854.5 nm에서 발진 파장을 보였다. 순방향 전압에서는 높은 저항과 낮은 전류의 off 상태, 높은 전류와 낮은 저항을 갖는 on 상태, 전류가 증가함에 따라 전압이 감소하는 부성 저항 영역의 삼단 상태를 뚜렷하게 보여주고 있다. off 상태에서 스위칭 전압이 5.24 V인 높은 저항 (high-impedance) 상태를 유지한다. 그 반면에 on 상태에서는 홀딩 전압이 1.50 V로 낮은 저항 (low-impedance) 상태를 보인다. on 상태와 off 상태의 전압의 차이는 3.74 V로 스위칭을 위한 충분한 전압값을 갖는다. 입력되는 광 파워가 Dark에서부터 점차 증가함에 따라, 스위칭 전압의 크기가 5.24 V에서 1.90 V로 확연히 작아지며, 비선형 S-자형의 전류-전압 특성 곡선이 점차 사라지는 것을 확인 할 수 있다. 이는 입력되는 광 신호에 따라 광 스위칭이 가능하다는 것을 알 수 있다. 따라서 위의 VCL-DOT에 적절한 직렬 저항을 연결한 상태에서 스위칭 전압보다 다소 낮은 바이

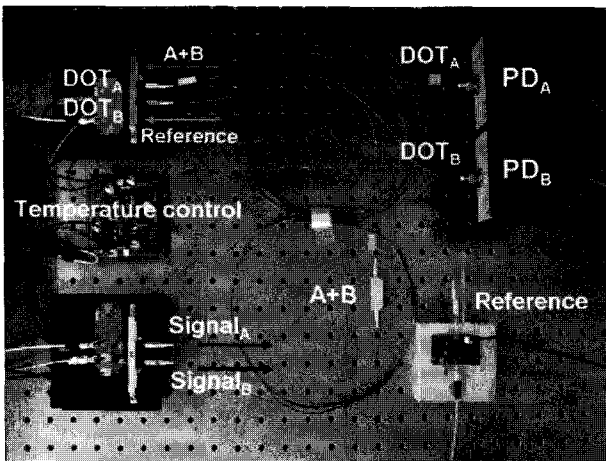


그림 3. 광 로직 게이트 구현을 위한 실험 셋업  
Fig. 3. Photograph of the experimental system.

어스 입력 신호를 인가한 상태에서, 입력 빛이 없을 때는 높은 저항 상태의 off 상태에 놓이게 되지만, 입력 광 신호를 인가하여 주면, 스위칭 전압이 낮아지다가 순간 낮은 저항 상태를 유지하는 on 상태로의 스위칭이 가능하다.

메모리(레치)로서의 로직 게이트 구현은 디지털 로직 프로세서의 가장 기본이 되는 단계이다. 또한 가장 기본이 되는 로직 AND, OR, 그리고 INVERTER의 구현이 가능하다면, 그 각각의 직렬 혹은 병렬 조합으로 모든 불린 로직함수를 나타낼 수 있다. 따라서 앞에서 제작한 단일 소자 타입의 VCL-DOT를 이용하여 로직 AND와 OR 게이트를 구현하여 그 특성을 측정하였다. 지금까지 구현된 광 싸이리스터 타입의 로직 시스템은 로직 AND 혹은 OR 게이트 하나를 구현하는데 두 개 혹은 그 이상의 조합으로 구현 되었었다<sup>[16-19]</sup>. 하지만, 단일 소자 타입의 VCL-DOT는 복잡한 구성없이 단일 소자로 구현한 최초의 실험이다. 구현한 실험 셋업은 그림 3(a)와 같다. 먼저, 두 개의 광 입력 신호 뿐 만 아니라, 광 로직 게이트 소자도 제작한 단일 소자타입의 VCL-DOT를 이용하였다. 이는 제작한 단일 소자타입의 VCL-DOT는 발광으로서의 기능 뿐 만 아니라 입력 신호를 받아들이는 수광의 기능을 갖고 있어, 로직 게이트의 소자로서도 충분히 활용할 수 있다는 것을 보여 준다. 소자의 안정적인 동작을 위하여 TEC, Thermistor, 온도컨트롤러를 이용하였고, 두 개의 동기화 된 광 입력신호를 합쳐 하나의 로직 게이트 소자에 입력으로 하기 위하여 그리고, 로직 게이트 소자로부터 나온 신호를 광 포토다이오드로 검출하기 위하여 두 개의 광 커플러를 이용하여 측정하였다.

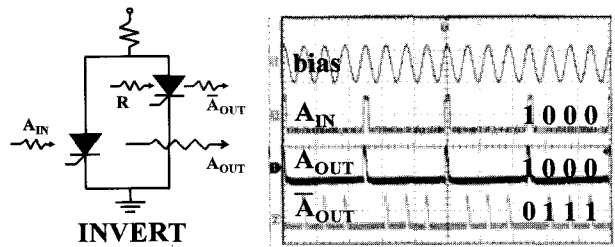
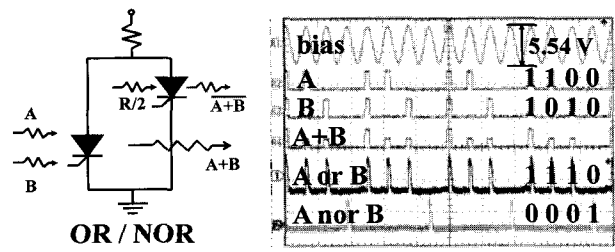
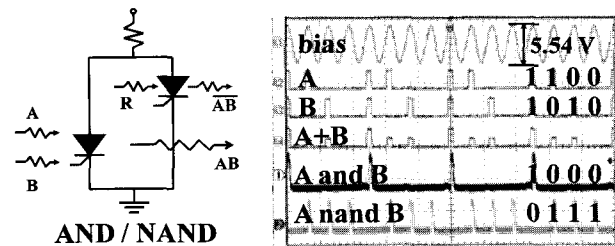


그림 4. INVERTER 실험결과.  
Fig. 4. Oscilloscope traces demonstrating the operation of the INVERTER.



(a)



(b)

그림 5. 광 로직 (a) OR/NOR, (b) AND/NAND 함수의 실험 결과. 6개의 오실로스코프 결과는 위에서부터 순차적으로 bias, 신호 A, 신호 B, A+B, 그리고 각 결과.

Fig. 5. Demonstration of digital optical logic operations (a) OR/NOR and (b) AND/NAND using a differential-typed VCL-DOT. Each photograph contains six traces showing the bias voltage, optical inputs A and B, and the optical output pulses, respectively.

그림 4(a)는 INVERT 동작을 하는 광 펄스 스위칭 특성을 보인다. 두 개의 PnpN 광 싸이리스터는 병렬로 연결되어있으며 50 Ω의 직렬 저항과 연결되어 있고, 동작 전압은 1 μs의 주기, 5.20 V<sub>P-P</sub>를 인가하였다. A<sub>IN</sub>과 R은 각각 DOT<sub>A</sub>와 DOT<sub>B</sub>로 인가하는 광 펄스 입력 신호이고, A<sub>OUT</sub>과 A<sub>OUT</sub>-bar는 각각 광 출력 신호이다. 광 펄스 입력(A<sub>IN</sub>)은 254 μW DC 파워에 광 펄스 입력 신호를 더해 DOT<sub>A</sub>에 입력으로 인가하였고, 기준 광 입력 신호는 302 μW의 광 파워를 DOT<sub>B</sub>에 인가하였다. DOT<sub>B</sub>에 인가한 기준 광 입력 신호의 크기는 DOT<sub>A</sub>에

인가한 광 펄스 입력 신호(DC + 펄스입력 "1")보다는 작고, DC 광 펄스 입력 신호보다는 큰 신호이기 때문에, 앞에서 설명한 바와 같이  $A_{IN}$ 이 로직 "1"일 때는  $A_{OUT}$  역시 로직 "1"을,  $A_{IN}$ 이 "0"의 신호일 때는  $\bar{A}_{OUT}$ 이 로직 "1"을 나타낸다. 따라서  $DOT_A$ 의 결과는  $A_{OUT} = A_{IN}$ 와 같이 입력 신호와 동일한 신호를 나타내고,  $DOT_B$ 의 결과는  $\bar{A}_{OUT} = \bar{A}_{IN}$ 과 같이 입력신호의 역함수 즉, INVERTER를 나타냄을 알 수 있다.

그림 5(a)와 (b)는 차동 VCL-DOT를 이용한 광 로직 AND/NAND 와 OR/NOR 함수를 실험적으로 구현한 결과이다. 본 연구실에서 제안하는 차동 VCL-DOT를 이용하여 모든 종류의 광 로직 게이트를 구현하는 차동 동작원리는 다음과 같다. 실험 셋업은 두 실험 (a)와 (b) 모두 동일한 두 PnpN 광 스위치가 병렬로 연결되어 있으며, 50 Ω의 직렬 로드 저항에 연결되어 양쪽 사이리스터에 동일한 크기의 전압 신호 (1 μs의 주기를 갖고, 5.54 V<sub>P-P</sub>의 크기)를 인가한다. 두 입력 신호 A와 신호 B는 광 커플러를 이용하여 합쳐지고, 두 입력 신호 (A+B)는 동시에  $DOT_A$ 에 입사된다.  $DOT_B$ 로는 기준 광 입력 신호 (R)가 입사된다. 두 DOT로부터 광 출력 신호는 2X2 광 커플러/스플리터를 이용하여 각각 광 검출기로 측정한다. 여기서 광 AND/NAND 함수와 광 OR/NOR 함수를 구현하는 차이점은 단지  $DOT_B$ 로 인가하는 기준 광 입력 신호(R)의 크기의 변화이다. 그림 5(a)는 광 로직 OR/NOR 게이트를 구현한 실험 결과를 나타낸다. OR/NOR 함수 구현을 위한 기준 광 입력 신호의 크기는 392 μW 이다. 여기서 두 입력신호(A+B)의 경우의 수는 각각 "1 1", "1 0", "0 1", 그리고 "0 0"이다.  $DOT_A$ 로 입사되는 "0 0"인 경우에는 두 입력신호(A+B)의 파워는  $DOT_B$ 로 입사되는 기준 입력신호(R)의 파워보다 작기 때문에  $DOT_B$ 가 턴온 영역에 놓이게 된다. 하지만, 나머지 "1 1", "1 0", 그리고 "0 1"의 신호인 경우 기준 입력신호(R)의 파워보다 크기 때문에  $DOT_A$ 가 턴온 영역에 놓인다. 그 결과  $DOT_A$ 에서 나오는 출력 신호를 보면, 그림 5(a)와 같이 로직 OR 함수이고,  $DOT_B$ 에서 나오는 결과는 로직 NOR 함수이다. 하지만 그림 5(b)에서와 같이 OR/NOR 함수와 다르게 AND/NAND 함수 구현을 위해 기준 광 입력 신호의 크기를 457 μW로 조절을 하면, 이는 두 입력신호(A+B) "1 1"의 파워 보다는 작고, "1 0", "0 1", 그리고 "0 0"의 파워 보다는 큰 신호이다. 그 결과  $DOT_A$ 에서 나오는 출력 신호를 보면, 이는 로직 AND 함수이고,  $DOT_B$ 에서 나오는 결과는 로직 NAND 함수로써 차동 스위칭 방식

을 이용하여 모든 종류의 불린 로직을 구현 가능성을 검증하였다.

#### IV. 결 론

DOT는 자유공간 광 접속 (free-space optical interconnects, FSOIs) 시스템 뿐 만 아니라 광컴퓨터에서 사용될 수 있는 광논리, 광스위칭에 있어서 매우 중요한 소자이다. 본 논문에서는 하나의 소자에서 직, 병렬 전자회로의 접근 없이, 광 AND-gate와 OR-gate, 그리고 각 INVERT 함수인 NAND-gate와 NOR-gate를 모두 구현하기 위한, 차동구조 VCL-DOT를 이용한 차동 스위칭 방식을 제안하였다. 본 연구실에서 제안하는 차동 스위칭 방식은 두 입력 신호 이외의 기준 광 입력신호의 파워만을 조절하는 매우 간단한 방식으로 기존의 복잡한 전기회로나 부가적인 연결 없이도 모든 종류의 불린 로직을 구현할 수 있다는 장점을 갖는다. 비록 수 MHz의 낮은 스위칭 속도 결과를 보였으나, 이는 소자의 스케일, DOT 구조 설계의 최적화 작업과 적절한 바이어스 조건에 따라 속도를 향상 시킬 수 있리라 예상된다. 따라서 본 연구실의 실험 결과는 광 스위칭, 광 컴퓨팅, 광 접속 뿐 만 아니라 앞으로의 광 통신 시스템에 적용 가능한 VCL-DOT가 훌륭한 광 스위칭 소자로써 큰 기여를 하리라 기대한다.

#### 참 고 문 헌

- [1] R. P. bryan, G. R. Olbright, and J. Cheng, "Cascadable surface-emitting laser logic: Demonstration of Boolean Logic," *Electron. Lett.*, vol. 27, no. 11, pp. 893-894, 1991.
- [2] Y. Tashiro, N. Hamao, M. Sugimoto, N. Takado, S. Asada, and K. Kasahara, "Vertical to surface transmission electrophotonic device with selectable output light channels," *Appl. Phys. Lett.*, vol. 54, pp. 329-331, 1989.
- [3] W. K. Choi, D. G. Kim, Kent D. Choquette, Y. K. Kim, S. Lee, D. H. Woo, and Y. W. Choi, "Optical properties of selectively oxidized vertical cavity laser with depleted optical thyristor structure", *Appl. Phys. Lett.*, vol. 89, pp. 121117, 2006.
- [4] W. K. Choi, D. G. Kim, D. G. Kim, K. D. Choquette, S. Lee, D. H. Woo, and Y. W. Choi, "Optical AND/OR gates based on monolithically integrated vertical cavity laser with depleted

- optical thyristor structure”, *Optics Express*, vol. 14, no. 24, pp. 11833-11838, 2006.
- [5] K. Kasahara, Y. Tashiro, N. Hamao, M. Sugimoto, and T. Yanase, “Double heterostructure optoelectronic switch as a dynamic memory with low-power consumption,” *Appl. Phys. Lett.*, vol. 52, pp.679-681, 1988.
- [6] P. Zhou, J. Cheng, C. F. Schaus, S. Z. sun, C. Hains, E. Armour, D. R. Myers, and G. A. Vawter, “Inverting and latching optical logic gates based on the integration of vertical-cavity surface-emitting lasers and photothyristors,” *IEEE Photon. Technol. Lett.*, vol. 4, no. 2, pp. 157-159, 1992.
- [7] J. Pankove, C. Radehaus, K. Wagner, “Winner-take-all neural net with memory,” *Electron. Lett.*, vol. 26, no. 6, pp. 349-350, 1990.
- [8] G. W. Taylor, D. L. Crawford, and J. G. Simmons, “Optoelectronic dynamic random access memory cell utilizing a three-terminal N-channel self-aligned double-heterostructure optoelectronic switch,” *Appl. Phys. Lett.*, vol. 54, pp. 543-545, 1989.
- [9] A. G. Kirk, H. Thienpont, A. Goulet, P. Heremans, G. Borghs, R. Vounckx, M. Kuijk, “Parallel optoelectronic data transcription with fan-out between planes of PnpN optical thyristors,” *IEEE Photon. Technol. Lett.*, vol. 8, no. 3, pp. 464-466, 1996.
- [10] K. Hara, K. Kojima, K. Mitsunaga, and K. Kyuma, “Optical flip-flop based on parallel-connected AlGaAs/GaAs pnpn structures,” *Opt. Lett.*, vol. 15, pp. 749, 1990.
- [11] W. K. Chan, J. P. Harbison, A. C. von Lehmen, L. T. Florez, C. K. Nguyen, and S. A. Schwarz, “Optically controlled surface-emitting lasers,” *Appl. Phys. Lett.*, vol. 58, pp. 2342-2344, 1991.
- [12] F. R. Beyette Jr., K. M. Geib, S. A. Feld, M. J. Hafich, X. An, G. Y. Robinson, and C. W. Wilmsen, “Optoelectronic Exclusive-OR (XOR) gate,” *IEEE Photon. Technol. Lett.*, vol. 5, no. 6, pp. 464-466, 1996.
- [13] W. K. Choi, D. G. Kim, Y. W. Choi, S. Lee, D. H. Woo, S. H. Kim, “AlGaAs/GaAs NpnP depleted optical thyristor using bottom mirror layers,” *Jpn. J. Appl. Phys.*, vol. 44, no. 5A, pp. 2913-2920, 2005.
- [14] J. J. Lee, D. G. Kim, J. K. Choi, Y. W. Choi, S. Y. Han, S. B. Lee, S. H. Kim, Y. Nakano, and N. Futakuchi, “Performance analysis of waveguide-type InGaAsP/InP fully-depleted optical thyristors for optical communication system,” in *Proc. SPIE*, vol. 3944, pp. 926, 2000.
- [15] W. K. Choi, D. G. Kim, Y. W. Choi, S. Lee, D. H. Woo, Y. T. Byun, J. H. Kim, and S. H. Kim, “Reverse-biased characteristics of GaAs/AlGaAs depleted optical thyristor with low depletion voltage,” in *Proc. SPIE*, vol. 4986, pp. 180, 2003.
- [16] P. Zhou, J. Cheng, C. G. Schaus, S. Z. Sun, C. Hains, K. Zheng, and A. Torres, “High-performance latchable optical switch and logic gates based on the integration of surface-emitting lasers and photothyristors,” *Appl. Phys. Lett.*, vol. 59, no. 20, pp. 2504-2506, 1991.
- [17] C. W. Wilmsen, F. R. Beyette, X. An, S. A. Feld, and K. M. Geib, “Smart pixels using the light amplifying optical switch(LAOS),” *IEEE Journal of Quantum Electronics*, vol. 29, no. 2, pp. 769-774, 1993.
- [18] X. An, K. M. Geib, M. J. Hafich, L. M. Woods, S. A. Feld, F. R. Beyette, G. Y. Robinson, and C. W. Wilmsen, “Integrated optical NAND gate,” *Electronics Letters*, vol. 28, no. 16, pp. 1545-1546, 1992.
- [19] F. R. Beyette, K. M. Geib, S. A. Feld, X. An, M. J. Hafich, G. Y. Robinson, and C. W. Wilmsen, “Integrated optical NOR gate,” *IEEE Photonics Technology Letters*, vol. 4, no. 4, pp.390-392, 1992.

## 저 자 소 개



최 운 경(정회원)  
 2002년 중앙대학교  
 전자공학과(공학사).  
 2004년 중앙대학교 전자  
 전기공학부(공학석사).  
 2004년 3월~현재 중앙대학교  
 전자전기공학부 박사과정  
 재학중.

<주관심분야: 광스위칭 시스템 및 소자, Optical Interconnection>



김 두 근(정회원)  
 1998년 중앙대학교  
 전자공학과(공학사).  
 2000년 중앙대학교  
 영상공학부(공학석사).  
 2003년 중앙대학교 전자  
 전기공학부(공학박사).

2003년~2005년 산타바바라 캘리포니아주립대  
 (UCSB), 연구원.

2005년~현재 중앙대학교 전자공학과 연구교수  
 <주관심분야: 광스위칭 시스템 및 소자, 바이오  
 센서>



최 영 완(정회원)  
 1985년 서강대학교  
 전자공학과(공학사).  
 1987년 버팔로 뉴욕주립대  
 (SUNY at Buffalo),  
 전기 및 컴퓨터공학과  
 (공학석사).

1992년 버팔로 뉴욕주립대 (SUNY at Buffalo),  
 전기 및 컴퓨터공학과(공학박사).

1992년~1995년 한국전자통신연구원(ETRI),  
 선임연구원.

1995년~현재 중앙대학교 전자공학과 교수.

<주관심분야: Microwave-Photonics, Optical interconnection, 광스위칭 시스템 및 소자>