논문 2007-44TC-1-12

위성 DMB용 중계기(Gap Filler)의 TDM-CDM변환부 클럭 생성 방안 연구

(A Clock Generation Scheme for TDM-CDM Converter in Gap Filler for the Satellite DMB Systems)

김 종 훈*

(Chonghoon Kim)

요 약

본 논문에서는 위성 DMB용 Gap Filler의 TDM-CDM변환부를 위한 클럭 생성 방안을 제안하였다. 제안된 방식은 위성으로부터 수신되는 Ku band(12.2GHz) 대역의 TDM신호에서 복조된 프레임 동기 신호를 기반으로 신호 변환 시스템의 클럭을 공급하는 VCXO(Voltage Controlled Crystal Oscillator)를 제어하여 신호 변환부의 클럭 및 데이터 동기를 제공한다. 기존의 일반적인 클럭 동기 방식과 같은 별도의 PLL을 구성할 필요 없이 Gap Filler의 디지털 신호 변환부에 사용되는 FPGA내부에 간단히 구현될 수 있으며, 주파수 오차범위를 측정 제어할 수 있는 기능을 포함하고 있어 안정도가 높은 OCXO(Oven Controlled Crystal Oscillator)를 사용할 경우 RF부에 필요한 LO(Local Oscillator)를 위한 기준 클럭으로 사용될 수 있다.

Abstract

In this paper a new clock generation scheme for TDM-CDM converter in the Gap Filler for satellite DMB systems has been proposed. The scheme uses the frame sync signal from the Ku band TDM receiver to lock the VCXO which provides the system clock for the TDM-CDM converter. The locking algorithm can be easily implemented in the FPGA, so that no separate circuitry is needed as in conventional PLL. With a stable OCXO, The scheme can be used to generate the reference clock to the local oscillator for RF parts.

Keywords : 위성 DMB, 갭필러(Gap Filler), 무선 중계기

I. 서 론

위성 DMB(Digital Multimedia Broadcasting)시스템은 위성에서 S 밴드(2.6 GHz)대역을 통해 멀티미디어 컨텐츠를 이동 단말기에 제공하는 시스템이며, 기존의 위성방송과 CATV과는 달리 이동 수신이 가능하다는 점에서 기존방송의 공간적 제약을 극복할 수 있다. 위성 DMB 송신 위성은 단말기가 직접 수신하는 S 밴드 CDM(Code Division Multiplexing)신호와 직접 수신이 불가능한 음영지역에 필요한 중계기(Gap Filler)를 위한 Ku 밴드의 TDM(Time Division Multiplexing)신호[1]를 송신하며 중계기는 이 신호를 수신하여 S 밴드의 CDM(Code Division Multiplexing)신호[2]로 변환한 후 음영지역으로 전송한다. 따라서 중계기는 Ku 밴드 TDM 수신 복조기, CDM 변조기와 S 밴드 송신기로 구성되며, Ku 밴드 TDM 신호는 기존의 위성 방송 시스템규격과 동일하므로 이미 상용화된 위성수신 Set-Top Box용 튜너 및 칩 셋(Chip Set)을 사용하고 CDM 변환부는 FPGA에 구현하는 것이 가장 경제적이고 효율적인 설계 방법이다. 한편 TDM - CDM 변환부의 데이터 및 프레임 동기를 위해서는 일반적으로 수신된 기저대역 TDM 데이터 동기신호를 입력으로 하는 PLL(Phase Locked Loop)을 구성하여 디지털 변

* 정회원, 숭실대학교
(Soongil University)
접수일자: 2006년12월10일, 수정완료일: 2007년1월15일

환 시스템의 클럭을 생성하여야 한다. 그러나 수신되는 TDM 신호의 최종 복조신호의 데이터 전송률은 18.432 Mbps 이며 신호의 프레임으로부터 데이터만을 추출하여 변환하는 CDM 변조부의 데이터 전송률(Chip Rate)은 16.384 Mbps 로 서로 다른 관계로 PLL 구성이 용이하지 않다. 본 논문에서는 별도의 PLL회로를 구성하지 않고 TDM-CDM 변환기에 사용되는 FPGA내부에 간단히 구현할 수 있는 주파수 합성 및 동기 방안을 제시하였다.

II. 본 론

1. TDM-CDM 변환 데이터 인터페이스

그림 <1>은 TDM-CDM 변환을 위한 데이터 인터페이스를 나타낸 것이다. 위성 DMB의 중계기에 수신되는 Ku밴드 신호는 QPSK 변조 형식으로 되어 있으며 복조된 신호는 Viterbi 복호기, Convolutional De-interleaver 및 Reed-Solomon 복호기를 거쳐 DVB-S규격의 데이터를 출력한다. DMB형식의 출력은 32 채널의 데이터를 1 Frame으로 나타내며, 25.5 ms의 주기를 가진다. 각 채널 데이터는 1692 바이트이며, 9개의 패킷으로 구성된다. 1개의 패킷은 하나의 동기 바이트와 187 바이트의 데이터로 구성되며 마지막 패킷의 51 바이트는 정보가 없이 채워지는 Fill Data로 되어 있다.

TDM-CDM 데이터 인터페이스는 TDM 한 채널에서 동기 바이트와 Fill Data (51 바이트)를 제외한 1632 바이트를 모아 408바이트 의 패킷 4개로 구성되는 하나의 채널을 형성한다. 한 프레임의 데이터는 32개의 채널로 구성되며 그중 첫 번째 채널은 파일럿 신호가 된다. 데이터들을 모아 CDM 변조를 위한 프레임을 만들어 주며 32 채널로 구성된다. CDM 변조기는 32 채널의 데이터를 동시에 변조하므로 인터페이스는 1 프레임의 데이터를 각 채널로 역 다중화 하고 CDM 프레임으로 저장한 후 CDM 변조기에 각 채널 데이터를 동시에 전송하여야 한다.

2. TDM-CDM 변환기를 위한 클럭 생성구도

TDM 수신기의 데이터로부터 불필요한 데이터를 제거함으로 인해 TDM-CDM 변환부는 TDM 수신기와는 다른 주파수의 클럭이 필요하게 되며, 이 두 데이터 간의 동기가 유지되도록 서로 Lock이 되어야 한다.

TDM 수신기를 위성수신 Set-Top Box용 칩셋을 사용할 경우 칩 내부의 클럭은 18.432MHz의 배수를 사용

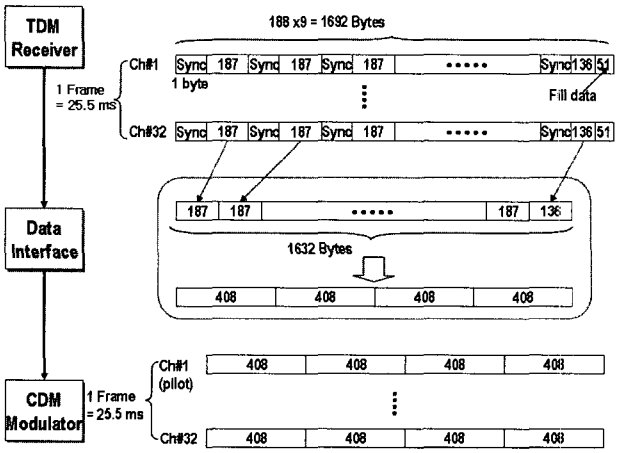

그림 1. TDM-CDM 변환 데이터 인터페이스 구조
Fig. 1. Data Interface Scheme of TDM-CDM Conversion.

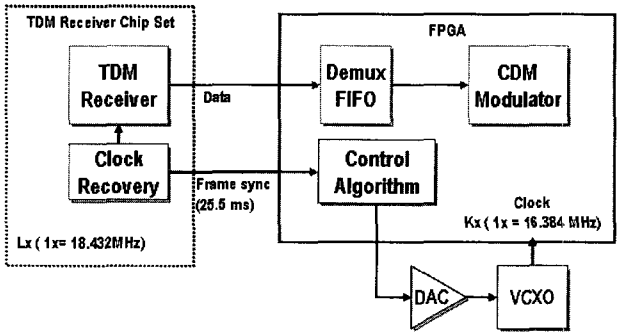

그림 2. TDM-CDM 변환기를 위한 클럭 동기 구도
Fig. 2. Clock synchronization scheme for the TDM-CDM converter.

하게 되며, TDM-CDM 인터페이스와 CDM 변조기에는 최종 출력 Chip Rate인 16.384MHz의 배수가 되는 클럭이 필요하다. 이들을 고속의 FPGA에 구현할 경우 집적도를 높이기 위해서는 FPGA의 최대 속도이하이며 1x의 배수 중 가장 높은 주파수를 클럭으로 설정한다. 한편 시스템 내부에서 생성되는 두 개의 클럭은 데이터 및 프레임동기를 유지하기 위해서는 서로 Lock이 되어야 한다.

그림 <2>는 본 논문에서 제안하는 클럭 동기 구도를 간단히 나타낸 것이다. TDM-CDM변환부에 공급되는 클럭은 VCXO에서 생성되며 그 주파수는 TDM수신기에서 출력되는 25.5ms의 프레임 동기 신호를 기반으로 제어 알고리즘과 DAC를 통해 VCXO를 제어하여 동기를 유지한다.

3. 주파수 제어 Loop 알고리즘

TDM-CDM 변환부 클럭 동기를 위한 알고리즘의 기본 구조는 N 개의 Frame 동기신호(N-Sync)가 들어오는 동안 VCXO clock의 수를 카운터를 통해 측정한

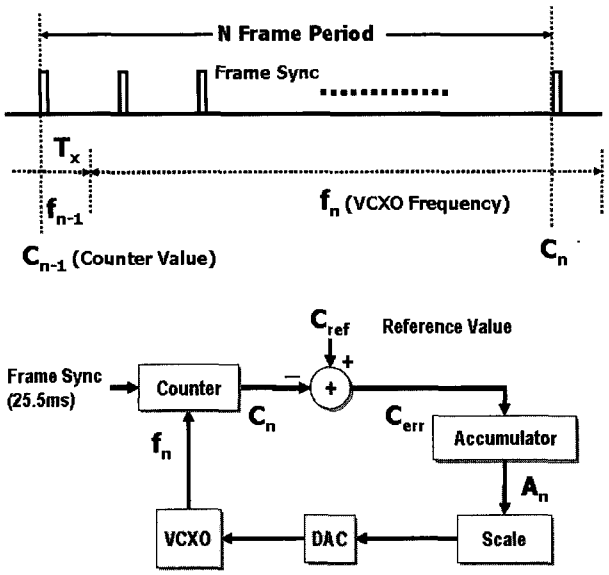

그림 3. 주파수 제어 알고리즘
Fig. 3. Proposed frequency control algorithm.

후 , 그 값을 기준 값(Lock이 되었을 때의 카운터의 값) 과 비교하여 그 값의 차이를 제어 전압으로 변환하여VCXO의 주파수를 증가 시키고, 값이 크면 VCXO의 주파수를 감소 시켜 궁극적으로 VCXO의 주파수가 주어진 기준 값에 해당하는 주파수를 유지하도록 구성된다. 그림 <3> 은 이러한 알고리즘을 나타내는 블록 다이어그램이다.

카운터는 VCXO의 출력을 클럭으로 사용하며 N개의 Frame 동기신호가 들어올 때마다 카운터의 값 C_n을 출력하고 다시 0 부터 카운트를 시작한다. 출력된 값 C_n은 다음과 같이 나타낼 수 있다

$$C_n = f_{n-1}T_x + f_n(T_{sync} - T_x) \quad (1)$$

여기서 T_{sync} 는 N 개의 Frame 동기신호 가 입력될 때까지의 시간 (25.5 ms x N)이며 T_x는 새 카운터 값 C_n 이 출력된 시점으로부터 이 값에 의해 VCXO의 주파수가 새로 설정될 때까지의 시간으로 알고리즘 실행, DAC 값 다운로드, VCXO 응답 등의 지연 시간을 모두 더한 시간이다. 따라서 C_n출력 시점부터 T_x 까지의 VCXO의 주파수는 f_{n-1}이며 그 이후 는f_n이 된다. 여기서 T_x는 대략 수 십 us 가량 되며 이에 비해T_{sync}는 수 초가량 되므로 상대적으로 T_x 의 영향을 무시할 수 있다. $T_x = 0$ 으로 가정할 때 식 (1)은

$$C_n = f_n T_{sync} \quad (2)$$

가 된다. 카운터에서 출력된 C_n 값은 주어진 기준 값 C_{ref}와 비교되어 그 차가 누산기(Accumulator)에 입력되며 다음 주기 동안의 누산기 값 A_{n+1} 이 다음과 같이 정해진다.

$$A_{n+1} = A_n + (C_{ref} - C_n) \quad (3)$$

누산기의 값은 수렴 상수 α가 곱해진 후 DAC에 보내져 VCXO의 주파수를 제어하게 되며 VCXO의 주파수 f_n과 누산기 값 A_n의 관계는 다음과 같이 표현된다.

$$f_n = \frac{\alpha KR}{2^{M-1}} A_n \quad (4)$$

여기서 K[Hz/V]는 VCXO의 변환 상수 (Hz/V)이며 R[V]는 DAC의 전압출력 범위, M은 DAC 비트 해상도이다. 식 (2), (3) 및 (4)를 결합하면 $\beta = \alpha KR/2^{M-1}$라 할 때

$$f_{n+1} = (1 - \beta T_{sync}) f_n + \beta C_{ref} \quad (5)$$

이 얻어진다. 식(5)로부터 입력되는 프레임 동기신호에 지터가 없고 n=0 일 때의 VCXO의 주파수를 f_0이라 할 때 n번째 반복 수행 후 주파수 f_n은

$$f_n = (1 - \beta T_{sync})^n \left(f_0 - \frac{C_{ref}}{T_{sync}} \right) + \frac{C_{ref}}{T_{sync}} \quad (6)$$

으로 표현되며 $0 < \beta < 1/T_{sync}$ 일 때 f_n 값은 C_{ref}/T_{sync} 에 수렴한다. 또한 식 (6)으로부터 최적의 수렴 상수

$$\alpha_{opt} = \frac{2^{M-1}}{T_{sync} KR} \quad (7)$$

를 얻을 수 있다.

3. N-Frame 동기 신호와 제어 주파수 정밀도

N개의 Frame 동기 신호로부터 얻어지는 카운터의 값은 주파수 제어 루프를 통해 제어할 수 있는 VCXO 주파수의 해상도(Resolution)가 관계 되며, 따라서 루프를 통해 얻을 수 있는 출력 주파수의 안정도를 결정하게 된다. VCXO출력 주파수는 CDM 변환기에 필요한 클럭은 CDM Chip Rate(1x = 16.384 MHz)의 배수가 되어야 하므로 VCXO의 출력 주파수를 M x 16.384 MHz 라 가정하면 N 개의 Frame 동안 카운터에 세어

표 1. VCXO 출력 주파수가 49.152 MHz (M=3) 일 때 N개의 Frame 동기신호를 사용해 얻을 수 있는 주파수 해상도

Table 1. Frequency resolution available from N Frame-sync signals with VCXO frequency of 49.152 MHz(M=3).

N	주기(초)	카운터 값(C_N)	주파수 해상도(ppm)
1	0.0255	1253376	0.79784518
2	0.051	2506752	0.39892259
4	0.102	5013504	0.199461295
8	0.204	10027008	0.099730647
16	0.408	20054016	0.049865324
32	0.816	40108032	0.024932662
64	1.632	80216064	0.012466331
128	3.264	160432128	0.006233165
256	6.528	320864256	0.003116583

진 수 C_N 은 다음과 같다.

$$C_N = 417792 \times MN \quad (8)$$

제어 루프의 오차 신호 는 C_N해상도와 같으므로 주파수 제어 해상도 는 대략 $1/C_N$이 된다.

표 1은 VCXO의 출력주파수가 49.152 MHz 로 CDM Chip Rate 의 3배 (3x) 일 때 N 값과 제어 주파수 해상도를 계산한 것이다. 표 1에 의하면 0.01ppm의 안정도를 얻기 위해서는 최소한 N= 128 이 되어야 하며 그 주기는 3.264초이다. 한편 N 값이 클수록 정밀한 안정도를 얻을 수 있는 반면 Lock 상태에 이르는 시간은 길어지게 된다. 이러한 과도 시간을 줄이려면 식 (8)에 나타난 바와 같이 VCXO의 출력 주파수 M값을 증가시키면 된다.

Ⅲ. 구현 및 실험

제안된 알고리즘은 VHDL언어로 코딩하여 Xilnix 사의 Virtex-II FPGA (XC2V1000fg456-5)에 구현하였으며 제어 알고리즘에 소요된 FPGA의 자원은 전체의 7%로 매우 적었다. 사용된 VCXO는 중심주파수 49.152 MHz, 튜닝 범위는 20 ppm (+/- 491.52 [Hz]) 이며, 변환상수 K=393.22 [Hz/V]이다. DAC는 Analog Devices사의 AD5541 로 16 비트의 해상도에 출력 전압 범위는 0-2.5[V]이다. 보다 빠른 응답 속도를 얻기 위해 FPGA내부에서 제공되는 DCM(Digital Clock Manager) [3]을 사용하여 내부 클럭 주파수를 4배(196.608 MHz)로 올려 카운터를 구동하였으며 N-Frame 동기 신호의 N

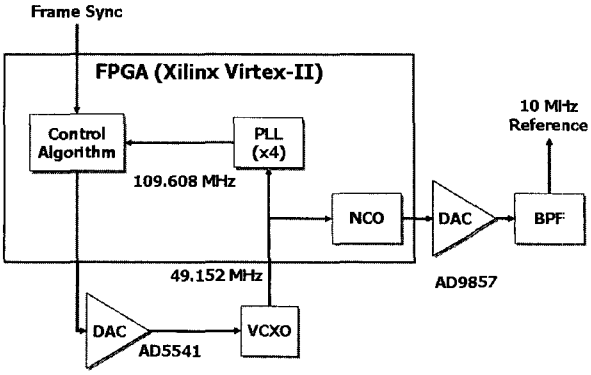

그림 4. 구현된 클럭 동기부 및 기준 클럭 생성부

Fig. 4. Clock synchronization and reference clock generation blocks implemented for the experiment.

값을 외부에서 지정할 수 있도록 하였다.

또한 Gap Filler의 RF부의 LO(Local Oscillator)에 필요한 10MHz 기준 클럭을 공급하기 위하여 FPGA내부에서 NCO (Numerically Controlled Oscillator)를 구성하여 고속 고해상도 DAC(AD9857)을 통해 외부로 출력하도록 하였다. 그림<4>는 구현된 클럭 동기부의 블록 다이어그램이다. 실험은 별도의 안정된 10MHz OCXO를 사용하여 25.5ms의 Frame Sync 신호를 만들어 클럭 동기부에 입력하여 VCXO의 출력을 관찰하였으며 정상적인 동작을 확인하였다. 주파수 안정도는 기준 클럭 생성부의 10MHz을 입력으로 PLL주파수 합성기를 사용하여 2.6GHz의 신호를 생성하고 이를 스펙트럼 분석기의 주파수 카운터 기능으로 관찰하였으며 0.01 ppm (+/-13 Hz)이내의 안정도를 얻을 수 있었다.

Ⅳ. 결 론

위성 DMB용 중계기의 TDM-CDM 변환부에는 TDM Frame 와 CDM Frame의 데이터 형식의 차이로 인해 주파수가 서로 다른 클럭이 필요하며 데이터 및 프레임 동기를 유지하여야 한다. 본 논문에서는 TDM 수신기의 Frame동기 신호로부터 TDM-CDM 변환부 클럭을 생성하는 VCXO를 제어하기 위해 기존의 PLL과는 다른 구조의 제어 루프를 제안하였다. 제안된 제어 루프는 기존 PLL의 루프 필터와 같은 아날로그 부분이 없으며 전체가 FPGA안에 간단히 구현될 수 있었다. 제안된 알고리즘은 VCXO 출력 주파수의 오차 범위를 항상 모니터 할 수 있으며, 실험 결과 DMB중계기의 RF 부에 요구되는 LO 안정도 (0.01 ppm)를 충족하였다.

참 고 문 헌

[1] EN 300 421 V1.1.2 "Digital Video Broadcasting (DVB) framing structure, channel coding and modulation for 11/12GHz satellite services"
[2] ITU-R BO.1130.3 "System description and selection for digital satellite broadcasting to vehicular, portable and fixed receiver in the bands allocated to BSS(sound) in the frequency range 1400-2700MHz".
[3] Xilinx User Guides "Virtex-II Platform FPGA User Guide", PP80-109

저 자 소 개

김 종 훈(정회원)
1984년 서울대학교 전자공학과 학사 졸업.
1986년 서울대학교 전자공학과 석사 졸업.
1993년 미국 Northwestern 대학교 EECS 박사 졸업.
<주관심분야 : 무선통신 시스템, 고속 신호처리 회로 설계>