

논문 2007-44TC-1-9

T-DMB 및 mobile-DTV 응용을 위한 주파수 합성기의 설계

(A Design of Frequency Synthesizer for T-DMB and Mobile-DTV Applications)

문 제 철*, 문 용**

(Jecheol Moon and Yong Moon)

요 약

T-DMB 및 mobile-DTV를 위한 주파수 합성기를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. VCO는 PMOS를 사용하여 위상잡음을 감소시켰고, 인덕터와 캐패시터, 변역터(varactor)를 선택적으로 스위칭하는 기법을 적용하여 920MHz-2100MHz 대역에서 동작이 가능한 것을 확인하였다. 변역터 캐패시턴스의 선형 특성을 개선하는 변역터 바이어스 개수를 2개로 최소화하였고, 변역터 스위칭 기법으로 K_{VCO} (VCO 이득)를 일정하게 유지할 수 있었다. 추가적으로, VCO 이득 보정 회로를 이용하여 VCO 이득을 유지하면서, VCO 이득의 간격을 일정하게 유지하도록 설계하였다. VCO와 PFD, CP, LF는 Cadence Spectre를 이용하여 검증하였고, 분주기는 Matlab Simulink, ModelSim, HSPICE를 이용하여 검증하였다. VCO의 소모 전력은 10mW, 56.3%의 tuning range, 1.58GHz 출력 주파수에서 -127dBc/Hz @ 1MHz offset(오프셋)의 잡음 특성을 확인하였다. 주파수 합성기의 전체 소모 전력은 18mW, 주파수 합성기의 고착시간은 약 140 μ s이다.

Abstract

A Frequency synthesizer for T-DMB and mobile-DTV applications was designed using 0.18 μ m CMOS process with 1.8V supply. PMOS transistors were chosen for VCO core to reduce phase noise. The VCO range is 920MHz-2100MHz using switchable inductors, capacitors and varactors. Varactor biases that improve varactor capacitance characteristics were minimized as two, and K_{VCO} (VCO gain) value was maintained by switchable varactor. Additionally, VCO was designed that VCO gain and the interval of VCO gain were maintained using VCO gain compensation logic. VCO, PFD, CP and LF were verified by Cadence Spectre, and divider was simulated using Matlab Simulink, ModelSim and HSPICE. VCO consumes 10mW power, and is 56.3% tuning range. VCO phase noise is -127dBc/Hz at 1MHz offset for 1.58GHz output frequency. Total power consumption of the frequency synthesizer is 18mW, and lock time is about 140 μ s.

Keywords : T-DMB, mobile-DTV, VCO, multiband, MOS varactor

I. 서 론

최근 정보통신과 반도체 집적기술의 발전에 따라 다양한 기능이 하나의 시스템에 통합되고 있고, 특히 언제 어디서나 사용할 수 있는 휴대용 멀티미디어(multimedia) 시스템은 빠른 속도로 발전하고 있다. 이 중에서 mobile-DTV(Digital Television)는 최근 전세계적으로 다양한 방식으로 서비스되고 있다. 현재 서비스되고 있는 mobile-DTV 방송 방식은 크게 한국에서 서

비스 하고 있는 T-DMB(지상파 DMB)와 일본의 ISDB-T, 그리고 유럽의 DVB-H 방식이 있다.^[1] 이 세 가지 방송 방식은 현재 서로 다른 지역에서 서비스되고 있지만, 최근 개발되는 휴대용 멀티미디어 시스템은 소비자가 다른 지역에서도 방송 서비스가 가능하도록 여러 가지 방송 방식을 지원하도록 제작되는 추세이다.

최근 T-DMB와 DVB-H를 동시에 지원하는 시스템이 개발되었고, 앞으로 여러 방송 방식을 동시에 지원하는 시스템이 계속 출시될 것으로 예상되고 있다. 따라서 표 1과 같이 정리된 방송 방식을 현재 시장의 요구에 따라 하나의 시스템에서 모두 지원을 하고, 저비용으로 실현할 필요성이 커지고 있다.^[2]

* 학생회원, ** 정회원, 송실대학교 전자공학과
(Department of Electronic Engineering, Soongsil University)

접수일자: 2006년12월10일, 수정완료일: 2007년1월15일

표 1. 지상파 방송 방식에 따른 출력 주파수 대역
Table 1. output frequency according to terrestrial broadcasting system.

방송 방식	출력 주파수 대역	VCO 주파수
T-DMB	1450-1492MHz (L-Band) 174-216MHz (VHF)	1392-1958MHz
ISDB-T	470-770MHz (UHF) 90-222MHz (VHF)	950-1752MHz
DVB-H	1452-1675MHz (L-Band) 470-890MHz (UHF)	950-1675MHz

이같은 상황에서 서로 다른 방송 방식의 주파수 범위를 모두 지원하기 위해서 다중밴드 주파수 합성기의 제작은 필수적이며, 특히 다중밴드 주파수를 지원하기 위해서는 주파수 합성기의 핵심 블록인 VCO(Voltage Controlled Oscillator)와 분주기(divider)가 다중밴드 주파수를 지원해야 한다. 물론 세 가지 방송 방식을 지원하기 위한 주파수 합성기를 각각 따로 설계하는 것도 가능하겠지만 가격 대 성능 비를 최적화하기 위해서는 하나의 주파수 합성기를 사용하면서 다중 밴드를 지원하도록 설계하는 것이 바람직하다.

본 논문에서는 다중 대역을 지원할 수 있는 주파수 합성기를 0.18 μ m CMOS 공정에서 설계하였다. 핵심 블록인 VCO는 저잡음 특성을 얻기 위하여 VCO 코어를 PMOS 만으로 구성하였으며, MOS 버랙터(varactor)에 다중 바이어스를 적용하고 최적화하여 캐패시턴스의 선형 특성을 개선함으로써 VCO의 이득을 선형화하고 PLL(Phase Locked Loop)의 안정도를 크게 개선시키도록 설계하였다. 또한, 나선형 인덕터(spiral inductor)와 캐패시터 뱅크를 스위칭 방식으로 동작하게 하는 차동 LC VCO 구조를 사용하였으며, VCO의 이득 저하를 개선하기 위해서 제안하는 스위칭 방식의 버랙터 뱅크(bank)를 추가하였다. 그리고, VCO 이득 개선과 더불어 다중 밴드 VCO의 이득을 개선하기 위한 VCO 이득 보정 회로 (VCO gain interval compensation logic)을 추가하였다. 분주기는 시그마-델타 변조기를 사용해서 세 가지 방송 방식을 동시에 지원할 수 있는 분수형 분주기를 설계하였다.

II. 분수형 주파수 합성기

1. 분수형 주파수 합성기의 구조

분수형 주파수 합성기는 기본적으로 VCO, divider,

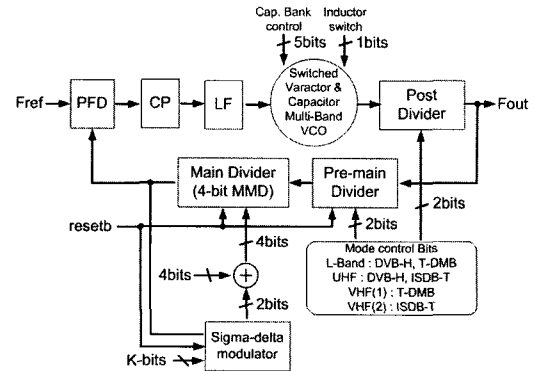


그림 1. 제안한 분수형 주파수 합성기의 블록도
Fig. 1. Block diagram of the proposed fractional-N frequency synthesizer.

PFD(Phase Frequency Detector), CP(Charge Pump), LF(Loop Filter)로 구성되어 있다. 그림 1은 실제 구현된 분수형 주파수 합성기의 블록도를 보여준다.

최근 통신시스템에서 신호를 처리하기 위해서 사용하는 LO(Local Oscillator) 주파수는 수백MHz에서 수GHz까지 사용한다. 이 때 사용하는 주파수는 낮은 위상잡음과 온도, 잡음 간섭에 영향을 적게 받을수록 시스템의 성능을 보장하게 된다. VCO를 그대로 사용해서 LO 주파수를 생성할 수 있지만, VCO의 위상잡음이 좋지 않고 온도변화와 공급 전압 잡음 등과 같은 외부 변화에 출력 주파수가 민감하게 반응하기 때문에 VCO의 변화를 보정하는 시스템이 필요하다. 이로 인해 PLL(Phase Locked Loop)와 같은 피드백(feedback) 시스템을 이용해서 위상잡음 감소와 함께 안정된 출력 주파수를 생성해야 한다.

그림 1의 분수형 주파수 합성기는 일반적인 PLL 구조와 같이 PFD, CP, LF, VCO, divider 부분으로 구성되어 있다. 표 1에서 보는 것과 같이 방송 방식별로 지원하는 주파수 범위는 VHF대역부터 L-Band 대역까지 다양하게 분포하고 있다. 다양한 주파수 범위를 하나의 분주기로 지원하기 위해, 분주기를 크게 세 단계로 설계하였다. 그리고, VCO는 PLL의 안정도를 향상시키기 위해 다중밴드 VCO로 제작하였고, 표 1의 값의 범위를 지원하기 위해 인덕터, 캐패시터, 버랙터 스위칭 기법을 사용해서 다중밴드 주파수 범위를 지원하도록 설계하였다.

2. 다중밴드 VCO의 설계

가. 다중밴드 VCO의 구조

VCO의 위상잡음과 같은 출력주파수의 특성은 PLL의 특성에 큰 영향을 주게 된다. VCO 구조에서 일반적으로 P-core는 N-core에 비해 위상 잡음 면에서 유리하다. 이것은 SiO₂ 게이트 산화막을 갖는 0.18μm CMOS 공정에서 PMOS 트랜지스터가 NMOS 트랜지스터에 비해 10dB 정도 낮은 1/f 잡음을 갖고 핫 캐리어에 의한 잡음 또한 작기 때문이다.

최근 발표된 연구에 의하면 바이어스 전류가 없는 구조가 바이어스 전류가 있는 구조에 비해서 위상 잡음이 작다^[2]. 바이어스 전류가 없는 구조는 제어 전압의 범위에서도 유리한 점이 있다. 하지만 바이어스 전류가 없는 구조는 전원 전압의 변동에 의한 VCO 주파수 변이가 생길 위험이 있는 단점이 있다.

그림 2와 같이 본 논문에서 설계한 VCO는 저잡음 특성을 위해 PMOS LC VCO로 제작했고^[3], 다중밴드 주파수 지원을 위해 스위칭 기법의 인덕터 방식과 5비트 스위칭 방식의 캐패시터 뱅크를 사용하였다. 또한 선형특성과 VCO 이득 저하를 개선하기 위해 스위칭 방식의 버렉터 뱅크를 사용하였다. 스위칭 방식의 인덕터는 스위치의 동작에 따라서 2GHz-1.3GHz와 1.4GHz-900MHz의 주파수 대역을 출력하게 된다. 제안하는 스위칭 방식의 버렉터 뱅크에 대해서는 다음 절에서 다룬다.

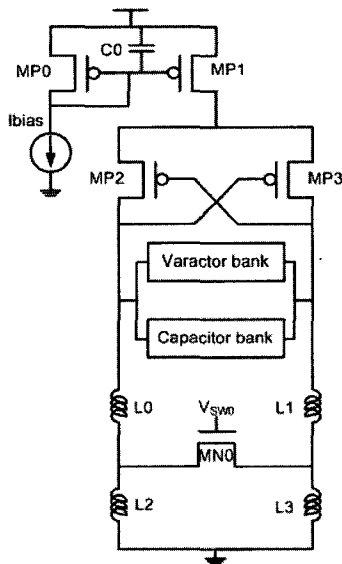


그림 2. 다중밴드 VCO
Fig. 2. The multi-band VCO.

나. 스위칭 방식의 버렉터 뱅크

광대역 주파수 합성기를 제작하는데 VCO 이득의 범위는 중요한 부분 중에 하나이다. 광대역 주파수 합성기에서 단일 VCO 이득을 가지도록 VCO를 제작할 경

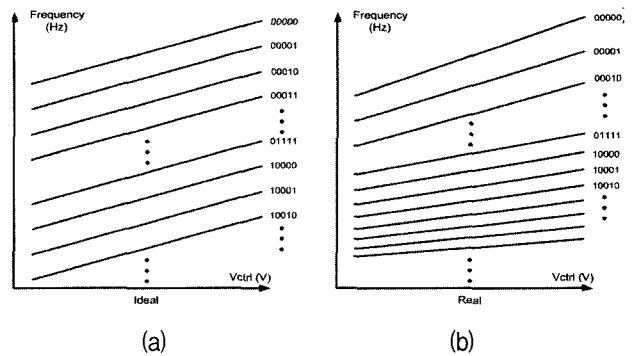


그림 3. (a) 이상적인 다중밴드 VCO의 VCO 이득 특성
(b) 실제 구현되는 다중밴드 VCO의 VCO 이득 특성

Fig. 3. (a) Ideal multi-band VCO gain characteristic.
(b) Real multi-band VCO gain characteristic.

우, VCO 구조는 간단해질 수 있지만 VCO를 제어하는 제어 전압의 변화에 VCO 출력 주파수가 민감하게 변화한다. VCO 제어 전압은 CP와 LF를 통해서 출력된 값이 입력되기 때문에 일반적인 DC 입력 전압보다 잡음 성분이 많이 포함되어 있고, 이런 현상으로 인해서 입력 전압의 작은 변화에도 출력 주파수가 많이 변하는 것은 주파수 합성기의 안정도를 저하시키게 된다. 따라서 최근 광대역을 지원하는 주파수 합성기를 제작하는 경우 주파수 합성기의 안정도를 위해 다중밴드 방식을 사용하는 추세이다.

$$\omega = \frac{1}{\sqrt{LC}} = \frac{1}{\sqrt{L(C_{var} + C_{capbank} + C_{parasitic})}} \quad (1)$$

하지만, 그림 3-(a)에서 보는 것과 같이 이상적인 VCO 이득 특성은 지원하는 주파수 대역이 넓을수록 식 (1)의 동일한 버렉터의 캐패시턴스(capacitance) 값의 변화에 대해서 캐패시터 뱅크의 값이 증가하기 때문에, 상대적으로 제어 전압 변화에 따른 주파수 변화 폭이 그림 3 (b)와 같이, 저주파로 갈수록 VCO 이득이 감소하는 그래프 형태로 변하게 된다.^[4] VCO 이득이 감소하는 것은 주파수 합성기의 안정도를 향상시키지만, 저주파에서 주파수 지원 범위를 감소시키고 주파수 합성기의 동작을 위한 다른 회로의 특성 변화를 가져오게 된다. 따라서 VCO 이득 저하를 개선함으로써, 주파수 합성기의 전체적인 성능향상을 가져올 수 있다.

구현한 다중 밴드 VCO에서 스위칭 방식의 버렉터 뱅크의 제어 비트는 전체적인 VCO 이득 감소를 최소화할 수 있도록 비트 설정을 해주어야 한다. 구현한 VCO에서 스위칭 방식의 캐패시터 뱅크의 제어 비트는 총 5비트이고, 제안한 스위칭 방식의 버렉터 뱅크는 이

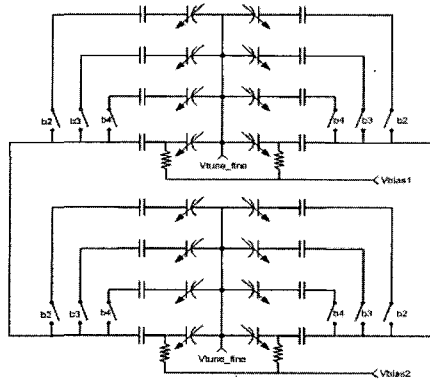


그림 4. 스위칭 기법을 적용한 버랙터 뱅크
Fig. 4. Switchable varactor bank.

5비트로 동시에 제어하도록 구현하는 것이 효율적이다.

$$\frac{2^{k_{capbank}} - 2^{k_{\cap bank} - k_{varbank}}}{2^{k_{capbank}}} \times 100 \geq 80 (\%) \quad (2)$$

식 (2)는 스위칭 방식의 버랙터 뱅크에 전체 비트중에 몇 비트를 할당할지를 결정하기 위한 식이다. 구현한 VCO에서는 총 5비트에서 스위칭 방식의 버랙터 뱅크에 MSB부터 총 3비트를 할당함으로써 전체 다중밴드에서 87.5%의 VCO 이득이 스위칭 방식의 버랙터 뱅크의 영향을 받도록 설계했다. 일반적으로 VCO 이득의 크기에 따라서 비트 할당은 다르지만, 약 80%에서 이상의 값을 가질 때 VCO 이득의 감소를 최소화할 수 있다.

그림 4는 제안한 스위칭 방식의 버랙터 뱅크의 회로도를 나타내고 있다. 제안한 스위칭 방식의 버랙터 뱅크는 선형 특성을 개선하기 위해 버랙터 바이어스를 사용하였다. 버랙터 바이어스에 일정 전압을 인가하면 바이어스 전압에 따른 버랙터의 캐패시턴스 값의 선형구간이 변하게 된다. 이 선형구간을 중첩하면 버랙터의 선형화를 얻을 수 있고, 제안한 회로에서는 바이어스 전압의 최소 개수를 이용해서 캐패시턴스 선형화를 최적화 하였다.^[5] 또한 VCO 이득 개선을 위해서 3비트의 스위치가 추가되었는데, 각 스위치는 캐패시터 뱅크의 상위 3비트와 동일한 입력에서 동작하게 설계하였다. 해당 비트 값이 활성화되면 스위치 부분의 버랙터와 기본적인 버랙터 부분이 동시에 동작하면서, 전체 버랙터 뱅크의 캐패시턴스 변화량이 증가하게 된다.

다. VCO 이득 보정 회로

스위칭 방식의 버랙터 뱅크는 VCO 이득의 향상을 가져올 수 있지만, VCO 이득의 간격을 향상시키지는

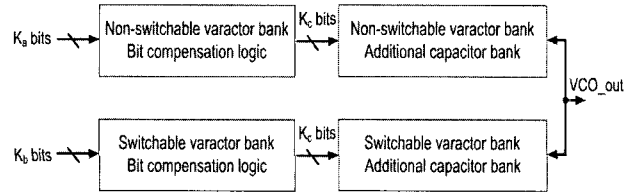


그림 5. VCO 이득 보정 회로 블록도
Fig. 5. Block diagram of the VCO gain interval compensation logic.

못한다. 이런 경우에는 다중 밴드 사이의 간격이 좁아서 출력 주파수 대역의 효율이 낮아지게 된다. 따라서, 추가적으로 VCO 이득에 대한 보정 회로가 필요하다. 그림 5는 VCO 이득의 간격을 보정하기 위해 제안한 회로의 블록도를 나타내고 있다.

$$K_a = k_{capbank} \quad (3)$$

$$K_b = k_{capbank} - k_{non-switchable var} \quad (4)$$

$$K_c = 2^{k_{var}} - 1 \quad (5)$$

보정 회로는 크게 버랙터 스위칭에 해당하는 비트와 해당하지 않는 비트에 대한 보정회로로 구성되어 있고, 이 보정 회로에 따라서 추가적인 캐패시터 뱅크로 구성되어 있다. 각 회로의 해당 비트는 식 (3)-(5)와 같이 설정된다. 그림 5에서 non-switchable varactor bank bit compensation logic은 스위칭 버랙터 비트로 할당되지 않은 비트에 대해서 VCO 이득의 간격을 보정하는 회로이고, switchable varactor bank bit compensation logic은 버랙터 뱅크가 동작할 때 VCO 이득을 보정하는 회로이다. 위의 두 회로는 캐패시터 뱅크가 활성화가 되는 낮은 주파수 대역으로 갈수록 많은 캐패시터가 필요하기 때문에, 더 낮은 주파수 대역에서 출력 주파수가 생성하기 위해 높은 주파수 대역의 캐패시터를 재사용하기 위한 로직으로 구성되어 있다.

따라서, 회로의 레이아웃에서 캐패시터의 면적을 감소시키면서, 전체 주파수 합성기의 소비 전력을 감소시킬 수 있다. 그림 6은 제안한 VCO 이득 보정회로 중에서 버랙터 스위칭에 해당하는 비트에 대해서 보정하는 회로의 출력 파형을 표시하고 있다.

그림 6에서 보는 것과 같이, 버랙터 스위칭 비트(b4, b3, b2)가 000에서 111까지 입력 값을 가질 때, K_{C-7}에서 K_{C-1}의 출력 값은 0000000, 0000001, 0000011, 0000111, ..., 1111111의 출력값을 가지게 된다. 이 때, 상위 출력 비트 값이 1이 나오게 되면 하위 비트 값은

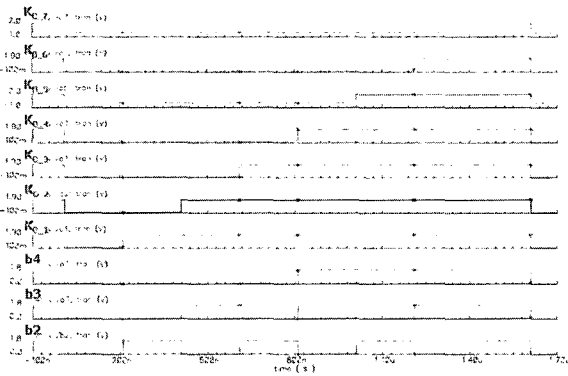


그림 6. VCO 이득 보정 회로 출력 파형
Fig. 6. VCO gain interval compensation logic output waveform.

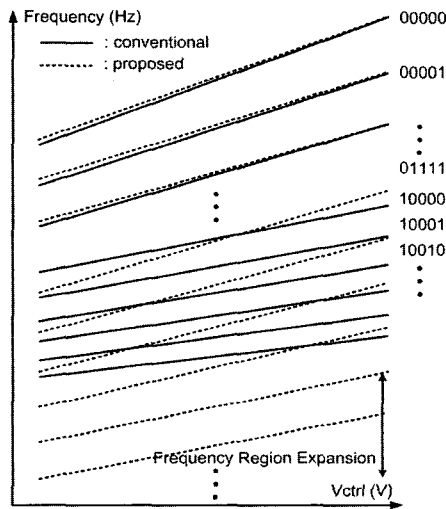


그림 7. 일반적인 VCO와 제안한 VCO의 이득 비교
Fig. 7. Conventional and proposed VCO gain comparison.

항상 1이 출력이 된다. 이 출력 값은 캐패시터 뱅크의 입력으로 들어가서 상위 출력 비트 값을 사용할 때, 하위 출력 비트 값은 항상 사용하는 구조를 가짐으로써 전체적인 캐패시터 값을 감소시키게 된다.

그림 7은 일반적인 VCO 이득과 제안한 스위칭 기법의 버랙터 뱅크와 VCO 이득 보정 회로를 사용한 VCO 이득을 비교한 것이다. 동일 캐패시터 뱅크의 비트를 가지고 구현할 경우에 비해서 VCO 이득 저하와 VCO 이득간의 간격을 개선하기 때문에 출력 주파수 범위를 확장할 수 있다. 또한 VCO 이득이 일정하게 유지됨으로써 주파수 합성기의 동작 특성에서 VCO 이득의 변화에 따른 전체 동작 특성을 개선할 수 있다.

표 2는 일반적인 VCO와 제안한 VCO의 VCO 이득 (K_{VCO})을 모의실험을 통해서 측정하고, 전체적인 측정 값을 바탕으로 도출된 결과를 비교한 것이다. 모의실험

표 2. VCO 이득 비교

Table 2. VCO gain comparison.

	Conventional	Proposed
K_{VCO} (max)	33.37 MHz/V	26.8 MHz/V
K_{VCO} (min)	6.61 MHz/V	22.1 MHz/V

결과에서 보는 것과 같이, 제안한 회로에서 VCO 이득 저하를 개선함으로써 VCO 이득의 변화를 $\pm 67\%$ 에서 $\pm 10\%$ 로 감소시키고, 지원하는 주파수 범위를 확장시킬 수 있는 것을 확인할 수 있었다.

3. 분수형 분주기의 설계

가. 분주 회로들의 설계

본 논문에서 구현하는 주파수 합성기는 T-DMB 및 ISDB-T, DVB-H의 방송 방식을 동시에 지원하는 시스템이다. 표1에서 보는 것과 같은 주파수 대역을 지원하는 VCO를 제작하는 것도 가능하지만, 가격대 성능비를 최적화하기 위해 하나의 VCO를 가진 주파수 합성기로 구현하는 것이 효율적이다. 세 가지 방송 모드를 동시에 지원하기 위한 주파수 합성기의 핵심블록 중에 하나가 바로 분수형 분주기이다.

분수형 분주기는 그림 1에서 본 것과 같이 post-divider, pre-main divider, main-divider, 그리고 시그마-델타 변조기(sigma-delta modulator)로 구성되어 있다. Post-divider는 방송 방식에 따라서 일정 분주비로 분주된 주파수를 최종 출력하게 된다^[4]. Post-divider는 입력 주파수가 최대 2GHz까지 입력되기 때문에, 고주파대역에서 분주에 적합 SCL(Source-Coupled Logic) flip-flop을 사용하였다.

Pre-main divider는 main-divider가 단일 분주기로 다중밴드 주파수 대역을 동시에 지원하기 위해 방송 방식에 따라 서로 다른 분주비로 분주하게 되고, main-

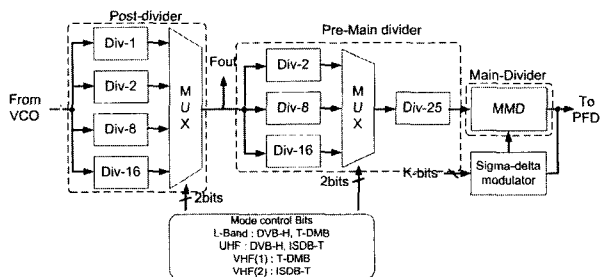


그림 8. 분주기 블록도
Fig. 8. Block diagram of divider.

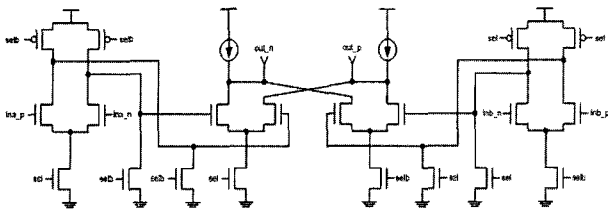


그림 9. 버퍼 기능을 포함한 SCL 2-to-1 MUX
Fig. 9. Block diagram of the post-divider.

divider에서는 방송 방식에 상관없이 직렬 방식 3차 1비트 시그마-델타 변조기의 분수 분주비를 이용해서 분주를 하게 된다. 그림 8은 구현한 분수형 분주기의 블록도를 나타낸 것으로, 방송 모드에 따라서 다른 출력 값을 최종 출력할 수 있도록 구현하고, Main-divider에서는 시그마-델타 변조기를 이용해서 분수형 분주를 하는 구조로 이루어져 있다.

분주기에서 post-divider를 사용함으로써 VCO의 출력 부분이 주파수 합성기의 최종 출력 부분이 아니라 post-divider의 출력이 최종 출력이 되기 때문에, 외부 주파수에 의해서 VCO 주파수가 직접적으로 영향을 받지 않게 된다. 따라서, 일반적으로 사용하는 VCO의 버퍼(buffer) 회로를 ac-coupling 회로로 간략하게 구현하고 버퍼 기능을 MUX에 추가함으로써, 버퍼에 소비되는 전력을 감소시킬 수 있다. 그림 9은 버퍼의 기능을 포함한 SCL MUX 회로를 보여주고 있다.

나. 시그마-델타 변조기의 설계

Main-divider에서 분수형 분주비를 결정하는 회로인 시그마-델타 변조기는 직렬 방식 3차 1비트 시그마-델타 변조기를 제작하였다. 시그마-델타 변조기는 MATLAB Simulink를 이용해서 설계하였고, VHDL 코드로 작성한 후 Altera APEX 20KE을 이용해서 검증하였다.

그림 10은 설계한 직렬 방식 3차 1비트 시그마-델타 변조기의 블록도를 나타내고 있고, 그림 11-(a)은 설계한 변조기를 VHDL 코드로 구현하고 로직 모의 실험한 결과를 보여주고 있다. 로직 모의 실험에서 시그마-델타 변조기의 출력 결과값을 바탕으로 주파수 합성기에 적용되는 분수 분주비 값을 확인할 수 있다.

시그마-델타 변조기를 HDL 코드로 설계하고 검증하는 경우에는 칩 제작 이전 단계에서 저주파에서 고주파로 노이즈 형성이 일어나는 것을 확인하기 어렵다. 본문에서 설계한 시그마-델타 변조기는 Simulink와 ModelSim을 연동하는 방법을 이용해서 설계하였다. 이

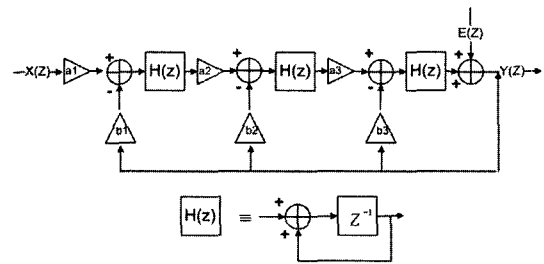
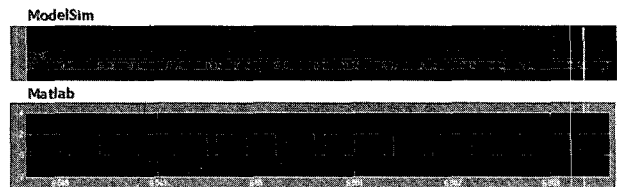


그림 10. 직렬 방식 3차 1비트 시그마-델타 변조기
Fig. 10. Single-stage 3th-order 1bit sigma-delta modulator.

log_2(2048/1024) = 1		1024		1024		1024		1024		1024	
Type	Value	1024	1024	1024	1024	1024	1024	1024	1024	1024	1024
PRESETn	1										
log_2(2048/1024)	1										
log_2(2048/1024)	1										

(a)



(b)

그림 11. (a) 시그마-델타 변조기의 로직 모의 실험
(b) ModelSim과 Matlab의 결과 비교
Fig. 11. (a) Sigma-delta modulator logic simulation
(b) ModelSim and Matlab results comparison

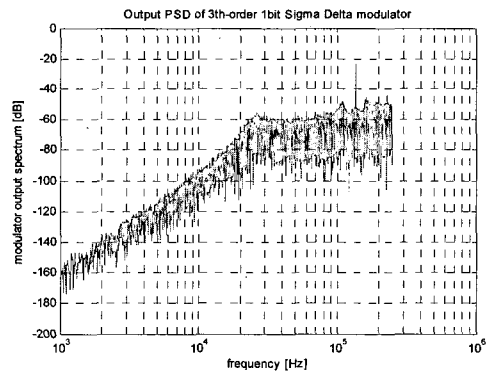


그림 12. Simulink-ModelSim 모의실험에 의한 노이즈 형성 결과
Fig. 12. Noise shaping result by Simulink-ModelSim simulation.

방법은 HDL 코드로 설계시 칩 제작 이전에 저주파에서 고주파로 노이즈 형성이 되는 것을 확인할 수 있어, 칩 제작이전에 노이즈 형성을 확인하고 결과적으로 시그마-델타 변조기의 제작을 효율적으로 할 수 있다. 그림 11-(b)는 ModelSim과 Matlab을 연동해서 시그마-델타 변조기가 동작한 후, 출력 결과를 비교한 것으로 노이즈 형성을 확인하기 위한 Matlab 출력 결과와

ModelSim 결과가 동일한 것을 확인할 수 있다.

VHDL 코드로 설계한 후 ModelSim과 Matlab을 연동하여 설계한 변조기가 저주파에서 고주파로 노이즈 형성이 되는 결과를 그림 12에 나타내었다.

4. PFD, Charge Pump 및 Loop Filter의 설계

PFD는 그림 13에서 나타난 것과 같이 가장 일반적인 구조인 두 개의 D-flip flop과 AND 게이트를 사용해서 설계하였다. PFD 설계시에 위상과 주파수 검출시 dead-zone이 발생하는 문제를 해결하기 위해 지연 블록을 추가해서 설계하였다.

그림 14에서 보여주는 전하 펌프(Charge pump)는 주파수 합성기의 특성 변화에 따라 전류량을 변화시킬 필요가 있기 때문에 입력 전압을 변경하여 다양한 기준 전류를 만들 수 있고, 안정된 기준 전류를 만들 수 있도록

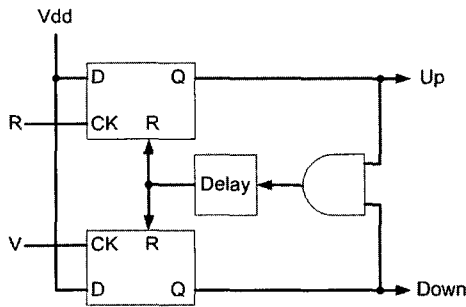


그림 13. 위상주파수비교기 블록도
Fig. 13. Block diagram of the PFD.

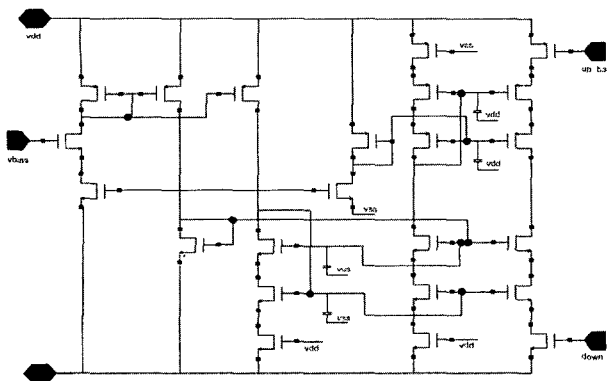


그림 14. Charge pump 회로도
Fig. 14. Schematic of the charge pump.

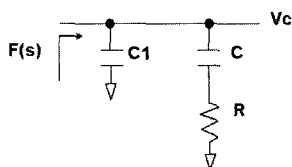


그림 15. 2차 수동 루프 필터 회로도
Fig. 15. Schematic of the 2nd order passive loop filter.

록 wide-swing 캐스코드 형태로 설계하였다. 설계한 전하 펌프의 입력 전압이 1.35V일 때 50 μ A가 흐르도록 제작하였으며, 최대 입력 전압일 때 약 100 μ A의 전류가 흐르도록 설계하였다. 그리고 그림 15와 같이 LF는 2차 수동 필터(passive filter) 형태로 제작하였다.

III. 모의 실험 결과

구현한 주파수 합성기는 0.18 μ m CMOS 공정으로 제작하였다. VCO와 분주기는 Cadence Spectre를 이용하여 검증하였고, VHDL 코드로 제작한 시그마-델타 변조기는 레이아웃시에 전체 주파수 합성기에 추가하기 위해 CLA(Carry-Lookahead Adder)와 flip-flop으로 이루어진 트랜지스터 레벨로 설계한 후 HSPICE로 검증하였다.

그림 16은 구현한 분주기에서 post-divider의 모의 실험 결과를 보여주는 것으로, VCO의 20MHz 출력주파수에 대해서 각 모드별로 1, 2, 8, 16분주가 가능한 것을 확인하였다.

Pre-main divider의 경우 고주파의 입력을 수십 MHz의 저주파 대역으로 분주를 한다. 그림 17의 결과는 그림 16의 출력 파형을 이용해서 main-divider 직전까지 분

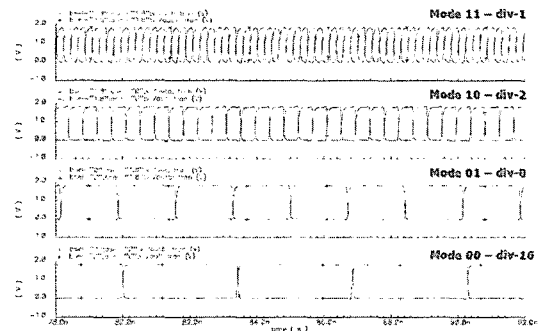


그림 16. Spectre를 이용한 post-divider 모의 실험 결과
Fig. 16. Post-divider simulation results using Spectre.

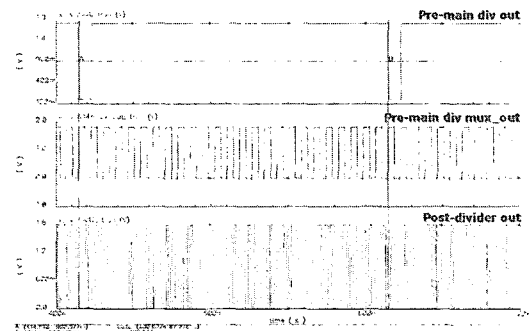


그림 17. Spectre를 이용한 pre-main divider 모의 실험 결과
Fig. 17. Pre-main divider simulation results using Spectre.

주기의 동작 특성을 모의실험으로 확인한 것이다.

VHDL 코드로 제작한 시그마-델타 변조기의 경우 주파수 합성기의 다른 시스템과 동시에 모의실험을 할 수 없는 단점이 있다. 따라서 주파수 합성기의 분수형 분주를 확인하기 위해서는 트랜지스터 레벨로 시그마-델타 변조기를 구현할 필요가 있다. 구현하는 주파수 합성기와 동시에 모의실험을 하기 위한 시그마-델타 분주기는 덧셈기와 플립플롭을 이용해서 구현이 가능하다. 그림 18은 트랜지스터 레벨로 구현된 시그마-델타 변조기의 모의실험 결과이다. 시그마-델타 변조기의 최종 출력 부분의 값은 main-divider의 입력으로 들어가서 분수형 값을 출력하게 된다.

본 논문에서 제안한 VCO 이득 저하를 개선한 모의 실험 결과는 그림 19에서 보여주고 있다. 이 그림은 VCO의 주파수 특성을 나타낸 것으로, 제안한 스위칭 방식의 버랙터 बैं크와 VCO 이득 보정 회로를 이용해

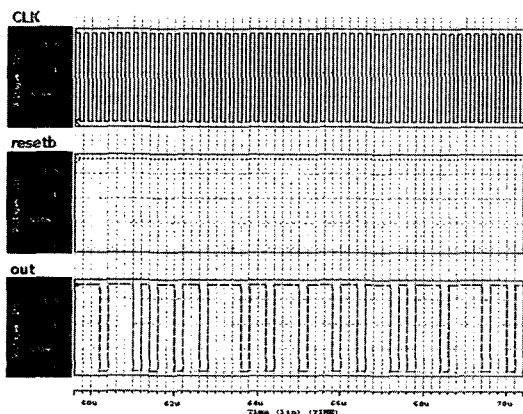


그림 18. HSPICE를 이용한 시그마-델타 변조기의 모의 실험 결과
Fig. 18. Sigma-delta modulator simulation results using HSPICE.

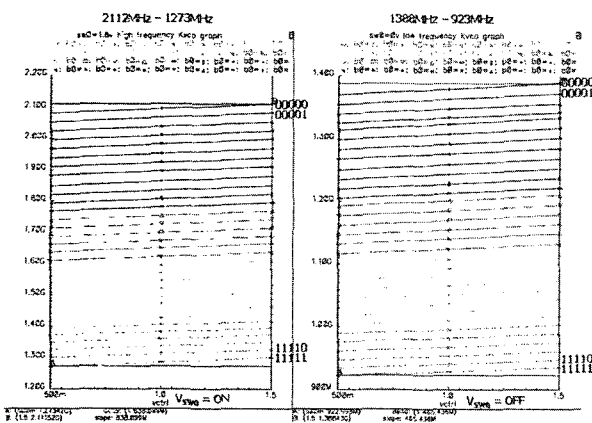


그림 19. VCO 이득 특성
Fig. 19. VCO gain characteristic.

서 저주파 대역의 VCO 이득도 고주파와 유사하게 구현되는 것을 모의실험 결과로 확인할 수 있었다. 모의 실험 결과에서 보는 것과 같이 전체적인 VCO 이득 특성이 균일한 간격과 기울기를 유지하는 것을 볼 수 있다. 제작한 VCO는 크게 두 개의 주파수 대역을 출력하게 되는데 인덕터를 스위칭해서 2개의 인덕터(L0, L1)만 동작하는 경우에는 1270MHz-2100MHz의 주파수를 출력하고, 4개의 인덕터(L0, L1, L2, L3)가 동작하는 경우에 920MHz-1390MHz의 주파수가 출력되는 것을 확인하였다. 본 논문의 VCO는 55%이상의 광대역 tuning range를 가지고 있지만, 균일한 VCO 이득 특성을 유지하는 것을 모의실험 결과로 알 수 있다.

그림 20은 스위칭 방식의 버랙터와 일반적인 버랙터를 이용해서 1/f 잡음에 근거한 위상잡음의 차이를 모의실험한 결과이다. 두 개의 위상잡음에 대한 그래프는 동일한 주파수에서 비교를 한 것으로 일반적인 버랙터 방식의 VCO는 같은 주파수 대역을 지원하기 위해 더 많은 스위칭 방식의 캐패시터 बैं크를 동작해야 하기 때문에, 제안한 방식이 offset 주파수가 작은 경우에 위상 잡음이 감소하는 것을 알 수 있다. 제안한 스위칭 버랙터 बैं크와 VCO 이득 보정회로를 사용한 VCO의 경우 1.58GHz에서 -127dBc/Hz @ 1MHz offset의 위상 잡음 특성을 확인하였다.

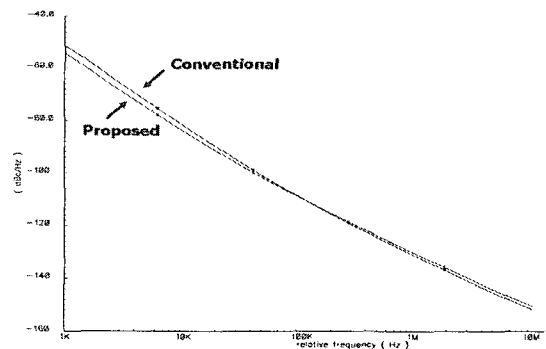


그림 20. VCO 위상 잡음 특성
Fig. 20. VCO phase noise characteristic.

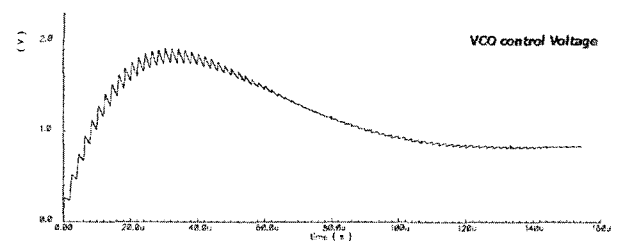


그림 21. VCO 제어 전압 특성
Fig. 21. VCO control voltage characteristic.

주파수 합성기의 고착 시간을 확인하기 위해 모의 실험을 통한 VCO 제어 전압 결과를 그림 21에서 보여주고 있다. 500kHz의 기준 주파수에서 주파수 합성기의 최종 출력 주파수가 1.6GHz일 경우에 고착 시간은 약 140 μ s인 것을 확인할 수 있었고, 다중밴드 VCO의 특성인 낮은 VCO 이득 값으로 인해서 VCO 입력 전압 값이 잡음 등에 의해서 변화할 경우에도 주파수 변화 폭이 감소하게 된다.

IV. 결 론

T-DMB 및 mobile-DTV를 위한 주파수 합성기를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. VCO와 PFD, CP, LF는 Cadence Spectre를 이용하여 검증하였고, 분주기는 Spectre와 Matlab Simulink, ModelSim, HSPICE를 이용하여 검증하였다. VCO는 PMOS를 사용하여 위상잡음을 감소시켰고, 인덕터와 캐패시터, 제안하는 버렉터를 선택적으로 스위칭하는 기법을 적용하여 920MHz-2100MHz 대역에서 동작 가능한 것을 확인하였다. 캐패시터의 선형 특성을 개선하는 버렉터 바이어스 개수를 2개로 최소화 하였고, 버렉터 스위칭 기법으로 K_{VCO} 를 일정하게 유지할 수 있었다. 추가적으로, VCO 이득 보정 회로를 이용해서 VCO 이득을 일정하게 유지하면서, VCO 이득의 간격도 유지하도록 설계하였다. 분수형 분주기는 서로 다른 방송 방식을 동시에 지원할 수 있도록 최적화 하였고, 분수형 분주기의 시그마-델타 변조기는 제안하는 Simulink와 ModelSim의 연동 방법으로 저주파에서 고주파로 노이즈 형성이 일어나는 것을 칩제작 이전 단계에서 확인이 가능하였다. VCO의 소모 전력은 10mW, 56.3%의 tuning range, 1.58GHz 출력 주파수에서 -127dBc/Hz @ 1MHz offset의 잡음 특성을 확인하였다. 주파수 합성기의 전체 소모 전력은 18mW, 고착시간은 약 140 μ s이다. 500kHz의 기준 주파수를 사용하여 모든 방식의 채널 지원이 가능하며, 앞으로 DMB 등에서 그 수요가 크게 증가할 것으로 여겨진다.

참 고 문 헌

- [1] Patrick Antoine et al., "A Direct-Conversion Receiver for DVB-H", 2005 JSSC, vol. 40, pp.2536-2546, Dec. 2006.
- [2] Bonkee Kim et al., "A 100mW Dual-Band CMOS Mobile-TV Tuner IC for T-DMB/DAB and ISDB-T", 2006 ISSCC, vol. 49, pp.614-615, Feb.

2006.

- [3] Park, Y. et al., "Wide-band CMOS VCO and frequency divider design for quadrature signal generation", 2004 IEEE MTT-S, vol. 3, pp.1493-1496, Dec. 2004.
- [4] Marutani et al., "An 18mW 90 to 770MHz synthesizer with agile auto-tuning for digital TV-tuners" 2006 ISSCC, vol. 49, pp.192 - 193, Feb. 2006.
- [5] Julien MIRA et al., "Distributed MOS Varactor Biasing for VCO Gain Equalization in 0.13 μ m CMOS Technology", 2004 IEEE RFIC Symposium, pp. 131-134, June. 2004.

— 저 자 소 개 —



문 제 철(학생회원)
 2006년 2월 숭실대학교 정보통신
 전자공학부 학사 졸업.
 2007년 현재 숭실대학교
 전자공학과 석사 재학중.
 <주관심분야 : PLL, LC-VCO, 시
 그마-델타 변조기, CMOS RF 등>



문 용(정회원)
 1990년 서울대학교 전자공학과
 학사 졸업.
 1992년 서울대학교 전자공학과
 석사 졸업.
 1997년 서울대학교 전자공학과
 박사 졸업.
 1997년~1999년 LG반도체 선임연구원.
 1999년~현재 숭실대학교 정보통신전자공학부
 부교수.
 <주관심분야 : 혼성신호 집적회로, 저전력회로,
 CMOS RF, UWB 등>