

논문 2007-44SP-1-6

# 다중연산구조기반의 고밀도 성능향상을 위한 움직임추정의 디인터레이싱 방법

( Deinterlacing Method for improving Motion Estimator based on multi arithmetic Architecture )

이 강 환\*

(Kangwhan Lee)

## 요 약

본 논문에서는 필드/프레임의 공간적, 시간적 움직임 특성을 활용한 디인터레이싱 기법을 이용해 재구성된 영상프레임으로부터 넓은 탐색영역에서의 움직임추정이 가능한 이중연산구조 기반의 다해상도 계층적 움직임 추정 방식(multi-resolution hierarchical motion estimation, MHME)의 효율적인 다중연산구조 기반의 움직임 추정을 제안한다. 공간적, 시간적 움직임 특성으로부터 디인터레이싱 기법을 적용하여 재구성된 영상프레임으로부터는 계층적 움직임 추정방식을 적용하여 빠른 움직임 영역에서도 화질의 열화가 거의 없는 다해상도 계층적 움직임 추정(MHME) 영상처리를 구현하였고, 비교적 높은 PSNR을 얻을 수 있었다. 다양한 모드 M=2 또는 M=3의 여러 가지 모의실험을 통해 제안된 구조가 전역탐색 블록정합 알고리즘(Full-search Block Matching Algorithm, FBMA)에 대하여 예측성능에 있어 최고 1.49dB(CAR), 최저0.421dB(Mobile & Calendar)의 모의실험결과 평균 -0.7dB 정도의 미소한 평균 PSNR 저하를 나타내었다. 이의 구현을 위해 제안된 전역/후역 탐색방식의 연산처리방식은 하나의 처리기소자(Processor Element, PE)에 이중연산처리기(DAPE) 구조를 채택하여 제한된 PE로부터 넓은 탐색영역에서의 움직임 추정이 가능한 전역/후역 탐색방식(Foreground & Background Search Algorithm, FBSA)의 비트 처리열 탐색 알고리즘을 제안 적용하여 움직임추정 연산의 성능을 구조적으로 향상시키는 다중프로세서 어레이 구조(Multiple Processor Array Unit, MPAU)를 개발 제안하였다.

## Abstract

To improved the multi-resolution fast hierarchical motion estimation by using de-interlacing algorithm that is effective in term of both performance and VLSI implementation, is proposed so as to cover large search area field-based as well as frame based image processing in SoC design. In this paper, we have simulated a various picture mode M=2 or M=3. As a results, the proposed algorithm achieved the motion estimation performance PSNR compare with the full search block matching algorithm, the average performance degradation reached to -0.7dB, which did not affect on the subjective quality of reconstructed images at all. And acquiring the more desirable to adopt design SoC for the fast hierarchical motion estimation, we exploit foreground and background search algorithm (FBSA) base on the dual arithmetic processor element(DAPE). It is possible to estimate the large search area motion displacement using a half of number PE in general operation methods. And the proposed architecture of MHME improve the VLSI design hardware through the proposed FBSA structure with DAPE to remove the local memory. The proposed FBSA which use bit array processing in search area can improve structure as like multiple processor array unit(MPAU).

**Keywords :** motion estimator, multiprocessor, deinterlacing, VLSI, MPEG

## I. 서 론

\* 정희원, 한국기술교육대학교 정보기술공학부  
(Dept. of Computer Engineering, Korea University  
Technology And Education)  
접수일자: 2006년6월6일, 수정완료일: 2006년12월26일

최근 SoC 시스템의 구현에 있어 기본적으로 고려해야 될 사항으로는 시스템의 크기와 데이터의 처리속도이며, 양자는 일반적으로 상호 보완적 관계를 유지하고

있다. 이는 현재 동영상 압축의 표준인 ITU의 H.261/263/264 등 ISO의 MPEG(Motion Expert Group)에서 국제 표준기술로 채택된 영상처리의 구현에 있어서도 마찬가지로 적용되는 문제이다<sup>[1-4]</sup>. 특히, 반도체 및 관련 기술의 발전에 따라 SoC(system on chip) 등의 시스템 소형화가 급격히 진행되고 있는 추세이고, 메모리, 버퍼, 레지스터 등 시스템 구현에 사용되는 기본소자의 성능도 급격한 기술성장을 보임에 따라 위의 두 조건을 동시에 충족시킬 수 있는 시스템의 구현에 많은 변화를 주고 있다. 이러한 추세로 볼 때 시스템의 소형화와 모듈화를 위해 보다 개선된 알고리즘과 이들을 구현하기 위한 하드웨어적 구조에 따른 VLSI 구조알고리즘도 함께 선행 연구되어야 할 것이다. 이러한 알고리즘 연구는 영상처리의 성능을 효과적으로 향상시킬 수 있을 뿐만 아니라 구현될 하드웨어의 복잡도를 줄이고, 데이터의 입·출력 및 데이터 처리 시 발생하는 중복성(redundancy) 등을 줄임으로써 실시간 처리가 가능한 시스템의 구현을 제시하게 된다. 특히 최근 영상처리 시스템의 경우에는 순차방식을 적용하는 모니터나 HDTV 등이 보급됨에 따라 디인터레이싱 기법을 이용하여 영상을 축소해서 전송한 후 수신단에서 다시 확대하는 개념의 동영상압축 및 전송 방법들이 연구되고 있다<sup>[1]</sup>. 기존의 디인터레이싱 방법들은 크게 움직임 정보(motion information)를 이용하는 방법<sup>[3]</sup>과 움직임을 이용하지 않는 방법으로 구분할 수 있다. 움직임 정보를 이용하는 방법들은 주로 MPEG과 같은 표준 동영상 압축에 쓰이는 움직임벡터(motion vector)를 사용한다. 즉, 보간 할 영상의 위치에 상응하는 영상 내에서의 움직임 벡터 정보를 사용하여 현재 영상을 보간 하는 방법이 사용되고 있다. 최근에는 쌍방향에서 움직임 벡터를 찾는 방법<sup>[2]</sup>과 이전 프레임 N개의 영상과 이후 프레임 N개 영상으로부터 소수점 정확도(1/2, 1/4)로 움직임 벡터를 찾는 방법<sup>[1]</sup>도 제안되었다. 움직임 정보를 이용하는 방법은 일반적으로 우수한 성능을 나타내지만 움직임 벡터를 찾는 과정에서 계산량의 부담이 크며, 움직임을 잘못 찾았을 경우에는 상당한 화질의 열화를 가져올 수 있다.

본 연구에서 중점을 두고 있는 다중연산구조 기반의 고밀도 성능향상을 위한 움직임추정의 디인터레이싱 방법은 개선된 알고리즘과 함께 구현에 보다 적합한 하드웨어적 구조에 따른 VLSI 구조알고리즘을 제시하고자 한다. 본 연구에서 제시하고자 하는 기본 개념은 처리하고자 하는 영상프레임에서 존재하는 영상의 움직임이

공간적 및 시간상에서 상호 상관관계를 가지고 있는 정보를 이용하여 계층적으로 영상을 재구성 한다. 이렇게 재구성된 영상프레임으로부터 움직임 추정이 가지고 있는 계산복잡도와 이득을 이용하여 움직임 추정 연산 시 적용되는 블록 크기의 단위는 감소하게 되어 화질의 열화를 막으면서도 상대적으로 탐색영역의 크기를 확장하는 디인터레이싱 방법에 따른 영상의 재구성 방법을 소개한다.

본 논문의 구성은 II장에서 영상에서의 공간적 시간적 상관관계를 이용한 디인터레이싱 영상의 재구성 방법을 소개하고, III장에서는 제안된 디인터레이싱 영상의 여러 가지 재구성 방법에 따른 성능 분석을 보여준다. 마지막으로 IV장에서는 개선된 알고리즘에 따라 이를 효과적으로 구현하기 위한 VLSI 구조알고리즘을 제시하고, V장 결론에서는 이의 구현된 SoC하드웨어와 실장을 보여준다.

## II. 디인터레이싱 영상의 재구성 방법

### 1. 디인터레이싱 상관관계분석

대부분의 영상 시퀀스는 연속적이거나, 비정형적 또는 다른 복잡한 형태의 움직임 벡터 특성을 가지게 된다. 만일 영상 내에서 임의의 블록(R)의 움직임 벡터가 연속적이라면, 이는 인접한 블록에 대해서 매우 큰 공간적 상관관계를 그림 1처럼 가지게 될 것이다. 이를 살펴보면 영상정보는 연속적 움직임 벡터의 인접블록과의 공간적, 시간적 상관관계에서 나타나며, 블록(R)의 움직임 벡터는 이웃한 인접 블록이 가지는 공간상 상호관계에 의해 예측되어 질 수 있다. 이러한 계층적 움직임

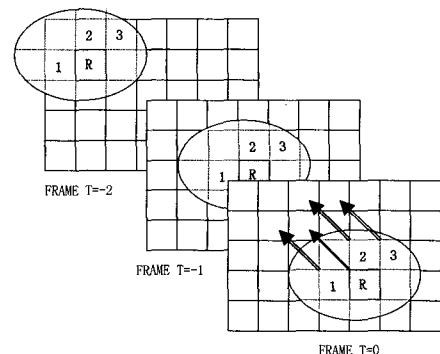


그림 1. 연속적 움직임 벡터의 인접블록과의 공간적, 시간적 상관관계

Fig. 1. The time and temporary relations of motion vector between neighbor blocks.

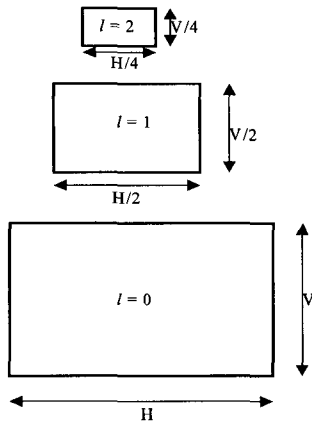


그림 2. 디인터레이싱 다해상도 프레임 구조  
Fig. 2. Deinterlacing multiresolution frame structure.

임 벡터의 성질을 이용하면 저해상도의 상위계층으로부터 획득한 움직임 추정벡터가 국부최소점(local minimum problem)에 있더라도 하위계층의 고해상도 움직임 추정연산을 통하여 극복할 수 있게 되고, 움직임 추정 시 요구되는 연산량도 전역탐색 움직임 추정보다 줄일 수 있다.

즉, 이는 영상의 상위 필드(top\_field)와 하위 필드(bottom\_field) 또는 N개의 프레임 간 상호 거리에 따른 시간적 상관관계가 있음을 의미한다. 다음의 그림 2에서는 일반적인 영상프레임에 있어 시간 및 공간상의 상관관계를 이용한 디인터레이싱 방법으로 재구성된 다해상도의 영상프레임을 보여준다.

디인터레이싱 방법으로 재구성된 다해상도의 영상프레임에서 살펴보면, 상위계층의 저해상도 프레임정보로부터 하위계층의 원영상에 대한 프레임으로의 영상을 각계층별로 구성하고 있다. 이로부터 다해상도에서의 움직임 추정을 위한 프레임이 각 계층별로 재구성됨을 알 수 있다. 그림에서 살펴보면, 계층(l)이 증가 할수록 탐색영역의 크기는  $1/2^{2l}$  의 크기로 감소하면서 움직임 추정 시 연산량이 감소되는 효과를 얻을 수 있다.

그림 2에서 보듯이 다해상도의 계층적 움직임 추정 연산에서는 계층이 증가 할수록 영상프레임의 수평 및 수직 화소수는  $N_S/2^l$ 로 감소하게 되고 기준프레임의 블록의 크기는 계층레벨(L=0)에서 원영상(16x16)의 크기를 가지고, 증가하는 각 계층레벨(l=1, 2, ...)에 대해 블록의 크기는 각각 (8x8) 및 (4x4)를 가진다. 이때의 탐색영역(search range, SR)은 식 (1)로 나타낼 수 있다.

$$SR^{(l)} = (x, y) \mid -\frac{N_S}{2^l} \leq x < \frac{N_S}{2^l}, -\frac{N_S}{2^l} \leq y < \frac{N_S}{2^l}, l = 0, 1, 2, \dots \quad (1)$$

또한 임의의 계층레벨(L)에서 SAD(sum of absolute difference)와 움직임 벡터(motion vector, MV)는 식 (2)와 같이 정의된다.

$$SAD_{(m,n)}^{(l)}(x,y) = \sum_{i=0}^{\frac{N}{2}-1} \sum_{j=0}^{\frac{N}{2}-1} |I_f^{(l)}(i+m, j+n, k) - I_f^{(l)}(i+m+x, j+n+y, k-1)|$$

$$MV^{(l)}(m,n) = \arg \min_{(x,y) \in SR^{(l)}} SAD_{(m,n)}^{(l)}(x,y) \quad (2)$$

본 논문에서 제안된 디인터레이싱 방법에 따라 재구성된 영상프레임에는 원영상에서 존재하는 각 화소의 영상 에너지 정보를 포함하게 된다. 따라서 다해상도 계층적 영상의 특징을 고려한 움직임추정은 임의적으로 재구성된 영상과는 달리 복잡한 블록으로 구성되는 영상 시퀀스에 있어서도 영상에 대한 화소간의 상관관계를 향상시키고, 주어진 영상의 정보로부터 확률적으로 2배의 정보를 포함하고 있는 화소단위에 대한 움직임 추정 연산을 수행한다. VLSI 구조설계에서는 영상의 이러한 성질을 적용하여 넓은 탐색영역에서의 움직임 추정과 유사한 보다 정확한 움직임 추정이 가능한 VLSI 구조의 이론적 근거를 마련하고, 이로부터 움직임 추정 연산 수행이 가능한 결과를 보여준다. 본 논문에서는 움직임 추정으로 인한 영상의 PSNR을 유지하는 동시에 각 계층별 영상의 화소를 어떠한 방식으로 감소할 것인지를 연구하고 이를 적용한 VLSI구조를 개발함이 목표이다.

## 2. 제안된 디인터레이싱 영상의 재구성

영상처리에 있어 격행주사(interlaced)방식의 영상프레임은 움직임이 적거나 없는 영상에서 유리하다. 움직임이 적은 경우 주어진 영상의 정보로부터 필드영상보다 2배의 정보를 획득할 수 있는 효과가 있기 때문에 화소간의 상관성이 높아서 압축효율을 높일 수 있다. 반면, 필드 영상의 처리는 움직임이 큰 영역에서 프레임영상의 처리보다 성능이 우수하다. 이는 전체적으로 움직임이 빠른 영상에 대해 프레임 처리를 하면 수직방향으로 고주파 성분이 많아져 화소 라인간의 상관도가 낮아지므로 부호화 효율을 감소시키는 원인이 된다.

본 논문에서는 영상의 디인터레이스드(de-interlaced) 방식<sup>[2,4]</sup>을 이용하여, 각 필드로의 공간적, 시간적 상관

관계를 지니는 화소로부터 영상정보를 추출하고 압축한 다음 상위필드와 하위필드간의 상관관계를 가지는 정보로 영상을 재구성하는 방식을 제안한다. 제안된 영상의 공간적, 시간적 특성을 고려한 디인터레이스드(de-interlaced) 특성의 프레임 재구성 방법에 대해 알아보면 다음과 같다.

$L \times L$ 공간해상도를 가지는 공간적, 시간적 영상의 입력 정보를 가진 프레임 화소를  $X(m,n)$ 이라고 하면, 이때 입력되는 블록( $M \times N$ )에 대한 각 화소의 위치( $i,j$ )에 대해 재구성되어지는 프레임의 상위 필드  $F_T(m,n)$ 와 하위필드  $F_B(m,n)$ 는 식 (3) 으로 표현된다.

$$F_T(m,n) = \frac{1}{K} \sum_{i=0}^{M/2} \sum_{j=0}^N |X(2i,j) + X(2i+m,j+n)|$$

$$F_B(m,n) = \frac{1}{K} \sum_{i=0}^{M/2} \sum_{j=0}^N |X(2i+1,j) + X(2i+1+m,j+n)| \quad (3)$$

여기서  $K$ 는 사용된 프레임 내에서 동시 처리된 인접한 화소수에 따른 평균필터 계수를 의미한다. 따라서 이때의 공간적, 시간적 상관관계를 지니는 프레임에서의 화소간 재구성된 영상 프레임  $F(m,n)$ 은 식 (4) 로 간략히 나타낼 수 있다.

$$F(m,n) = \sum_i^{Deci(i)} \sum_{j=0}^{Deci(j)} X(i+m,j+n) \quad (4)$$

식 (4) 는 입력된 영상에 대해 선택된 추림방법에 따른 상위필드와 하위 필드에 대해 공간적, 시간적 상관관계를 고려하여 재구성된 영상에 관한 정보이므로  $k_{th}$  만큼 거리를 가지는 프레임에 대해 재구성된 영상 프레임  $D(m,n,k)$ 의 생성은 식 (5) 와 같다.

$$D(m,n,k) = \frac{1}{G} \sum_{m=0n=0}^L \sum_{k=0}^L |F_T(m,n,k) + F_B(m,n,k)| \quad (5)$$

여기서  $G$ 는 사용된 프레임 내에서 동시 처리된 인접한 영상에 따른 평균필터 계수를 의미 한다. 즉, 이를 입력영상  $I_f^{(0)}(\cdot)$ 에 대해 표현하면 식 (6) 과 같다.

$$I_f^{(l+1)}(i,j,k) = \sum_{i=0}^m \sum_{j=0}^n F_T(m,n) F_B(m,n) I_f^{(l)}(2i-m, 2j-n, k), l=0,1 \quad (6)$$

여기서  $I_f^{(l+1)}(\cdot)$ 은 다해상도 계층에 있어서의 평균필터 함수로 이보다 더 낮은 계층 함수  $I_f^{(l)}$ 와  $F_T(\cdot)$ ,  $F_B(\cdot)$ 로부터 재구성된 영상프레임이고,  $i, j$ 는 공간적 상관관계에 따른 프레임내의 화소,  $k$ 는 시간적 상관관

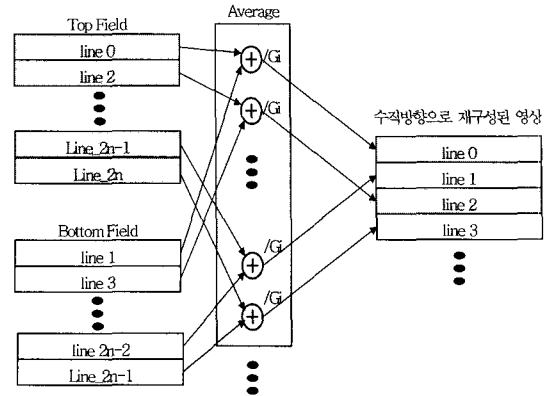


그림 3. 제안된 디인터레이스드 영상의 재구성  
Fig. 3. Proposed deinterlacing reconstruction frame.

계에 따른 프레임간의 거리를 의미한다.

그림 3은 격행 필드(interlaced field) 구조로부터 수평 및 수직방향에 대해 디인터레이스드(de-interlaced)의 공간 및 시간적 상관관계에 따라 재구성된 영상프레임의 처리과정의 한 예를 보여준다.

### III. 제안된 디인터레이싱 영상의 재구성 방법에 따른 모의실험

디인터레이싱 방법에 따른 영상처리에 있어서, 해상도가 낮은 영역에서의 움직임추정 시, 영상을 재구성하는 방법에 따라 계층적 움직임 추정방식의 성능이 달라질 수 있기 때문에, 움직임추정의 성능 향상을 위해서는 적절한 방식에 따라 영상을 재구성하는 방법을 선택함이 VLSI의 구현에 앞서 매우 중요하다<sup>[2-4]</sup>. 본 논문에서는 그림 4에서 보여주는 바와 같이 다음의 3가지 방식을 고려한 영상모의 실험을 수행하였고, 이에 따른 영상을 재구성할 수 있었다.

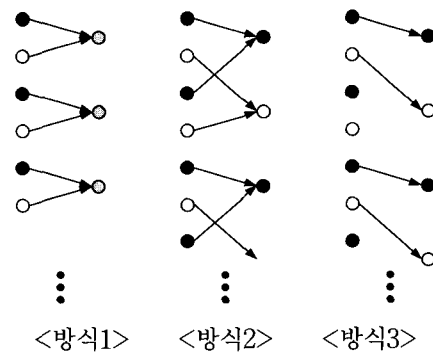


그림 4. 제안된 영상의 여러 가지 재구성방법  
Fig. 4. Proposed method of variable reconstruction.

- 방식1) 디인터레이스드 평균필터를 사용하여 영상을 재구성하는 방법과
- 방식2) 필드와 필드간에 평균필터를 입점한 화소간 적용하는 방법
- 방식3) 필드간의 서브샘플링을 통해 움직임 추정하는 방법이 있다.

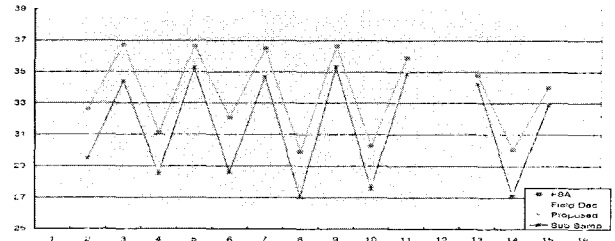
본 논문에서의 영상모의 실험은 다양한 모드(M=2 또는 M=3)에서 여러 가지의 영상모의 실험결과를 바탕으로 영상을 재구성하는 방식을 결정하고자 한다. 먼저 이의 성능 평가를 위한 인코딩 조건은 다음과 같이 설정하였다.

주어진 시퀀스에 대한 모의실험 성능을 평가하기 위해 인터레이스드 입력 원영상에 대한 기준블록의 크기를 16x16으로 설정하고, 이때 적용된 입력영상 모드를 M=2 또는 3을 적용하였으며, 탐색영역의 크기는 P-프레임에서 수평, 수직방향으로 각각 -64 ~ +63(H), -16 ~ +15(V) 및 B-프레임에서 수평, 수직방향으로 각각 -32 ~ +31(H), -16 ~ +15(V)로 각각 설정하고 움직임 추정의 성능을 PSNR측면에서 비교하였다.

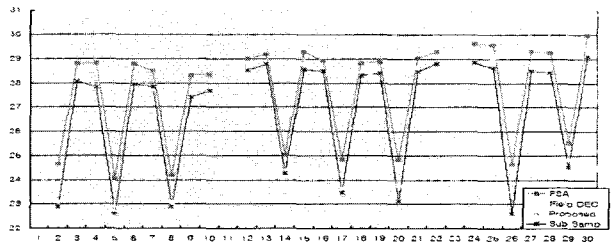
앞에서 제시된 3가지 방법에 따른 움직임추정 성능 분석의 결과 (방식2)의 경우에는 이미 일반적으로 알려진 대로 필드특성에 따라 빠른 움직임이 존재하는 "CAR"시퀀스의 경우 역시 우수한 PSNR을 보여주었다. 또한 (방식1)의 경우에는 디인터레이스드 성질을 평균필터를 이용하여 재구성한 영상의 생성으로부터 움직임 추정을 수행한 결과 움직임이 느리거나 복잡한 영상에 대해서는 (방식2)보다 우수한 PSNR을 보여주었고, 움직임이 빠른 시퀀스에서는 (방식2)와 거의 유사한 PSNR을 보여주었지만, 프레임간의 거리가 비교적 먼 경우에 해당하는 M=3의 모드경우에는 (방식1)의 경우가 (방식2)의 경우보다 더 우수한 PSNR을 보여주었다. 또한 마지막으로 제시된 (방식3)의 경우에는 다소 영상의 성능은 저하되지만 VLSI로 구현 시 단순히 sub-sampling만을 수행하게 되므로 추가적인 연산구조가 필요하지 않다는 장점이 있다.

본 논문에서는 제안된 위의 3가지 방법 중 움직임 추정을 수행했을 때 영상의 예측 성능분석 결과로부터 전역탐색알고리즘(FSA)에 가장 근접하는 성능으로는 제안된 방식(1)의 디인터레이스드 방식의 공간필터링으로 평균필터 기법을 프레임 단위에서 적용한 경우가 가장 좋은 성능을 보여주는 것으로 해석되었다.

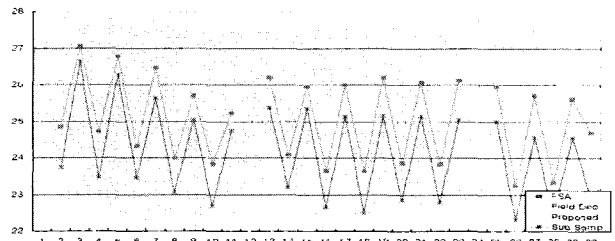
그림 5는 이들에 대한 예측영상의 PSNR 모



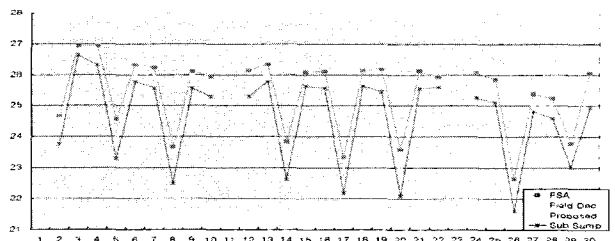
(a)



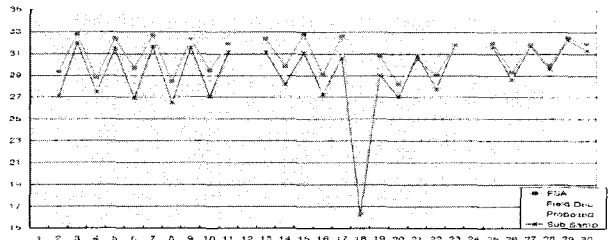
(b)



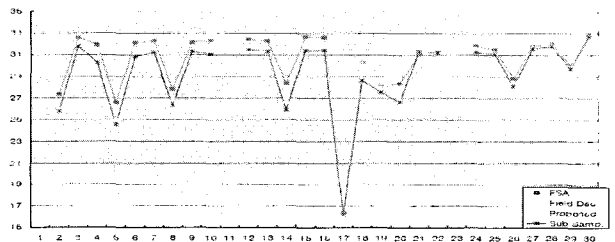
(c)



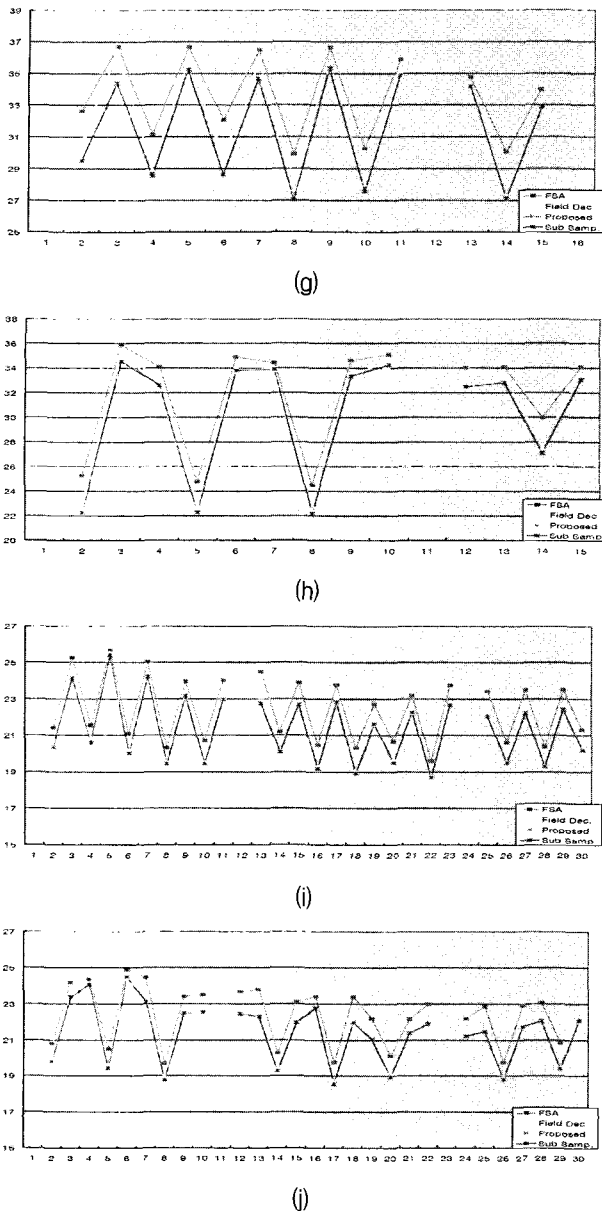
(d)



(e)



(f)



(a) M=2 (Football), (b) M=3 (Football), (c) M=2 (Mobile & Calendar), (d) M=3 (Mobile & Calendar), (e) M=2 (Table Tennis), (f) M=3 (Table Tennis), (g) M=2 (Car), (h) M=3 (Car), (i) M=2 (Cheer), (j) M=3 (Cheer)

그림 5. 영상의 모의실험결과

Fig. 5. Simulated a various picture mode M=2 or M=3.

의 실험결과를 보여준다.

공간적, 시간적 움직임 특성으로부터 디인터레이스드 프레임의 평균필터 기법을 적용하여 제안된 방식에 따른 재구성된 영상프레임으로부터 모의실험을 수행하였고, 비교적 높은 PSNR을 얻을 수 있었다. 모의실험결과 GOP 모드 M=2의 예측 영상에 대해서는 최고 1.49dB(CAR), 최저0.421dB(Mobile & Calendar)의 성능 열화를 보이고, M=3의 경우 예측 영상에 대해서는 최

고 1.293dB(CAR), 최저0.361dB(Mobile & Calendar)의 성능 열화로 모의실험결과 평균 -0.7dB 정도의 미소한 평균 PSNR 저하를 나타내었다. 따라서 전반적으로는 모의실험결과 제안하는 디인터레이스드 기법을 적용한 프레임에서의 평균필터를 사용하여 영상을 재구성하는 방법이 VLSI 설계측면에서 관찰하였을 때 최소의 연산량을 적용한 조건에서 최적의 움직임 추정 성능을 보여주는 것으로 평가되었고, 이를 VLSI 설계에 적용하는 근거로 적용한다.

#### IV. 다중연산의 SoC 구조 설계

고밀도의 성능향상을 위한 영상처리는 개선된 알고리즘과 함께 하드웨어적인 구조에 따른 데이터 입·출력을 위한 메모리 제어 및 연산처리 등을 위한 VLSI 알고리즘도 동시에 개발되어야 한다. 특히 움직임추정에서는 주어진 탐색영역의 범위가 증가함에 따라 방대한 양의 계산을 필요로 하기 때문에 VLSI로 시스템을 구현했을 때 회로가 복잡해진다는 문제점을 안고 있다. 이러한 문제점들을 극복하기 위하여 본 논문에서는 하나의 처리기 소자(Processor Element, PE)에 이중연산처리(DAPE) 구조를 채택하여 제한된 PE로부터 넓은 탐색영역에서의 움직임 추정이 가능한 블록 화소 병렬 파이프라인 처리제어방식의 선형시스틀릭 어레이 (systolic array) 구조를 개발 적용하였다<sup>[4]</sup>.

구현된 VLSI 칩에는 아래 그림 6에서 보여 주는바와 같이 제안된 MEP구조를 이용한 모두 256개의 처리기 소자(PE)로 구성되며, 각각의 처리기 소자(processor element, PE)에는 하나의 기준블록에 대해 이중연산처리 소자(dual arithmetic processor element, DAPE) 구조를 설정하여 분리된 2개의 탐색영역인 전역(FG/후역(BG) 탐색방식의 비트열에서 동시에 움직임 추정 연산을 수행 하도록 구성된 다중 연산처리구조를 적용 하였다<sup>[4]</sup>.

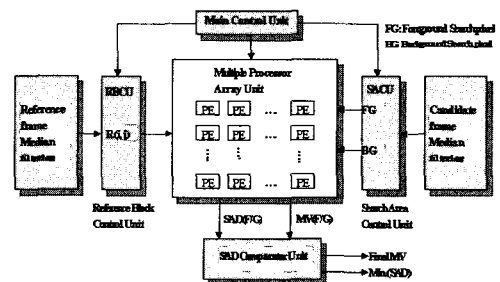


그림 6. 제안된 다중연산의 SoC구조  
Fig. 6. Proposed MPAU architecture of SoC.

### V. 결론 및 향후 연구 방향

본 논문에서는 다중의 움직임 벡터를 상위계층의 움직임 추정을 적용하는 대신에 재구성된 영상프레임으로부터 다중의 움직임벡터 성분을 포함한 상위계층의 움직임 추정연산을 수행한다. 즉, 새롭게 재구성된 영상프레임은 연속된 움직임 벡터 또는 비정형적인 움직임 벡터 정보에 대해서도 우수한 움직임 추정 연산의 결과를 유도할 뿐만 아니라 연산의 복잡도를 향상시킬 수 있는 것으로 모의 실험결과 확인하였다. 특히 빠른 영상모드 M=3의 경우 두 개의 B-frame 처리에 따른 프레임 간의 거리가 먼 경우 인접한 필드간 화소내 존재하는 시간적 상관관계와 공간적 상관관계로부터 보다 나은 전역탐색의 움직임벡터와 유사한 움직임 벡터 추정의 결과를 보여주었다.

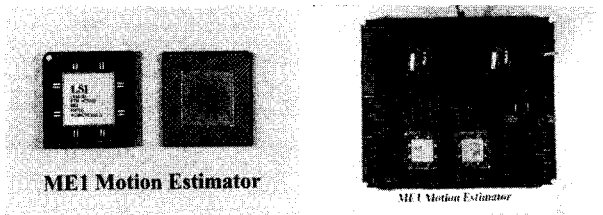


그림 7. 구현된 움직임 추정기의 VLSI  
Fig. 7. Implementation of motion estimator VLSI

### <감사의 글>

본 연구결과가 완성되기 까지 함께해주셨던 전자통신 연구원 여러분께 감사를 드립니다.

### 참 고 문 헌

- [1] Bo Martin and Soren Forchammer, "A unified approach to restoration, deinterlacing and restoration enhancement in MPEG2 decoding," *IEEE Trans. Circuit and systems for video Tech.*, vol. 12, no. 9, pp. 803-811, Sep. 2002.
- [2] M. Chen, C. Hung and C. Hsu, "Efficient de-interlacing technique by inter-field information," *IEEE Trans. Consumer Electronics*, vol. 50, no. 4, pp. 1202-1208, Nov. 2004.
- [3] Kyoung Won Lim, "Fast hierarchical search block matching algorithm by using multiple motion vector candidates," *KAIST Thesis*, 1997.
- [4] Kangwhan Lee, Hangyu Lee and Jinwoong Kim,

"An efficient VLSI Architecture for block matching motion estimation," in *Proc. SPIE Visual Communication and Image Processing'96*, vol. 2952, pp. 575-581, 1996.

### 저 자 소 개



이 강 환(정회원)  
1987년 한양대학교 전자공학과 학사 졸업.  
1989년 중앙대학교 전자공학과 석사 졸업.  
2002년 중앙대학교 전자공학과 박사 졸업.

2005년~현재 한국기술교육대학교 정보기술공학부 교수

<주관심분야 : VLSI구조 및 설계, FPGA/ASIC, Wireless SoC, Ubiquitous Computing on Chip>