논문 2007-44SC-1-11

다수의 병렬 입·출력 환경을 위한 높은 노이즈 마진을 갖는 LVDS I/O 회로

(High Noise Margin LVDS I/O Circuits for Highly Parallel I/O Environments)

김 동 규*, 김 삼 동**, 황 인 석**

(Donggu Kim, Samdong Kim, and Inseok Hwang)

요 약

본 논문에서는 다수의 병렬 입·출력 환경을 위한 높은 노이즈 마진을 갖고 있는 LVDS I/O 회로를 소개한다. 제안된 LVDS I/O회로는 송신단과 수신단으로 구성되어 있으며 송신단 회로는 차동위상 분할기와 공통모드 피드백(common mode feedback)을 가지고 있는 출력단으로 이루어져 있다. 차동위상 분할기는 SSO(simultaneous switching output) 노이즈에 의해 공급전압이 변하더라도 안정된 듀티 싸이클(duty cycle)과 180°의 위상차를 가진 두 개의 신호를 생성한다. 공통모드 피로백을 가지고 있는 출력단 회로는 공급전압의 변화에 상관없이 일정한 출력전류를 생성하고 공통모드 전압(common mode voltage)을 ±0.1V 이내로 유지한다. LVDS 수신단 회로는 VCDA(very wide common mode input range differential amplifier)구조를 사용하여 넓은 공통 입력전압 범위를 확보하고 SSO 노이즈에 의한 공급 전압의 변화에도 안정된 듀티 싸이클(50% ± 3%)을 유지하여 정확한 데이터 복원이 가능하다. 본 논문에서 제안한 LVDS I/O 회로는 0.18um TSMC 라이브러리를 기본으로 하여 설계 되었으며 H-SPICE를 이용하여 시뮬레이션 하였다.

Abstract

This paper presents new LVDS I/O circuits with a high noise margin for use in highly parallel I/O environments. The proposed LVDS I/O includes transmitter and receiver parts. The transmitter circuits consist of a differential phase splitter and a output stage with common mode feedback(CMFB). The differential phase splitter generates a pair of differential signals which have a balanced duty cycle and 180° phase difference over a wide supply voltage variation due to SSO(simultaneous switching output) noises. The CMFB output stage produces the required constant output current and maintains the required VCM(common mode voltage) within ±0.1V tolerance without external circuits in a SSO environment. The proposed receiver circuits in this paper utilizes a three-stage structure(single-ended differential amp., common source amp., output stage) to accurately receive high-speed signals. The receiver part employs a very wide common mode input range differential amplifier(VCDA). As a result, the receiver improves the immunities for the common mode noise and for the supply voltage difference, represented by Vgdp, between the transmitter and receiver sides. Also, the receiver produces a rail-to-rail, full swing output voltage with a balanced duty cycle(50% ± 3%) without external circuits in a SSO environment, which enables correct data recovery. The proposed LVDS I/O circuits have been designed and simulated with 0.18um TSMC library using H-SPICE.

Keywords: LVDS, CMFB, Phase splitter, VCDA, SSO.

* 학생회원, 삼성전자(주) 메모리사업부
(Memory Div. Samsung Electronics)
** 평생회원, 동국대학교 전자공학과
(Electronics Engineering Dept. Dongguk University)
※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국 과학 재단의 우수 연구센터 지원금에 의하여 수행되었습니다.
접수일자: 2006년2월15일, 수정완료일: 2006년12월30일

Ⅰ. 서 론

최근의 디지털 시스템의 성능은 프로세서와 메모리의 처리 속도뿐 아니라 각종 부품의 입·출력 방식에 의하여 크게 좌우되고 있다. 따라서 다수의 새로운 입·출력 방식들이 제안되어 왔으며, 이 중 최근에 많은 관심을 받고 있는 기술 중 하나가 바로 LVDS(Low Voltage Differential Signaling)이다[1].

본 논문에서는 최근에 데이터 입·출력 성능을 더욱 증가시키기 위하여 병렬 입·출력 장치에 LVDS 기술을 채용함에 따라, SSO 노이즈에 의해 공급전압이 변하더라도 안정된 구동을 할 수 있는 새로운 LVDS I/O 회로 기술을 제안하고 0.18um CMOS 공정을 사용한 시뮬레이션을 통하여 검증하고자 한다. 본 논문의 LVDS I/O 송신단 은 새로운 형태의 차동 위상 분할기와 출력단으로 구성되어 있다. 제안하는 차동 위상 분할기(differential phase splitter)는 SSO 노이즈에 의해 공급전압이 변하더라도 안정된 듀티 사이클(duty cycle)과 180°의 위상차를 가지는 두 개의 신호를 출력할 수 있으며, 출력단은 공급전압이 변하더라도 항상 일정한 출력 전류와 공통 모드 전압(VCM)을 유지하여 안정된 데이터 전송이 가능하다. 그리고 LVDS I/O의 수신단은 넓은 공통모드 입력 전압범위(GND < V_{CM} < V_{DD})와 넓은 SSO 노이즈 마진을 가지고 있어 공급전압의 변화에 상관없이 0.1V의 작은 차동 전압을 입력으로 수신하여 50% ±3% 이내의 안정된 듀티 싸이클을 가지고 rail-to-rail의 풀 스윙으로 데이터를 복원하는 기능을 갖추고 있다. 또한 넓은 주파수범위(3 Gbps)내에서 높은 이득을 유지하기 때문에 고속의 데이터 전송이 가능하도록 설계되었다.

Ⅱ. 본 론

1. SSO노이즈

다수의 병렬 입·출력 장치에서는 동시 변환 출력으로 인하여 그라운드 바운스(ground bounce) 와 서플라이 드룹(supply droop)이 발생하는데, 이러한 현상을 SSO 노이즈라고 부른다. 이러한 노이즈는 보통 VLSI 칩에서 데이터 버스 또는 어드레스 버스를 구동하는 여러 개의 출력 회로가 동시에 변환되면 di/dt 값이 동시에 같은 방향으로 변환하는 출력회로의 갯수에 비례하여 증가하게 되고 이 증가한 di/dt 값이 기생 인덕턴스와 곱해져 전압을 발생시키면서 만들어진다.

이렇게 발생된 노이즈는 입력단의 전원 공급 노드와 그라운드 사이의 전압을 낮추는 그라운드 바운스 현상을 일으키거나 공급 전압을 낮추는 서플라이 드룹 현상을 일으키게 한다[2]. 각각의 차동 위상 분할기나 출력단만 보면 구동에 필요한 전류가 100uA와 3mA의 작은 값을 가지게 되지만 전체 병렬 구동회로를 따지게 된다면 동시에 변환하는 출력구동 회로로 인한 그라운드 바운스 또는 서플라이 드룹이 크게 증가하게 되며 결국 공급전압을 변화시켜 회로가 안정된 동작을 하는데 큰 영향을 미치게 된다.

2. 제안하는 LVDS 송신단 회로

가. 제안하는 LVDS 송신단 개요

그림 1은 LVDS 송신단의 블록도 이다. LVDS의 송신단 설계 시에 가장 염두 해야 할 부분은 전송전류(2.5mA~4mA)를 일정하게 전송하는 것과 V_{CM}을 약 1.2V로 일정하게 유지 시켜 전송하는 것이다[1]. 이를 위하여 본 논문에서 제안하는 LVDS 송신단 회로는 새로운 형태의 CMFB회로를 제안하고 있다. 차동위상분할기는 LVDS송신단의 앞부분에 위치하여 하나의 입력 신호를 50%의 duty cycle과 180°의 위상차를 가진 두 개의 입력 신호로 출력 시키는 회로이다. 이상적인 differential phase splitter는 입력 신호로부터 동일한 duty cycle과 180° 위상차를 가진 두 개의 신호를 출력하겠지만 공급전압의 변화에 따른 duty cycle과 위상의 변화 문제는 인버터를 사용한 differential phase splitter

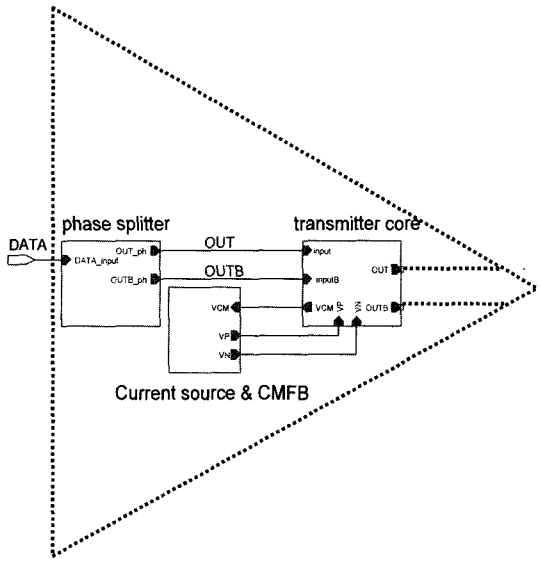


그림 1. LVDS 송신단 블록도
Fig. 1. The block diagram of LVDS transmission.

에서는 해결할 수 없는 문제이다. 또한 기존에 사용되어왔던 LC 네트워크를 사용한 differential phase splitter는 인덕터나 캐패시터를 제작하는데 발생하는 많은 비용과 어려움이 있어 왔다[3]. 이를 해결하기 위하여 본 논문에서는 새로운 형태의 differential phase splitter를 소개하고 있다.

나. LVDS 출력단(transmitter core)

그림 2는 LVDS의 출력단 회로도이다. 트랜지스터 MU와 ML은 2.5mA~4mA의 전류를 일정하게 공급하는 전류원의 역할을 한다. 트랜지스터 M1~M4는 스위치 역할을 하는 회로이고 M1과 M4 그리고 M2와 M3가 각각 쌍으로 같은 입력신호가 들어가 입력신호에 따라 송신단회로의 출력은 각각 다른 방향으로 전류를 전송하게 된다. 전송된 전류는 수신단의 종단저항에서 전압신호로 바뀌고, 수신단에서는 이 전압신호를 수신한 후 원래의 신호로 복원하게 된다. 또한 R1과 R2 사이에 생성되는 공통모드 출력전압(V_{CM})을 CMFB회로가 입력으로 받아들인 후 이 값을 1.25V의 기준 전압과 비교하여 negative 피드백 동작을 함으로써 V_{CM} 전압이 자동으로 약 1.2V로 유지된다. 이때 R1과 R2는 송신단과 전송선로의 임피던스 정합에 영향을 끼치지 않도록, 그리고 전류가 흐르지 않도록 하기 위해 큰 저항값을 갖도록 한다.

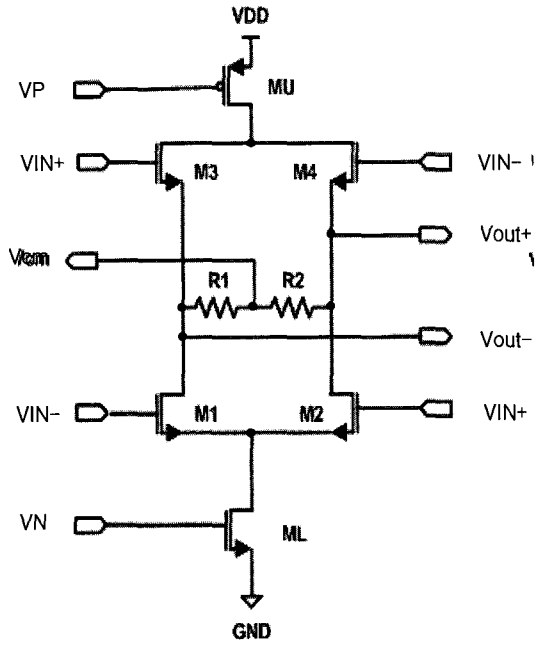


그림 2. LVDS 출력단 회로
Fig. 2. The LVDS output-stage circuits.

다. 제안하는 Differential Phase Splitter

본 논문에서 제안하는 그림 3의 differential phase splitter는 공급전압의 변화에 덜 민감하고 안정된 duty cycle과 180°의 위상차를 가지는 두 개의 신호를 만들기 위하여 설계되었다. M1과 M10으로 이루어진 전류원은 공급전압의 변화에 상관없이 항상 일정한 구동 전류가 흐르게 한다. M2, M6으로 이루어진 common source amp.와 M7의 게이트 사이에 저항과 인덕터를 추가시켜 출력 신호의 delay를 조절할 수 있도록 만들었다.

$$v = iR + L\frac{di}{dt} \tag{1}$$

식(1)의 v는 M7의 게이트 전압이다. 식(1)에서 알 수 있듯이 M7의 게이트 입력 전압은 $\tau = R/L$의 delay를 가지게 되고 t_d를 common source amp.를 통과하는데 걸리는 delay라고 한다면 OUT 단자의 출력 값은 $\tau = R/L + t_d$의 delay를 가지게 된다. OUTB 단자의 출력 값은 $2\,t_d$의 값을 가지게 되는데 $R/L = t_d$을 만족하는 값을 가진 저항과 인덕터를 사용함으로써 위상차가 180°인 출력 값을 얻을 수 있게 된다. 본 논문에서 제안된 differential phase splitter는 공급전압의 변화에 상관없이 50% ± 1% 미만의 듀티싸이클과 180° ± 3° 미만의 위상차를 보여주고 있다.

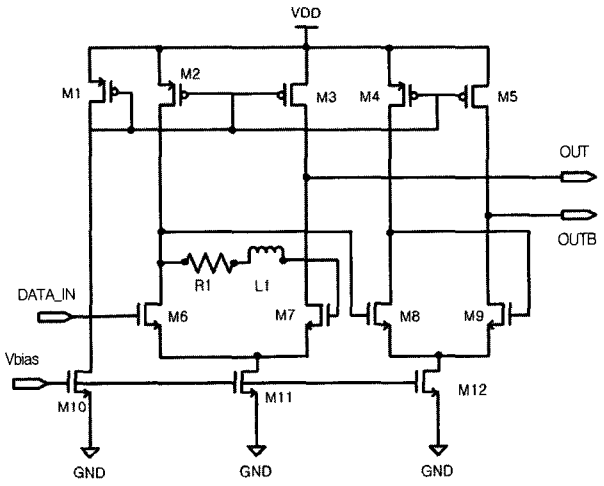


그림 3. 제안하는 phase splitter 회로
Fig. 3. The proposed phase splitter circuits.

라. 제안하는 CMFB 회로

LVDS의 속도 및 전력소모 특성을 개선하기 위해서는 송신단에서 전송 신호의 왜곡을 최소화하여 수신단

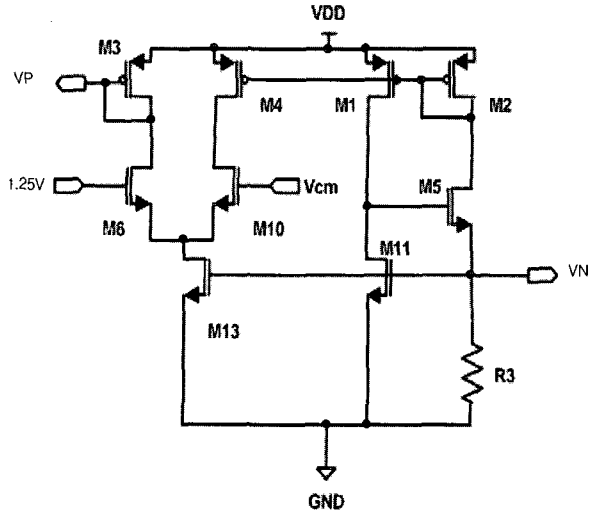


그림 4. 제안하는 CMFB 회로
Fig. 4. The proposed CMFB circuits.

의 입력에 잘 전달하여야 한다. 특히 LVDS의 송신단은 어떤 상황에서도 일정한 출력 전류(2.5mA~4mA)와 공통모드전압(VCM) 1.2V를 유지하여야만 빠르고 정확한 데이터를 수신단에 전달할 수 있게 된다. 본 논문에서 제안하는 LVDS 송신단은 그라운드 바운스 또는 서플라이 드롭에 의한 공급전압의 변화에도 일정한 출력 전류와 공통모드전압을 유지하는 안정된 동작이 가능하도록 하는데 주안점을 두었다.

그림 4는 제안하는 CMFB 회로도이다. M1과 M2로 구성된 PMOS 전류원에 의해 M1과 M2 각각에 흐르는 전류 I1과 I2는 서로 같은 값을 가지게 된다. M5는 M11의 negative 피드백 작용에 의해 바이어스 전압이 정해진다. 또한 M5, M11, R3으로 이루어져 있는 전류원에 의해 I2의 값은 I1에 의해 정해지게 된다. 이 관계를 식으로 나타내면 식(2)와 같다.

$$I_2 = \frac{V_{GS11}}{R_3} = \frac{V_{TH} + \sqrt{\dfrac{2I_1}{\mu_n C_{OX}(W/L)_{11}}}}{R_3} \qquad (2)$$

식(2)와 같이 전류의 값이 결정되면 피드백 작용에 의해 공급전압이 변하더라도 출력 전류의 값이 변하지 않게 된다. VCM 역시 피드백 작용에 의해 1.2V ±0.1V를 유지하게 됨으로써 공급전압의 변화에 덜 민감한 특성을 얻게 된다.

3. 제안하는 LVDS 수신단 회로

가. 제안하는 LVDS 수신단 개요

LVDS 송신단에서 보낸 전송전류는 전송선의 종단

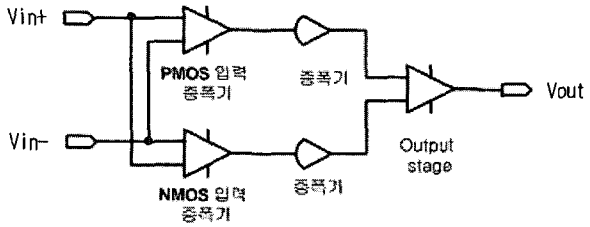


그림 5. 제안하는 LVDS 수신단의 블록도
Fig. 5. The block diagram of the proposed LVDS receiver.

저항에서 차동신호로 변환된다. LVDS 수신단은 이 변환된 2개의 차동신호의 차이를 감지하여 데이터를 복원하는데 LVDS I/O의 이러한 동작 특성은 기존의 I/O가 가지고 있던 전송선로에 유기되는 noise나 송신단과 수신단의 공급전원 혹은 접지의 편차에 의한 데이터 손실을 막을 수 있다. 그러나 common mode noise나 송신단과 수신단의 공급전원 편차가 수신단의 공통 입력전압 범위를 넘어서게 된다면 수신단 회로가 불안정하게 동작하기 때문에 데이터 손실이 발생하게 된다. 본 논문에서는 VCDA(Very wide Common mode range Differential Amplifier) 구조로 수신단을 설계하여 LVDS 수신단의 공통 입력전압 범위를 넓게 확보함으로써 송신단에서 유지되는 V_{CM}(1.2V)이 다수의 병렬 입·출력 환경 하에서 발생하기 쉬운 노이즈나 공급전원의 편차에 의해 변하더라도 정확한 수신 동작을 할 수 있는 수신단을 설계하였다.

그림 5는 제안한 LVDS 수신단의 블록도 이다. LVDS I/O의 고속동작시 1단 구조의 수신단만으로는 전송속도의 한계가 있기 때문에 2단 구조의 LVDS 수신단을 설계하였다. 또한 넓은 공통 입력 전압범위를 얻기 위하여 VCDA 형태의 증폭기를 사용하였고 외부 바이어스를 사용 할 경우 발생할 수 있는 여러 가지 문제점을 해결하기 위하여 self-bias가 가능하도록 만들었다. 뿐만 아니라 output stage를 달아 줌으로써 작은 크기의 입력신호가 인가되더라도 수신단에서 충분히 안정된 데이터를 복원할 수 있도록 설계하였다.

나. 제안하는 수신단 회로

그림 6(a)의 PMOS 입력 single-ended differential amp.는 제안하는 수신단 회로에서 M1-M11로 이루어진 회로와 같고 M1~M3과 M5~M8로 이루어진 차동 증폭기와 M4와 M9~M11로 이루어진 공통소스 증폭기로 구성되어 있다. 여기서 공통소스 증폭기는 출력 전압이득을 높여준다. 일반의 single-ended 출력단에서

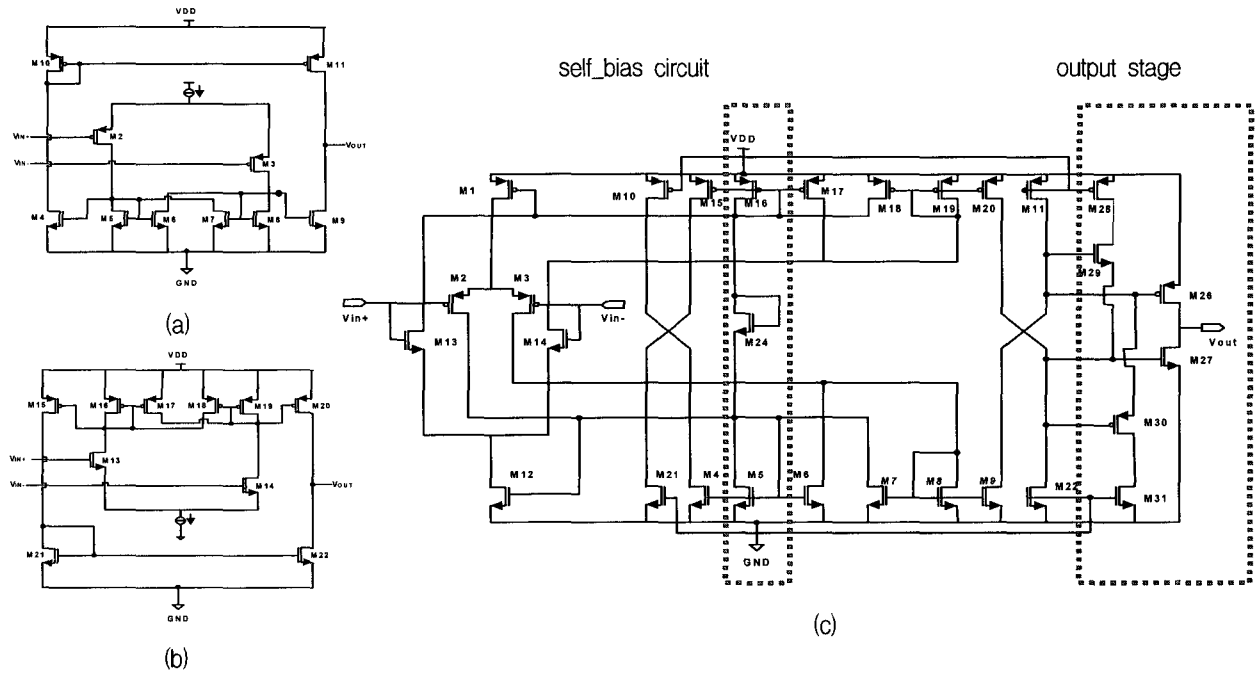


그림 6. (a) PMOS 입력 증폭기 (b) NMOS 입력 증폭기 (c) 제안하는 수신단 회로
Fig. 6. (a) The input PMOS amplifier. (b) The input NMOS amplifier. (c) The proposed receiver circuits.

는 PMOS 트랜지스터와 NMOS 트랜지스터의 동작속도의 차이에 의하여 출력신호의 파형이 입력신호와 다른 듀티 싸이클을 가지게 되어 데이터 손실을 유발 시킬 수가 있다. 본 논문에서 제안된 회로에서는 M5~M8로 schmitt-trigger 형태의 회로를 만들어 줌으로써 이 문제를 해결 하였다[4].

그림 6(c)는 제안하는 LVDS 수신단의 전체 회로도이다. PMOS 입력 single-ended differential amp.의 공통모드 입력전압 범위는 V_{DD} 쪽에서 제약을 받지만 GND 쪽에서는 제약을 받지 않는다. 이에 반해 그림 6(b)의 NMOS 입력 single-ended differential amp.의 공통모드 입력전압 범위는 GND 쪽에서 제약을 받지만 V_{DD} 쪽에서는 제약을 받지 않는다. 이 두 회로를 결합하게 되면 V_{DD}와 GND 어느 쪽으로도 제약을 받지 않게 되어 넓은 공통모드 입력 범위를 얻게 된다. 제안된 LVDS 수신단의 공통모드 입력전압 범위는 V_{SS}~V_{DD} 이다. 이는 기존의 VCDA가 가지고 있는 특징이지만 기존의 VCDA 와 달리 셀프바이어스를 위해 4단의 MOS가 V_{DD}에서 GND까지 직렬로 연결되어 있는 것이 아니라 3단의 MOS가 연결되어 있기 때문에 공급전압(V_{DD}-GND)의 최소값은 식(3)과 같이 되어

$$(V_{DD}-GND)_{\min} = V_{THn}+|V_{THp}|+2\cdot\Delta \quad (3)$$

SSO 노이즈에 의해 공급전압이나 접지에 노이즈 전압이 발생하더라도 안정된 동작을 하는데 더욱 유리한 장점을 가지고 있다[5].

본 논문에서 제안된 수신단 회로의 또 다른 장점은 self-bias가 가능하다는 것이다. 그림 6(c)에서 M5, M16 그리고 M24는 바이어스 회로를 이루는 트랜지스터 이다. 이 바이어스 회로와 M1, M12의 게이트를 연결해 줌으로써 M1과 M12는 각각 차동 증폭기의 전류소스가 된다. 이때 self-bias 회로는 negative 피드백 동작을 하는데, DC 바이어스 전압만을 인가했을 시 발생하는 부정합에 의한 비정상적인 동작을 최소화함으로 회로의 안정적인 동작을 하도록 한다.

M26~M31로 이루어진 output stage는 PMOS 입력

표 1. 제안된 LVDS 수신단의 사양
Table 1. The proposed LVDS receiver specifications.

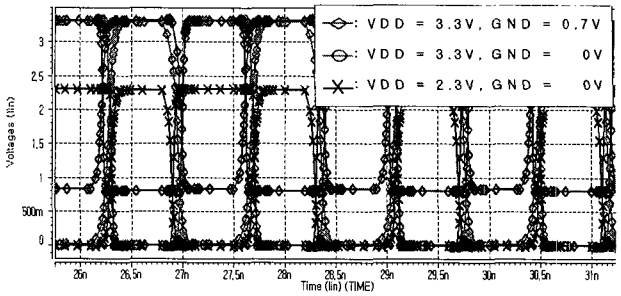
사양	전력소모	P_D	15mW
	공급전압	V_{DD}	1.8V~3.3V
		GND	0V~ 1V
	DC 소신호 전압이득(2Gbps)	A_{dv}	270V/V
	Active 공통모드 입력전압 범위	$CMR_{\min}$	V_{DD}
		$CMR_{\max}$	V_{SS}
	부하 커패시턴스	C_L	10pF

증폭기와 NMOS 입력 증폭기의 출력 값을 입력으로 받아 High와 Low를 판별한 후 출력한다. M28~M31은 공통모드 입력전압이 V_{DD}나 GND의 어느 한쪽으로 치우쳐질 때 혹은 SSO 노이즈에 의하여 송신단과 수신단의 공급전원 혹은 접지의 편차가 발생 하였을 경우 PMOS 입력 증폭기나 NMOS 입력 증폭기 중의 한쪽만이 정상 동작을 하더라도 LVDS 수신단의 출력파형이 풀 스윙이 가능하도록 만들어 준다. 제안된 LVDS 수신단의 사양은 표 1과 같다.

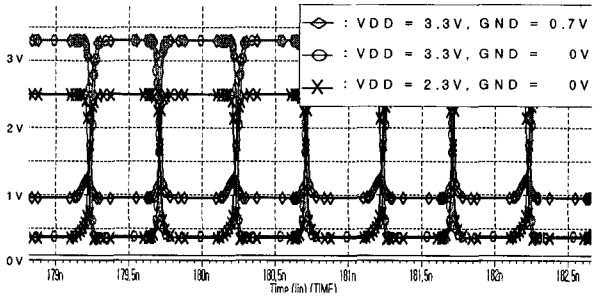
Ⅲ. 실 험

그림 7은 inverter 형태의 differential phase splitter와 제안된 differential phase splitter를 HSPICE 0.18um CMOS 공정에서 시뮬레이션한 후 출력되어진 두 파형의 위상차와 duty cycle을 관찰한 결과이다. (a) 파형은 inverter 형태의 differential phase splitter를 3단으로 연결하고 VDD와 GND에 인가되는 전압을 바꿔가며 2번째 단과 3번째 단의 출력전압을 측정한 값이다. 각각의 값이 가지는 duty cycle이 VDD와 GND의 변화에 따라 많이 변화하는 것을 확인할 수 있다. 반면에 (b) 파형은 제안한 differential phase splitter를 구동했을 때 OUT, OUTB단에 나타나는 LVDS 송신단의 입력신호인데, 인버터 형태의 differential phase splitter와 달리 공급전압의 변화에도 불구하고 duty cycle이 50% ± 1% 미만으로 유지되고 있음을 알 수 있다. (c)는 제안한 differential phase splitter의 두 출력파형 사이의 위상차를 보여주는 파형이다. 데이터 입력 값으로 1GHz의 클럭 신호를 인가하고 VDD와 GND에 인가되는 전압을 바꾸어 가며 시뮬레이션 하였다. 두 출력신호의 위상차는 180° ± 3° 미만으로 유지되었다.

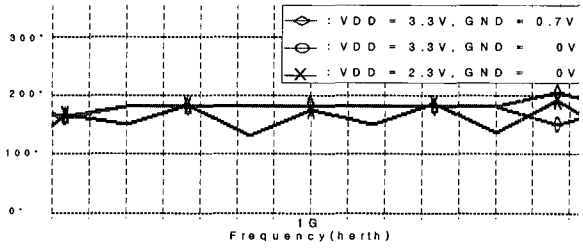
그림 8는 송신단의 VDD와 GND에 인가되는 전압을 바꾸어 가며 시뮬레이션 했을 때 VCM의 변화를 보여준다. 이 실험을 하기 위하여 종단저항(100Ω)을 50Ω의 저항 2개를 사용하여 설계하고 두 저항 사이에 1pF의 캐패시터를 단 후 두 저항 사이의 전압(V_{CM})을측정하였다. (a)의 값은 기존의 CMFB 회로를 사용한 송신단 회로의 V_{CM}을 측정한 결과이고 (b)는 제안한 송신단 회로의 V_{CM}을 측정한 결과로서 제안한 CMFB 사용한 송신단이 VDD와 GND의 변화에도 일정한 V_{CM}(1.2V ± 0.1V 이하)을 유지함을 확인할 수 있다. 기존의 송신단 회로가 약 0.6V의 변화를 보이는데 반



(a) 기존의 differential phase splitter의 출력파형

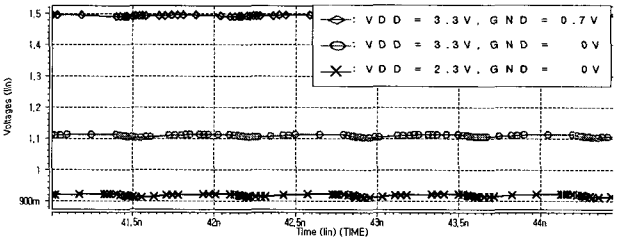


(b) 제안한 differential phase splitter의 출력파형

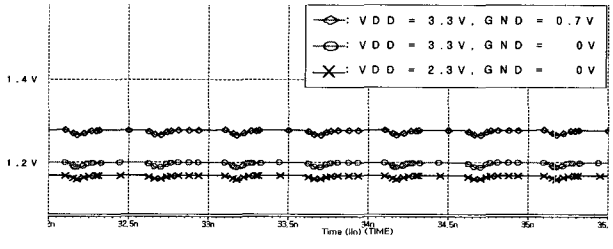


(c) 공급전압의 변화에 따른 위상차

그림 7. 차동 위상 splitter의 듀티 사이클과 위상차
Fig. 7. The duty cycle and phase difference of the differential phase splitter.



(a) 기존 송신단의 V_{CM}



(b) 제안하는 송신단의 V_{CM}

그림 8. 송신단의 V_{CM}
Fig. 8. V_{CM} of the receiver.

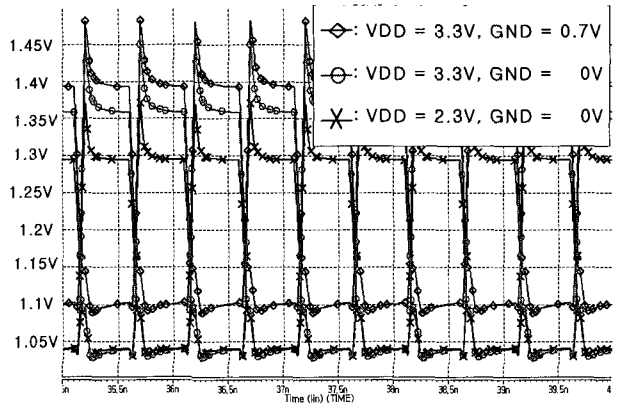


그림 9. 종단저항 양단에 걸리는 전압파형

Fig. 9. The voltage waveform across the terminating resistor.

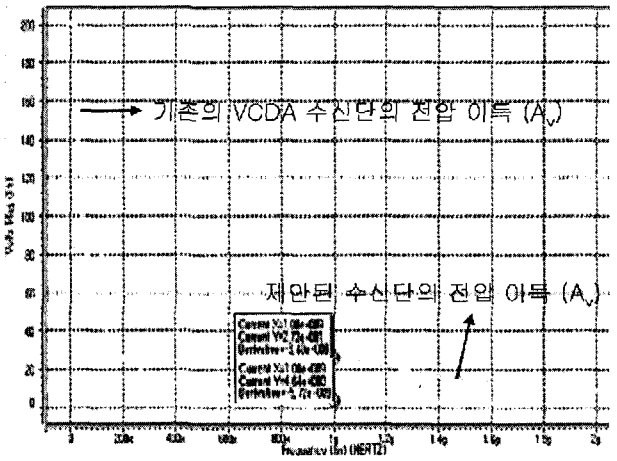


그림 10. 수신단의 전압 이득

Fig. 10. The voltage gain of the receiver.

해 제안한 송신단 회로는 약 0.1V의 변화를 보임으로써 LVDS의 표준을 충분히 만족함을 확인할 수 있다[6]. 회로를 그림 9의 파형은 종단저항(100Ω) 양단(OUT+, OUT-)에 걸리는 전압을 나타낸다. 종단저항 양단에 걸리는 전압의 차 | V_{od} |를 통해 공급전압의 변화에 상관없이 일정한 구동전류(2.5mA~3mA)가 흐르고 있음을 확인할 수 있다.

그림 10은 기존의 VCDA 수신단과 제안된 그림 6의 수신단을 각각 시뮬레이션하여 이득을 살펴본 파형이다. 시뮬레이션의 조건은 V_{DD}는 3.3V, GND는 0V, 공통모드 입력전압(V_{CM})은 1.15V 그리고 종단저항 양단에 걸리는 전압 차(V_{od})는 0.1V로 고정한 후 주파수가 증가함에 따른 이득을 살펴보았다. 파형에서 알 수 있듯이 제안된 회로가 2Gb/s의 속도에서 4배정도의 높은 이득을 획득하고 있음을 확인할 수 있다.

그림 11은 수신단의 공통모드 입력전압의 변화에 따

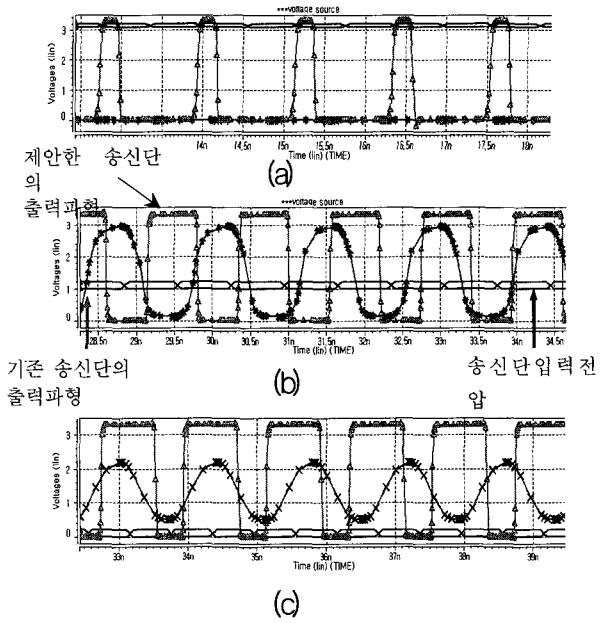


그림 11. 수신단의 출력전압 (a) 공통모드 입력전압이 3.2V일 경우 (b) 1.2V일 경우 (c) 0.1V일 경우

Fig. 11. The receiver output voltages for 3 different common mode input voltages. (a) for 3.2V. (b) for 1.2V. (c) for 0.1V.

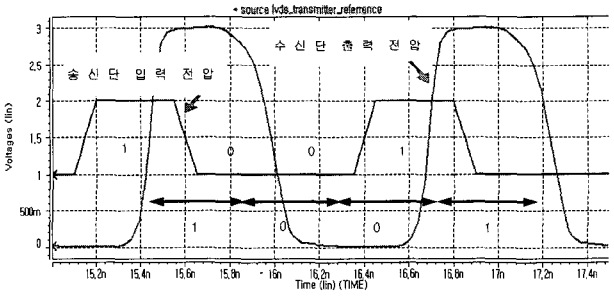


그림 12. 전체 LVDS I/O 회로의 입·출력전압

Fig. 12. The input and output voltage signals of the LVDS I/O circuits.

른 출력파형의 변화를 나타내고 있다. 기존의 수신단 회로는 Active-Loaded Differential Amplifier(ALDA)형태의 차동 모드 증폭기와 VCDA(Very wide Common mode range Differential Amplifier) 형태의 차동모드 증폭기를 2단으로 연결한 형태를 사용하여 제작하였다. 기존의 수신단과 제안된 수신단의 비교는 차트1에 나타나 있다. 이 결과에 의하면, 제안된 수신단은 넓은 공통 입력 전압 범위를 가지면서, 고속 동작(3GHz)을 하고 있음을 알 수 있다. 그리고 제안된 수신단은 common mode noise나 SSO 노이즈에 의한 공급전압의 변동 시 발생하는 송신단과 수신단의 공급전원 편차가 수신단의 공통 입력전압 범위를 넘어서게 되더라도 수신단이 정

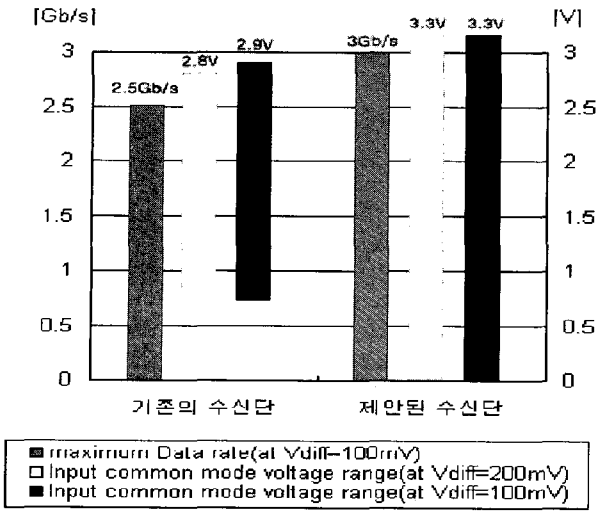


차트 1. 시뮬레이션 결과를 통한 수신단 비교

Chart 1. The comparison of receivers based on the simulation results.

확하게 데이터를 복원하도록 한다.

그림 12는 전체 LVDS 회로의 출력전압이다. 송신단에 3Ghz의 속도를 가진(DC 1.5V, 첨두치 1V) 데이타가 전송되었을 때 수신단에서 출력되는 전압파형을 나타내고 있다. 시뮬레이션 결과를 통하여 본 논문에 제안되어 있는 LVDS의 최고 전송 속도가 3Ghz까지 가능함을 확인할 수 있다.

Ⅳ. 결 론

본 논문에서는 다수의 병렬 LVDS I/O에 적합한 새로운 차동 위상 분할기와 출력단 및 수신단을 소개하였다. 제안한 LVDS 회로들은 다수의 병렬 I/O에서 발생하는 높은 SSO 노이즈하에서도 안정된 동작을 할 수 있도록 설계 되었다. 0.18um CMOS 공정을 사용하여 시뮬레이션한 결과, 차동 위상 분할기는 공급전압의 변화에도 안정된 듀티 사이클(50% ± 1%)과 위상차(180° ± 3°)를 유지하는 것을 확인할 수 있었다. CMFB 회로를 이용한 출력단 또한 SSO 노이즈 하에서 전류의 안정화(3mA)를 이루고 V_{CM}을 1.2V±0.1V 범위 안으로 유지하는 것을 확인 하였다. 또한 LVDS 수신단 회로에서는 VCDA 방식을 이용하여 넓은 공통입력 전압 범위를 확보함으로써 데이터 전송 시 발생 할 수 있는 공통모드 노이즈(common mode noise)와 V_{gdp}로 대표되는 송신단과 수신단 사이의 공급전원의 차이에 의한 문제점을 보완하였다. 그리고 바이어스를 잡아주는 회로를 4단이 아닌 3단으로 구성하여 SSO 노이즈에 의해 전원 전압이나 접지노드의 전압이 변하더라도 rail-to-rail로 출력전압이 풀 스윙하도록 만들어줌으로써 데이터의 손실을 최대한 줄이도록 설계하였는데 시뮬레이션 결과를 통해 이를 검증할 수 있었다.

본 논문에서 제안된 LVDS I/O는 차동 위상 분할기와 CMFB회로에 각각 사용되는 두 개의 바이어스 전압과 공급전압(V_{DD}) 그리고 접지(GND)만을 필요로 하기 때문에 주변 회로에 의한 노이즈에 덜 민감하다. 따라서 본 논문에 제안된 SSO 노이즈에 큰 마진을 가진 LVDS I/O 회로는 고속 데이터 전송이 요구되는 프로세서 및 메모리 시스템의 입력부 및 출력부, 다수의 병렬 I/O가 요구되는 디지털 기기 등 다양한 분야에서 활용할 수 있을 것이다.

참 고 문 헌

[1] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1994.

[2] R. Senthinathan, J. L. Prinnce, "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise," IEEE JSSC, vol. 28, no. 12, pp. 1383-1388, Dec. 1993.

[3] Huainan Ma, Sher Jiun Fang, Fujiang Lin, Hiroshi Nakamura, "Novel Active Differential Phase Splitters in RFIC for Wireless Applications," IEEE Trans. Microwave Theory and Techniques, vol. 46, no. 12, pp. 2597-2603, Dec. 1998.

[4] Uwe Vogel, Marcel Steinert, Rainer Kokozinski "LVDS I/O Cells with Rail-to-Rail Receiver Input for SONET/SDH at 1.25Gb/s," ESSCIRC, pp. 460-463, September 2000

[5] Bazes, M., "Two Novel Fully Complementary Self Biased CMOS Differential Amplifiers," IEEE Journal of Solids-States Circuits, vol. 26, no. 2, pp. 165-168, Feb. 1991.

[6] Andrea Boni, Andrea Pierazzi, Davide Vecchi "LVDS I/O Interface for Gb/s-per-Pin Operation in 0.35-um CMOS," IEEE JSSC, vol. 36, no. 4, pp. 706-711, April, 2001.

저 자 소 개

김 동 규(학생회원)
2003년 2월 동국대학교 전자공학과 (공학사),
2005년 2월 동국대학교 전자공학과 (공학석사),
2005년 3월~현재 삼성전자 메모리 사업부
<주관심분야 : 집적회로 설계>

김 삼 동(평생회원)
1983년 서울대학교 금속공학과 졸업(공학사),
1986년 서울대학교 금속공학과 대학원 석사과정 (공학석사),
1992년 Department of Materials Science & Engineering Stanford University 박사과정(공학박사),
1994년 스텐포드 대학교, Solid State Electronic Lab. Post-Doctorate,
1999년 현대 전자 메모리 선행기술 연구부 박막 연구실 책임 연구원,
1999년~현재 동국대학교 전자공학과 부교수
<주관심분야 : 미소고체전자 현상 분석>

황 인 석(평생회원)
1972년 서울대학교 전자공학과 졸업(공학사),
1978년 U. of Wisconsin-Madison 전자공학(제어) (공학석사),
1982년 U. of Wisconsin-Madison 전자공학(컴퓨터) (공학박사),
1985년 Dept. of Electrical Engr. U. of Minesota, Minneapoils 조교수,
1989년 Signal Processor & VLSI Design LAB, AT&T Bell Labs, MTS,
1999년 현대전자산업(주) 반도체연구소장, 전무이사,
2000년~현재 동국대학교 전자공학과 교수
<주관심분야 : 집적회로 설계, 고속컴퓨터 및 통신용VLSI>