논문 2007-44SC-1-10

광대역 아날로그 이중 루프 Delay-Locked Loop

(Wide Range Analog Dual-Loop Delay-Locked Loop)

이 석 호*, 김 삼 동**, 황 인 석**

(Seokho Lee, Samdong Kim, and Inseok Hwang)

요 약

본 논문에서는 기존의 DLL 지연 시간 잠금 범위를 확장하기 위해 새로운 이중 루프 DLL을 제안하였다. 제안한 DLL은 Coarse_loop와 Fine_loop를 포함하고 있으며, 와부 클럭과 2개의 내부 클럭 사이의 초기 시간차를 비교하여 하나의 루프를 선택하여 동작하게 된다. 2개의 내부 클럭은 VCDL의 중간 출력 클럭과 최종 출력 클럭이며 두 클럭의 위상차는 180°이다. 제안한 DLL은 일반적인 잠금 범위 밖에 있을 경우 Coarse_loop를 선택하여 잠금 범위 안으로 이전 시킨 후 Fine_loop에 의하여 잠금 상태가 일어난다. 따라서 제안한 DLL은 harmonic lock이 일어나지 않는 한 항상 안정적으로 잠금 과정이 일어날 수 있게 된다. 제안한 DLL이 사용하는 VCDL은 두 개의 제어 전압을 받아 지연 시간을 조절함으로 일반적인 다 적층 current-starved 형태의 인버터 대신에 TG 트랜지스터를 이용하는 인버터를 사용하여 지연 셀을 구성하였다. 새로운 VCDL은 종래의 VCDL에 비하여 지연시간 범위가 더욱 확장되었으며, 따라서 제안한 DLL의 잠금 범위는 기존의 DLL의 잠금 범위보다 2배 이상 확장되었다. 본 논문에서 제안한 DLL 회로는 0.18um, 1.8V TSMC CMOS 라이브러리를 기본으로 하여 설계, 시뮬레이션 및 검증하였으며 동작 주파수 범위가 100MHz~1GHz이다. 또한, 1GHz에서 제안한 DLL의 잠금 상태에서의 최대 위상 오차는 11.2ps로 높은 해상도를 가졌으며, 이때 소비 전력은 11.5mW로 측정되었다.

Abstract

This paper presents a new dual-loop Delay Locked Loop(DLL) to expand the delay lock range of a conventional DLL. The proposed dual-loop DLL contains a Coarse_loop and a Fine_loop, and its operation utilizes one of the loops selected by comparing the initial time-difference among the reference clock and 2 internal clocks. The 2 internal clock signals are taken, respectively, at the midpoint and endpoint of a VCDL and thus are 180° separated in phase. When the proposed DLL is out of the conventional lock range, the Coarse_loop is selected to push the DLL in the conventional lock range and then the Fine_loop is used to complete the locking process. Therefore, the proposed DLL is always stably locked in unless it is harmonically false-locked. Since the VCDL employed in the proposed DLL needs two control voltages to adjust the delay time, it uses TG-based inverters, instead of conventional, multi-stacked, current-starved inverters, to compose the delay line. The new VCDL provides a wider delay range than a conventional VCDL In overall, the proposed DLL demonstrates a more than 2 times wider lock range than a conventional DLL. The proposed DLL circuits have been designed, simulated and proved using 0.18um, 1.8V TSMC CMOS library and its operation frequency range is 100MHz~1GHz. Finally, the maximum phase error of the DLL locked in at 1GHz is less than 11.2ps showing a high resolution and the simulated power consumption is 11.5mW.

Keywords: DLL, VCDL, Dual-Loop DLL, TG inverter

I. 서 론

VLSI 시스템의 고속화, 고집적화가 계속됨에 따라 VLSI의 클럭 구동, 배분, 동기화 방법에 많은 발전이 요구되고 있으며, 여러 개의 IC를 포함하는 시스템의 성능 향상을 위하여 여러 칩들 간에 클럭을 배분하고 이를 동기화 하는 것이 중요한 문제로 대두되고 있다. Delay Locked Loop (DLL)는 Phase Locked Loop

* 학생회원, 삼성전자(주) 메모리사업부
(Memory Div. Samsung Electronics)
** 평생회원, 동국대학교 전자공학과
(Electronics Engineering Dept. Dongguk University)
※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국 과학 재단의 우수 연구센터 지원금에 의하여 수행되었습니다.
접수일자: 2006년2월15일, 수정완료일: 2006년12월30일

(PLL)와 더불어 동기화 문제에 훌륭한 해결책을 제공하고 있다[1, 2].

특히, DLL은 DDR SDRAM과 같은 고속 동기 DRAM의 동작주파수 범위를 결정하고 동작시간 특성에 큰 영향을 미친다. 따라서 넓은 주파수 범위와 낮은 지터를 갖는 고성능 DLL은 DRAM의 속도를 증가시키는데 필수적 요소이다.

DLL은 디지털 형과 아날로그 형으로 분류할 수 있다. 디지털 DLL은 설계가 간소하고, 공정변화에 따른 특성변화가 작은 장점을 가지나, 취약한 지터 성능 때문에 600Mbps 이상의 매우 큰 대역폭을 갖는 DRAM에서는 사용하기가 어렵다[3-7]. 따라서 공정변화 상의 민감함에도 불구하고 연속적인 동작 특성에 의해 더 작은 지터를 보장하는 아날로그 DLL이 고속 DRAM에서 좀 더 적당하다[6, 9].

지터의 성능과 더불어 DLL의 다른 중요한 특성은 잠금 범위이다. 공정변화는 아날로그 DLL의 잠금 범위를 제한하며 DRAM의 동작 범위를 좁게 하는 결과를 낳는다. DLL의 제한된 잠금 범위는 메모리 응용상의 유연성을 제한하고 대량 생산에서의 테스트 비용을 증가시킨다. 제한된 잠금 범위 문제를 해결하기 위하여 다양한 형태의 DLL이 고안되었다[5-8]. 그렇지만, 복잡한 구조로 이루어진 이러한 DLL은 증가된 면적, 전력소비, 지터 성능의 저하와 같은 문제를 야기 시킨다. 본 논문에서는 상대적으로 작은 면적과 전력을 유지하며 잠금 범위를 증가시키는 새로운 이중 루프 구조를 제안한다.

본 논문은 다음과 같은 순서로 되어 있다. Ⅱ장에서는 일반적인 DLL의 한정된 잠금 범위 문제를 논한다. Ⅲ장에서는 넓은 잠금 범위의 구현을 위해 제안한 이중 루프의 개념을 타이밍 다이아그램을 이용하여 설명하며 제안한 DLL의 구조와 회로구현을 보여준다. Ⅳ장에서는 제안한 DLL의 H-Spice 시뮬레이션 결과를 보여주며 마지막으로 Ⅴ장에서는 요약으로서 이 논문을 마친다.

Ⅱ. 본 론

1. 기존 DLL의 제한된 잠금 범위 문제

<그림 1>은 일반적인 아날로그 DLL의 구조와 VCDL (Voltage Controlled Delay Line)의 딜레이 특성곡선을 보여준다[10]. V_{ctrl}(루프 필터의 제어 전압)이 최소값일 때, tD (VCDL의 지연 시간)는 최대가 되며 V_{ctrl}이 최대값일 때는 t_D가 최소가 된다.

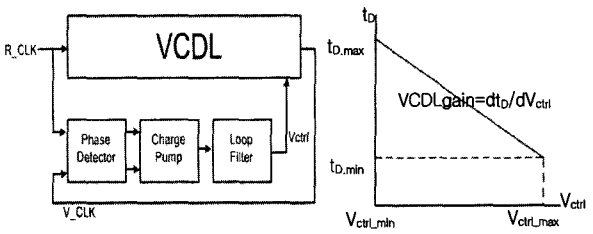
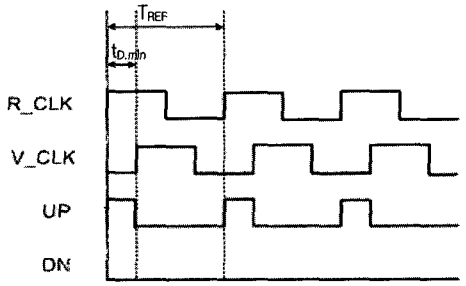
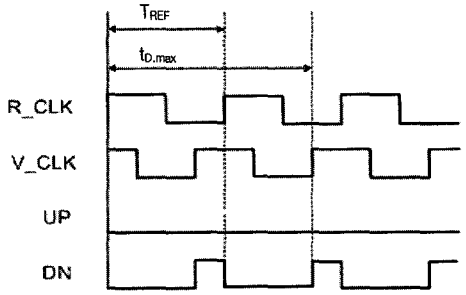


그림 1. 기존 DLL 블록다이어그램과 딜레이 특성곡선.
Fig. 1. The block diagram of a conventional DLL and delay characteristics of its VCDL.



Initial Vctrl = Vctrl_max

그림 2. 최대 제어전압에 따른 초기 잠금 실패의 경우
Fig. 2. The lock-failure at a maximum initial control voltage.



Initial Vctrl = Vctrl_min

그림 3. 최소 제어전압에 따른 초기 잠금 실패의 경우
Fig. 3. The lock-failure at a minimum initial control voltage.

초기상태에서 $V_{ctrl} = V_{ctrl_max}$(VCDL의 최대 제어 전압)이고 $t_{D.min}$(VCDL의 최소 지연 시간) $< 0.5\times T_{REF}$ (외부 클럭의 주기)이면 잠금 실패가 발생한다. 왜냐하면 <그림 2>에서 보여준 바와 같이 위상검출기는 루프필터의 커패시터를 충전시키는 UP 펄스를 발생시키기 때문이다. 따라서 잠금 실패가 없기 위하여 초기 상태에서 $t_{D.min} > 0.5\times T_{REF}$가 되어야 한다. 더욱이, $0.5\times T_{REF} < t_{D.min} < T_{REF}$가 되어, T_{REF}의 범위는 $t_{D.min} < T_{REF} < 2\times t_{D.min}$가 된다.

다른 경우, 초기상태에서 $V_{ctrl} = V_{ctrl_min}$(VCDL의 최소 제어 전압)이고, $t_{D.max}$(VCDL의 최대 지연 시간) >

$1.5\times T_{REF}$이면, <그림 3>에서 보여준 바와 같이 위상 검출기의 DN 펄스 때문에 잠금 실패가 발생한다. 따라서 이러한 경우, 잠금 실패가 없는 상태를 만족하기 위해 초기 상태에서 $t_{D.max} < 1.5\times T_{REF}$가 되어야 한다. 더욱이 $T_{REF} < t_{D.max} < 1.5\times T_{REF}$가 되어, TREF의 범위는 $\frac{2}{3}\times t_{D.max} < T_{REF} < t_{D.max}$가 된다.

따라서 <그림 2, 3>처럼 잠금 실패가 없는 t_D의 전체 범위를 이용하기 위해서는 초기 t_D가 약 $0.5\times(t_{D.max} - t_{D.min})$가 되게끔 초기 Vctrl 의 값을 정해야 한다. 이러한 경우에 f_{lock} (DLL의 동작 주파수)의 범위가 $1/t_{D.max} < f_{lock} < 1/t_{D.min}$ 대로 결정된다. 그러나 이러한 방법은 stuck/harmonic 잠금의 원인이 되고 지터 성능을 더 나쁘게 만든다.[10] 따라서 f_{lock}의 범위가 더 높은 주파수에서 요구된다면 초기 V_{ctrl}은 V_{ctrl_max}에 맞춰져야 한다. 그 이유는 DLL이 stuck/harmonic 잠금이 일어나지 않으며, 지연 셀은 더 작은 위상 잡음을 발생시키는 빠른 슬루 레이트를 가지기 때문이다[11]. 그러나 실제로 $t_{D.min}$은 PVT (Process, Voltage, Temperature)변화에 상당히 민감하기 때문에 대개, $t_{D.min}$을 목표로 설계하는 것은 동작 주파수가 더 높아질수록 좀 더 주의를 요하는 어려운 일이다. 따라서 PVT까지 고려하면 f_{lock}의 범위는 더 높은 동작 주파수에서 더 제한된다.

2. 제안한 광대역 이중 루프 DLL

가. 제안한 DLL의 개요

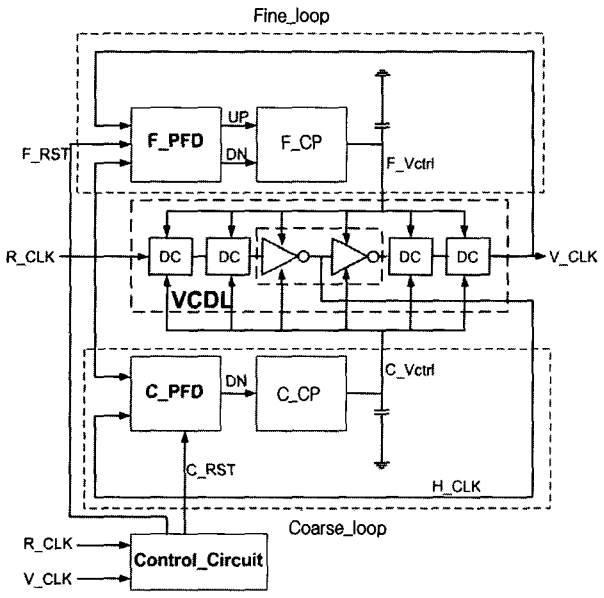
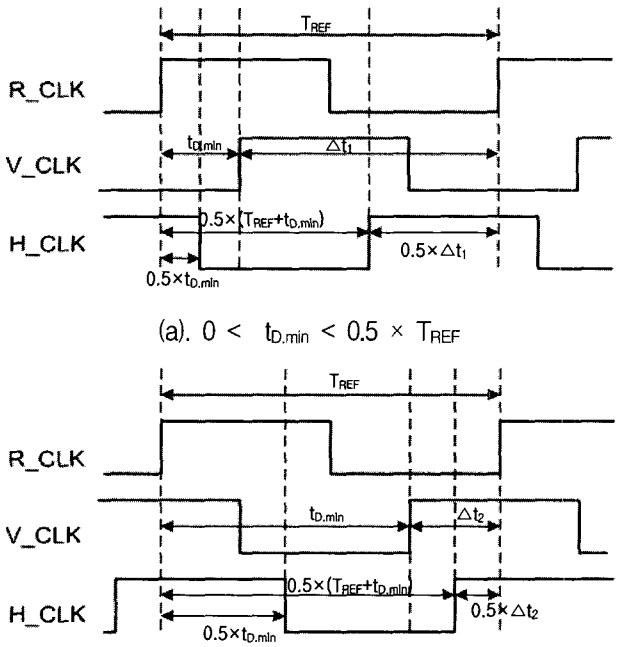


그림 4. 제안한 DLL의 블럭도
Fig. 4. The block diagram of the proposed DLL.

제안한 이중 루프 DLL은 <그림 4>에서 보여준 바와 같이, Fine_loop와 Coarse_loop로 이루어져 있다. 이 구조는 일반적인 DLL의 문제점을 해결한 [1]의 구조나 이중 루프의 구조를 한 [2], [10]보다 훨씬 간단하여 더 작은 면적으로 DLL을 구성할 수 있다.

본 논문에서는 제안한 DLL이 동작하기 전에, 초기 $V_{ctrl} = V_{ctrl_max}$하여 t_D가 t_{D_min}에서 시작하여 잠금 과정이 일어나도록 설정한다. 그리고 Coarse_loop와 Fine_loop 상의 PFD (Phase Frequency Detector)로 들어오는 내부 클럭의 입력을 서로 다르게 한다. 즉, Coarse_loop 상의 PFD (C_PFD)로 들어오는 내부 클럭은 VCDL의 중간 지점에서 출력한 내부 클럭인 H_CLK를 사용하고, Fine_loop 상의 PFD (F_PFD)의 입력 클럭으로는 기존 DLL에서처럼 VCDL의 최종 지점에서 출력한 V_CLK를 사용한다. 이에, H_CLK는 초기 V_CLK 지연 시간의 절반 값을 가지게 되며, 두 개의 인버터로 구성된 VCDL의 지연 셀 수를 홀 수개로 사용함으로써 H_CLK와 V_CLK는 180° 위상 차이가 난다. 따라서 H_CLK는 harmonic lock이 발생하지 않는 한 항상 잠금 범위 안에 있게 된다.

만약, <그림 5(a)>에서 보여준 대로 $0 < t_{D.min} < 0.5\times T_{REF}$ 이라면, V_CLK를 입력으로 하는 Fine_loop는 잠금 실패 범위에 있기 때문에 잠금 과정을 시작할 수 없



(a). $0 < t_{D.min} < 0.5 \times T_{REF}$

(b). $0.5 \times T_{REF} < t_{D.min} < T_{REF}$

그림 5. 초기 시차에 따른 2가지 루프선택의 경우
Fig. 5. Two different loop selections depending on the initial clock delay condition.

고, H_CLK를 입력으로 하는 Coarse_loop는 잠금 범위 안에 있기 때문에 잠금 과정을 할 수 있다. 그래서 Coarse_loop는 V_CLK를 잠금 범위 안으로 이전시킨 후 동작을 멈추고 Fine_loop에 의해 V_CLK가 R_CLK에 동기화된다.

<그림 5(b)>는 $0.5\times T_{REF} < t_{D,min} < T_{REF}$의 다른 경우를 보여 주고 있으며, V_CLK를 입력으로 하는 Fine_loop가 잠금 범위 안에 있기 때문에 V_CLK는 R_CLK에 동기화된다. 이때는 물론 Coarse_loop를 사용하지 않는다. 결론적으로, Coarse_loop는 DLL이 $0 < t_{D,min} < 0.5\times T_{REF}$ 일 때만 사용하며, 제안한 DLL의 동작 주파수 범위는 기존 DLL보다 더 확장될 수 있다.

나. 제안한 DLL의 구조와 구현

(1) Transmission gate(TG) 인버터를 사용한 VCDL

제안한 DLL에서 사용하는 VCDL은 이중 루프에서 형성된 두 개의 제어 전압을 받기 때문에, 하나의 제어 전압을 받는 기존 인버터 체인 구조의 VCDL을 사용할 수가 없다. 따라서 두 개의 제어 전압을 받으면서 넓은 지연 범위를 갖는 새로운 형태의 VCDL을 제안한다.

제안한 DLL에서 사용하는 VCDL의 구조는 <그림 6(a)>와 같이 기존 VCDL의 구조와 유사하나, VCDL의 지연 셀이 2개의 TG 인버터로 구성되어 있고 이중 루프에서 생성된 두 개의 제어 전압을 사용함으로 기존 VCDL과 다른 연결 구조를 갖고 있다.

<그림 6(b)>는 VCDL의 중앙 셀을 제외한 다른 셀들의 구조를 보여 주고 있다. Coarse_loop에서 생성된 제어 전압인 C_V_{ctrl}이 하나의 지연 셀에서 첫 번째 (또는 두 번째) 인버터 앞의 TG와 연결되면, Fine_loop에서 생성된 제어 전압인 F_V_{ctrl}은 두 번째 (또는 첫 번째) 인버터 앞의 TG와 연결되고, 이와 반대로, 바로 다음 지연 셀에서는 C_V_{ctrl}이 두 번째 (또는 첫 번째) 인버터 앞의 TG에 연결되면, F_V_{ctrl}은 첫 번째(또는 두 번째) 인버터 앞의 TG에 연결된다.

<그림 6(c)>는 H_CLK가 출력되는 중앙 지연 셀의 구조를 보여 주고 있다. 중앙 지연 셀과 다른 지연 셀의 구조가 다소 다른 이유는 H_CLK가 중앙 셀의 첫 번째 인버터에서 출력되고 동시에 두 개의 제어 전압을 모두 사용해야 되기 때문이다. 또한, 중앙 지연 셀에서 C_V_{ctrl}은 TG에 연결시키고 F_V_{ctrl}은 인버터 트랜지스터에 연결시킨 이유는 중앙 지연 셀에서 F_V_{ctrl}에 의한

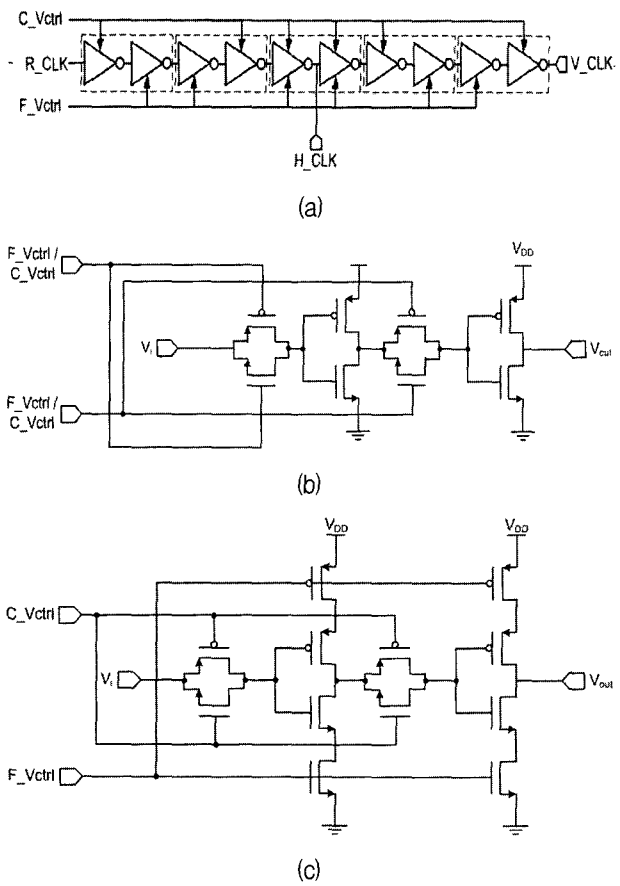


그림 6. (a) 제안한 DLL의 VCDL 구조
(b) TG 인버터 지연 셀
(c) 체인 중앙의 semi-TG 인버터 지연 셀

Fig. 6. (a) The VCDL used in the proposed DLL.
(b) The TG inverter delay cell.
(c) The semi-TG inverter delay cell for the middle of the chain

지연 범위를 C_V_{ctrl}에 의한 지연 범위 보다 조금 더 여유가 있도록 하기 위해서이다.

즉, Coarse_loop는 C_V_{ctrl}에 의해 초기 지연을 갖고 있는 V_CLK를 R_CLK의 반주기까지 지연시키고 Fine_ loop는 V_CLK를 최대 R_CLK의 반주기에서 한 주기까지 지연시키는 역할을 하기 때문에 같은 제어 전압 범위에서 TG 트랜지스터로 지연 시간을 조절하는 것이 인버터 트랜지스터 형태로 조절하는 것보다 지연 폭이 좁아 TG 트랜지스터에 C_V_{ctrl}를 연결하였고, 인버터 트랜지스터에는 F_V_{ctrl}를 연결하였다.

앞에서 언급한 바와 같이 VCDL의 전체 셀 수는 홀수 개임으로 VCDL은 짝수 개의 지연 셀, 중앙 셀, 그리고 짝수 개의 지연 셀로 구성 된다. 따라서 두 개의 제어 전압이 번갈아 앞 뒤 TG 트랜지스터에 연결시킴으로 중앙 셀의 영향을 제외하면 H_CLK와 V_CLK의

듀티 싸이클은 각각 대칭적으로 된다. 본 논문에서는 지연 셀의 수를 총 5개로 VCDL을 구현하였다.

(2) 위상 검출기

<그림 7>은 제안한 DLL의 F_PFD의 회로도이다[10]. 이 F_PFD 회로는 3상태 sequential 형태로써 F_PFD를 제어하는 신호(F_RST)를 추가시킨 회로이다. 여기에 사용된 D flip-flop (DFF)은 TSPC (True Single Phase Clock) DFF를 사용하여 동작 속도를 향상시키고, 보다 작은 면적을 가지게 했다. F_PFD의 동작 원리를 살펴보면, F_RST 신호가 high가 되면, 트랜지스터 mp_0, mp_1, mp4, mp7,은 off가 되고, 스위치 S1, S2는 on이 되어 DFF로 입력 신호 V_CLK와 R_CLK가 들어오게 됨으로써 두 입력 신호의 위상차를 검출하게 된다. 반면, F_RST 신호가 low가 되면 mp_0, mp_1, mp_4, mp_7,은 on이 되고, 스위치 S1, S2는 off 가 되어, F_PFD로 들어오는 입력 신호가 차단이 되고, mp_4, mp_7,에 의해 UP은 VDD (1.8V)로, DN은 VSS (0V)의 값으로 유지하게 된다. 따라서 F_RST 신호에 따라 F_PFD를 제어함으로써 Fine_loop의 동작 여부를 결정한다.

C_PFD는 F_PFD처럼 UP신호와 DN 신호 모두를 출력할 필요가 없다. DN 신호만 출력해 V_CLK의 지연 시간이 잠금 실패의 범위에서만 벗어 날 수 있도록 V_CLK의 지연 시간을 증가시켜주기만 하면 된다. 따라서 C_PFD는 <그림 8>과 같이 F_PFD에서 UP신호를 출력하는 부분을 없앤 PFD를 사용하면 된다. 또한 C_RST 제어 신호에 따라 C_PFD를 제어함으로써

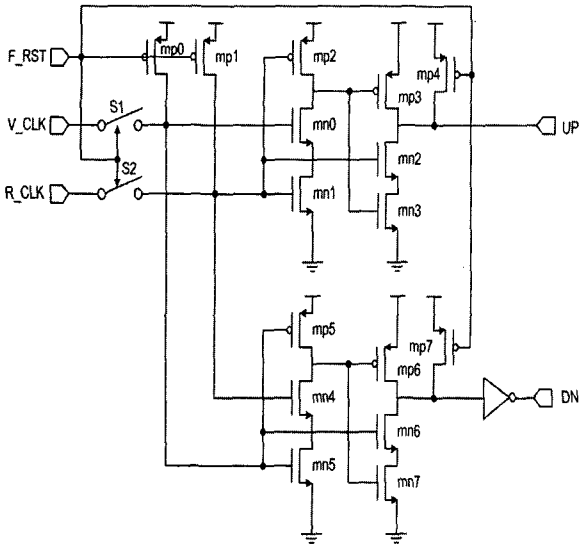


그림 7. Fine_loop에 사용한 위상검출기 회로
Fig. 7. The PFD circuits used in the Fine_loop.

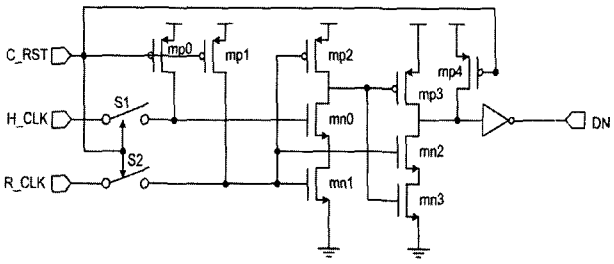


그림 8. Coarse_loop에 사용한 위상검출기 회로
Fig. 8. The PFD circuits used in the Coarse_loop.

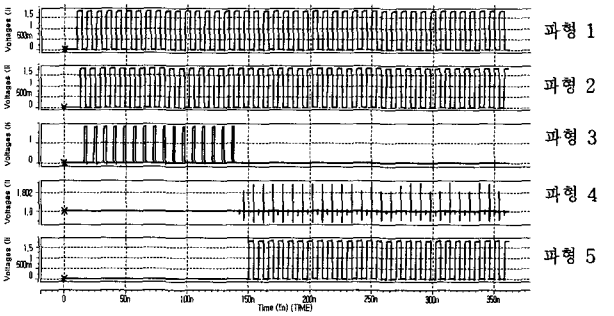


그림 9. PFD의 시뮬레이션 결과
Fig. 9. The simulation results of the PFD.

Coarse_loop의 동작 여부를 결정한다.

<그림 9>는 제안한 이중 루프 DLL에 사용된 F_PFD와 C_PFD의 시뮬레이션 결과로써, DLL이 $0 < t_{D,min} < 0.5 \times T_{REF}$에 있는 경우의 두 PFD 회로의 동작을 보여준다. 파형 1은 R_CLK이고, 파형 2는 V_CLK를 나타낸다. 파형 3은 C_PFD의 DN신호이고 파형 4와 파형 5는 각각 F_PFD의 UP신호와 DN신호이다. 처음에는 C_RST 신호가 high가 되어 C_PFD의 DN 신호에 의해 V_CLK를 지연시키며, V_CLK가 R_CLK의 반주기를 넘는 시점부터는 F_RST 신호가 high가 되어 F_PFD의 DN 신호에 의해 V_CLK를 지연시킨다. 따라서 두 PFD가 각각의 제어 신호에 의해 동작함을 알 수 있다.

(3) 차지펌프 (Charge Pump)

<그림 10>은 제안한 DLL의 Fine_loop에 사용한 차지펌프 회로(F_CP)를 나타낸 것이다[12]. F_CP에 사용한 전류원은 출력전압 범위를 증가 시킨 캐스코드 전류원 회로를 사용한다. 이 전류원 회로는 출력전압 V_{out}의 동작 범위를 최대로 증가시키고 전류이득 I_{out}/I_{ref}이 문턱전압 VTH에 무관하게 1이 되는 회로이다. <그림 10>의 F_CP 회로에서, mn_3은 mn_4와 mn_1의 게이트 바이어스 전압 V_{G4}를 생성시키고 mn_2과 mn_1은 mn5의 게이트 바이어스 전압 V_{G2}를 생성시킨다. 그리하여 V_{G1}과 V_{G2}

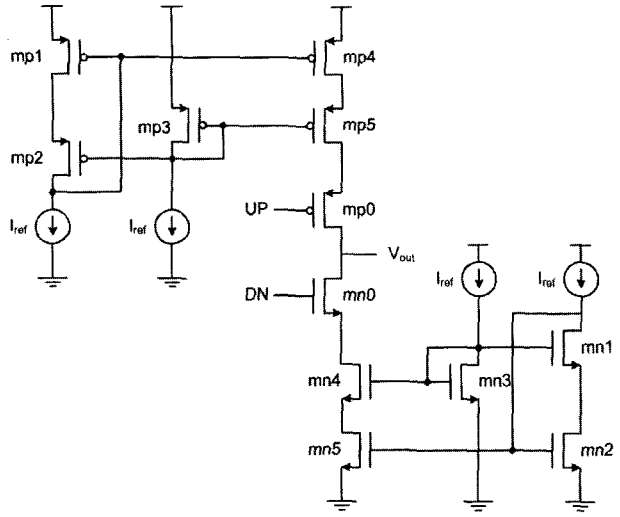


그림 10. Fine_loop에 사용한 차지펌프 회로
Fig. 10. The charge pump circuits used in the Fine_loop.

는 식 (1)과 (2)와 같이 주어진다.

$$V_{G1} = 2\Delta + V_{TH} \quad (1)$$

$$V_{G2} = \Delta + V_{TH} \quad (2)$$

여기서 △는 mn_1, mn_2, mn_4, mn_5 트랜지스터의 V_{DSAT}값이고, 모든 트랜지스터들이 saturation 영역에서 동작한다고 가정하였다. 또한, body effect를 무시하면 V_{GS4}와 V_{GS1}은 식 (3)과 (4)와 같이 된다.

$$V_{GS4} = \Delta + V_{TH} \quad (3)$$

$$V_{GS1} = \Delta + V_{TH} \quad (4)$$

따라서 V_{DS5}, V_{DS4}와 V_{DS2}는 식 (5), (6) 및 (7)과 같이 나타낼 수 있다.

$$V_{DS5} = V_{G4} - V_{GS1} = \Delta \quad (5)$$

$$V_{DS4} = V_{G2} - V_{GS5} = V_{TH} \quad (6)$$

$$V_{DS2} = V_{G4} - V_{GS4} = \Delta \quad (7)$$

일반적으로 문턱전압 V_{TH}는 V_{DSAT}값인 △보다 크므로 mn_1은 saturation 영역에서 동작하고 mn_2와 mn_5는 triode 영역과 saturation 영역의 경계에서 동작한다. 식 (5)와 (7)에 보인 대로 $V_{DS5} = V_{DS2} = \Delta$이므로 $I_{out} = I_{ref}$가 되어서 channel length modulation 현상에 무관하게 전류 이득 Iout/Iref은 1이 된다.

Coarse_loop에 사용한 차지펌프 회로(C_CP)는 C_PFD가 DN신호만 출력하기 때문에 F_CP에서 DN신호를 받는 부분만 이용하여 C_CP 회로를 설계하였다.

(4) PFD 제어 신호 발생기

제안한 이중 루프 DLL은 *Coarse_loop*가 동작을 하면 Fine_loop는 동작하지 않고, 반대로 Fine_loop가 동작을 하면 Coarse_loop는 동작하지 않는다. 이를 실행하기 위해서 각 루프 상의 PFD를 제어함으로써 그 목적을 달성하고자 한다.

<그림 11>는 PFD 제어 신호 발생기로써, 2개의 DFF과 1개의 인버터, 그리고 스위치를 이용하여 구현하였다. 만약, 제안한 DLL이 $0 < t_{D,min} < 0.5\times T_{REF}$에 있게 되면, R_CLK와 V_CLK를 입력으로 받는 DFF_1에 의해 Q1이 high가 되어 스위치 S1이 닫힘으로써 R_CLK가 DFF_2의 D 입력에 연결된다. 이에 DFF_2에 의해 Q 출력에서 나오는 C_RST 신호는 high가 되어 C_PFD는 동작하게 되고, 이와 상반된 F_RST 신호는 low가 되어 F_PFD는 동작을 하지 않게 된다. 그리고 DLL이 $0.5\times T_{REF} < t_{D,min} < TREF$에 있게 되면, DFF_1에 의해 Q1은 low가 되면서 스위치 S1은 열리게 되어 R_CLK가 DFF_2의 D 입력으로부터 차단된다. 따라서 C_RST 신호는 low가 되고 F_RST 신호는 high가 되어 F_PFD만 동작한다.

<그림 12>는 PFD 제어 신호 발생기의 시뮬레이션

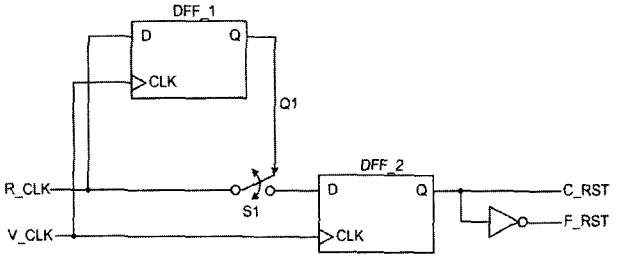


그림 11. PFD 제어 신호 발생기
Fig. 11. The control circuits for PFD.

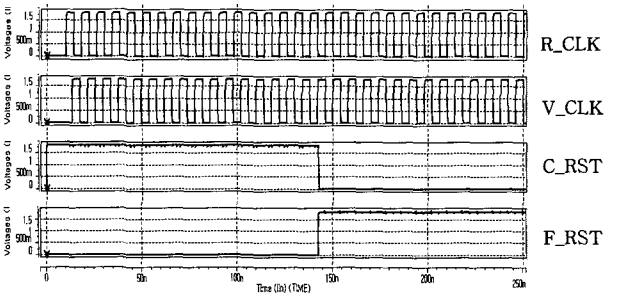


그림 12. PFD 제어 신호 발생기의 시뮬레이션 결과
Fig. 12. The simulation results of the PFD controll signal generator.

결과이다. 초기 V_CLK의 지연 시간이 R_CLK의 반주기이하이기 때문에 C_RST 신호가 high임을 알 수 있고, V_CLK의 지연시간이 R_CLK의 반주기를 넘어서면서C_RST 신호가 high에서 low로 됨과 동시에 F_RST 신호는 low에서 high로 됨을 알 수 있다. 따라서 제안한 DLL의 루프 선택은 PFD 제어 신호 발생기를 통해 C_RST와 F_RST 신호를 출력하여 이중 루프 상의 PFD를 제어함으로써 그 목적을 달성할 수 있다.

Ⅲ. 실 험

본 논문에서 제안한 이중 루프 DLL은 1.8V의 저전압 동작이 가능한 TSMC 0.18um 공정 라이브러리를 사용하여 설계하였고, H-Spice로 시뮬레이션하여 이를 분석하고자 한다.

일반적으로 DLL은 공급 전압에 유기되는 노이즈에 큰 영향을 받지 않게 하기 위하여 동작 주파수 범위를 VCDL의 특성곡선이 선형적으로 변하는 범위 내에서 결정한다. 따라서 제안한 DLL의 동작 주파수 범위는 CMOS TG 인버터를 기반으로 한 VCDL의 특성곡선에 의해 결정된다. <그림 13>은 DLL을 설계한 뒤, F_Vctrl와 C_V_{ctrl}의 값에 따른 VCDL의 지연시간을 나타낸 것이다.

<그림 13>은 VCDL의 특성곡선과 VCDL 지연이 선형적으로 변하는 범위를 보여주고 있다. 최소값은 C_V_{ctrl}과 F_V_{ctrl}이 각각 1.8V일 때의 값인 0.95ns이다. C_V_{ctrl}이 0.55V일 때의 지연 시간이 5ns이고 F_Vctrl이 0.55V일 때의 지연 시간도 5ns이므로 F_V_{ctrl}와 C_V_{ctrl}이 각각 0.55V일 때 전체 지연 시간은 10n이며 이 값이

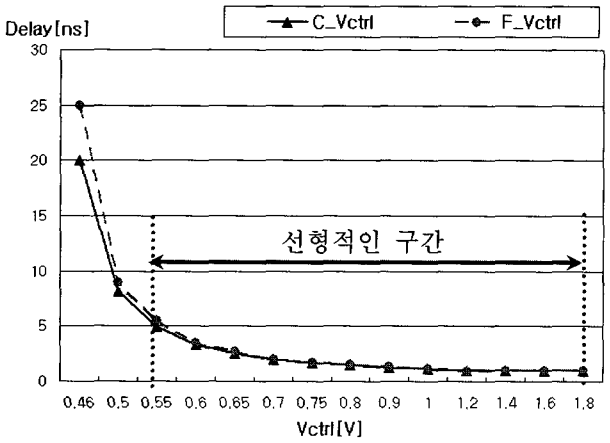


그림 13. 제안한 VCDL 특성곡선
Fig. 13. The characteristics curve of the proposed VCDL.

최대치이다. 따라서 제안한 DLL이 안정적으로 동작할 수 있는 주파수 범위는 100MHz~1GHz로 결정할 수 있다.

위에서 결정된 동작 주파수 범위에서 제안한 DLL이 올바르게 잠금 과정을 거치며 동기화되는지 실험하기 위해서 입력 주파수를 각각 1GHz, 500MHz, 250MHz, 그리고 100MHz로 하여 시뮬레이션 하였다. 먼저, 입력 주파수가 1GHz일 때, 제안한 DLL이 동기화 되는 과정을 <그림 14>에 나타내었다. 이 때 VCDL의 최소 지연시간은 <그림 14(a)>에서처럼 $0.5\times T_{REF} < t_{D,min} < T_{REF}$ 이기 때문에 <그림 14(b)>의 VCDL의 제어 전압 파형에서 알 수 있듯이, 두 개의 루프 중 Fine_loop가 동작함을 알 수 있다. 즉, C_V_{ctrl}는 DLL이 잠금 상태가 될 때까지 변함없이 초기 전압인 1.8V로 일정하게 유지하고 있기 때문에 Coarse_loop는 동작하지 않음을 알

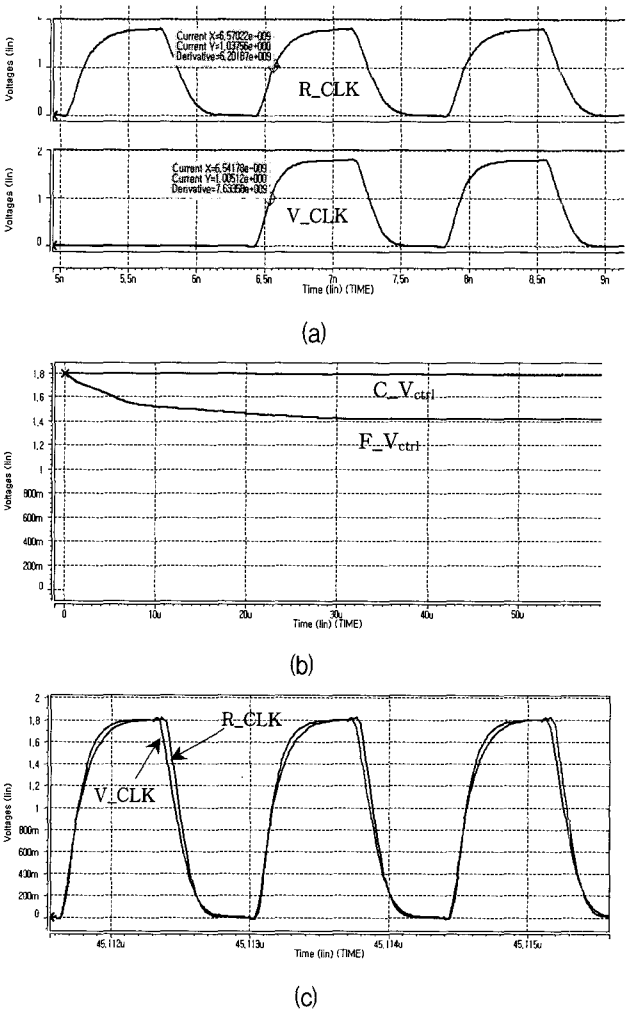


그림 14. 1GHz에서의 제어전압 파형과 동기화된 파형
Fig. 14. The control voltage signals and resulting synchronized clock signals at 1GHz.

수 있고, F_V_{ctrl}는 1.8V에서부터 감소함으로 Fine_loop가 동작하고 있음을 알 수 있다. Fine_loop의 동작으로 인해 DLL이 잠금 상태에 이르게 되면 F_V_{ctrl}는 더 이상 감소하지 않고 1.48V에서 일정하게 유지한다. 따라서 입력 주파수가 1GHz일 때, <그림 14(c)>의 동기화된 파형에서 알 수 있듯이, 제안한 DLL이 올바른 잠금 과정을 통해 동기화됨을 알 수 있다.

두 번째로 입력 주파수가 500MHz일 때의 시뮬레이션 결과를 <그림 15>에 보였다. <그림 15(a)>에서 보여주듯이 이때의 VCDL의 최소 지연시간은 입력 주파수가 1GHz일 때와 같이 $0.5\times T_{REF} < t_{D.min} < T_{REF}$ 이기 때문에 Fine_loop의 동작에 의해서만 잠금 과정이 일어난다. 하지만 DLL이 잠금 상태에 있을 때의 F_V_{ctrl}의 전압은 <그림 16(b)>에서 알 수 있듯이, 입력 주파수가 1GHz일 때보다는 더 작은 값인 0.9V에서 일정하게 유지하고 있음을 알 수 있다.

세 번째로 입력 주파수가 250MHz일 때의 시뮬레이션 결과를 <그림 16>에 보였다. 이때의 VCDL의 최소 지연시간은 <그림 16(a)>와 같이 기존 DLL의 잠금 실패 범위인 $0 < tD.min < 0.5\times T_{REF}$에 있으므로 <그림 16(b)>의 제어 전압 파형에서 알 수 있듯이, Coarse_loop의 동작으로 C_V_{ctrl}는 계속 감소하다가 V_CLK의 지연 시간이 잠금 범위 안으로 들어오게 되면 C_V_{ctrl}는 0.76V에서 일정하게 유지하면서 Coarse_loop의 동작이 멈추게 되고, 이 시점부터는 Fine_loop 동작이 시작되어 1.8V로 일정하게 유지하고 있던 F_V_{ctrl}가 감소하기 시작하여 DLL이 잠금 상태가 되면서 F_V_{ctrl}가 0.71V에서 일정하게 유지됨을 알 수

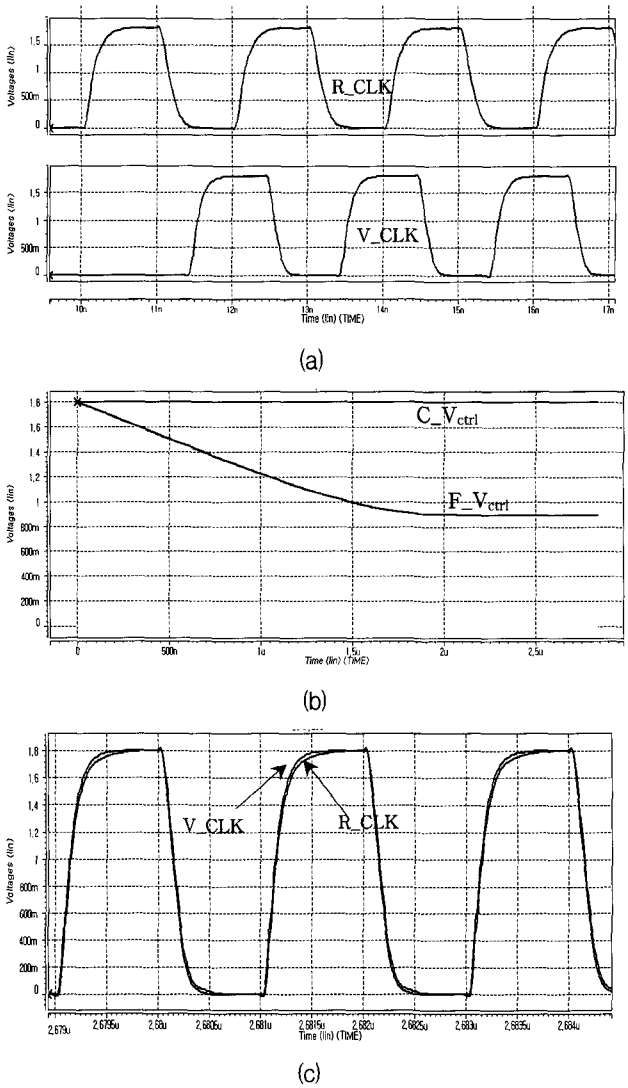


그림 15. 500MHz에서의 제어전압 파형과 동기화된 파형
Fig. 15. The control voltage signals and resulting synchronized clock signals at 500MHz.

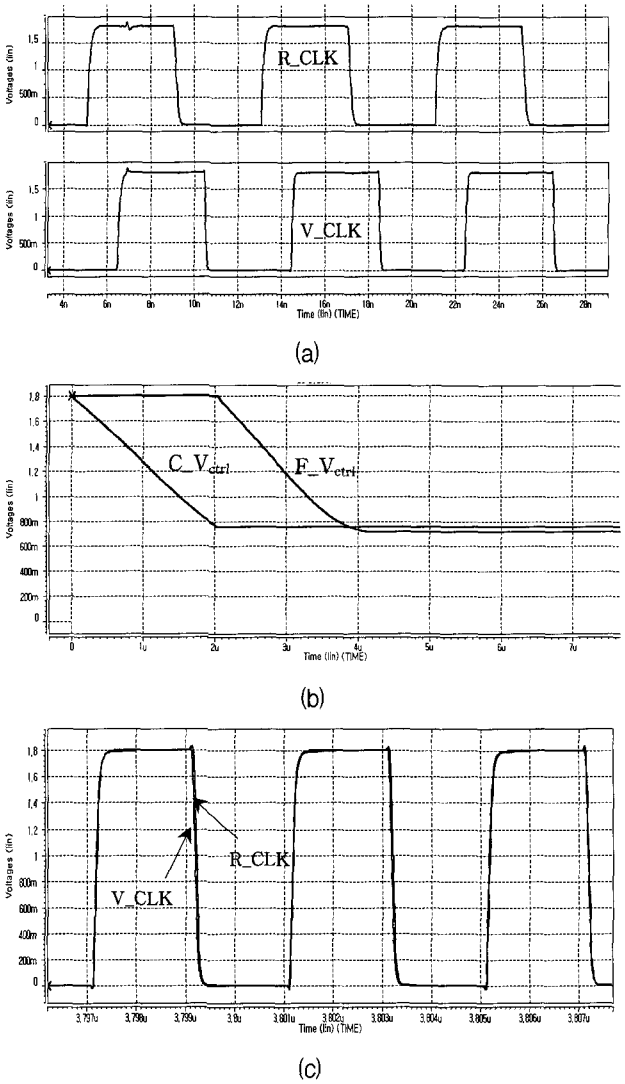


그림 16. 250MHz에서의 제어전압 파형과 동기화된 파형
Fig. 16. The control voltage signals and resulting synchronized clock signals at 250MHz.

있다. 따라서 <그림 16(c)>의 동기화된 파형을 보면, 입력이 250MHz일 때도 DLL이 안정적으로 동기화됨을 확인할 수 있다.

마지막으로 입력 주파수가 100MHz일 때, DLL이 잠금 상태에 이르는 과정을 <그림 17>에 보였다. 이는 입력 주파수가 250MHz일 때와 같이 VCDL의 최소 지연 시간이 $0 < t_{D,min} < 0.5 \times T_{REF}$ 이므로 세 번째 경우에서 살펴본 잠금 과정과 같지만, DLL이 잠금 상태에 이르렀을 때 <그림 17(b)>에서와 같이 C_Vctrl은 0.56V, F_V_{ctrl}은 0.58V로 250MHz일 때보다는 더 작은 값으로 유지하고 있음을 알 수 있다.

위의 시뮬레이션 결과들로부터 제안한 이중 루프 DLL이 100MHz~1GHz의 동작 주파수 범위 내에서 안정적인 잠금 과정을 통해 동기화됨을 알 수 있고, 외부 클럭과 내부 클럭 사이의 시간차이에 따라 Coarse_loop의 사용여부가 결정되어진다는 것도 알 수 있다. 마지막으로 <그림 18>에서처럼 입력 주파수가 1GHz일 때

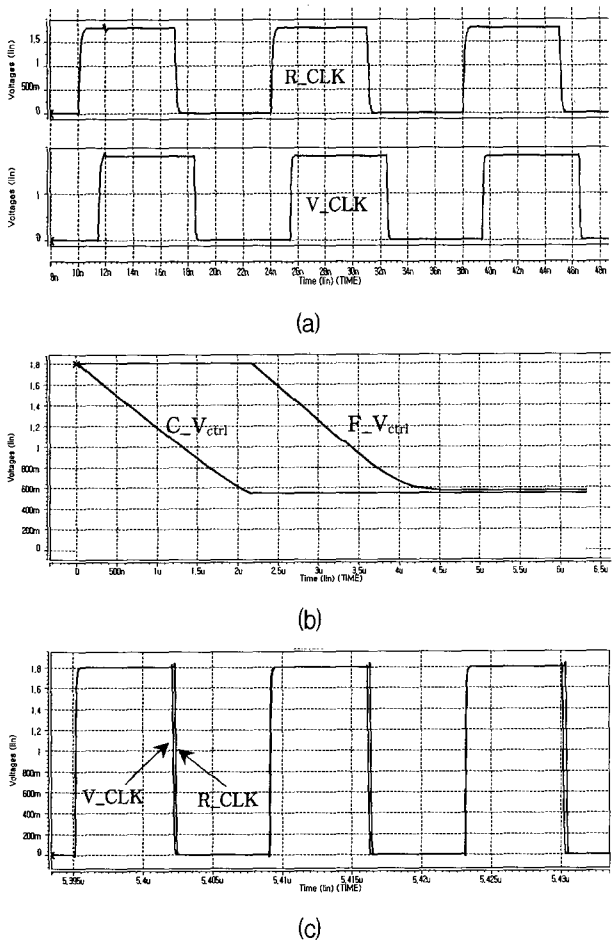


그림 17. 100MHz에서의 제어전압 파형과 동기화된 파형
Fig. 17. The control voltage signals and resulting synchronized clock signals at 100MHz.

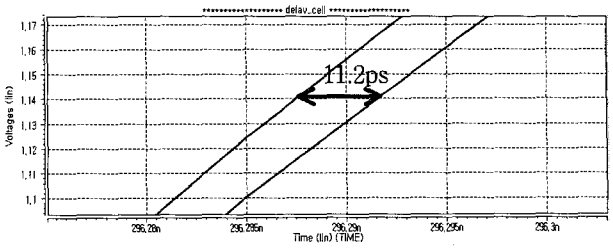


그림 18. 1GH에서의의 위상 오차
Fig. 18. The phase error at 1GHz.

표 1. 제안한 DLL의 특성 요약
Table 1. The summarized characteristics of the proposed DLL.

Items	Values
공정 기술	TSMC 0.18um CMOS
locking 범위	100MHz~1GHz
최대 위상오차	< 11.2ps @ 1GHz
소비 전력	11.5mW @ 1GHz
공급전압	1.8V

제안한 DLL의 최대 위상 오차를 측정한 결과, 11.2ps의 높은 해상도를 가진다는 것을 알 수 있다.

<표 1>에 제안한 아날로그 이중 루프 DLL의 특성을 요약 정리하였다.

Ⅳ. 결 론

본 논문에서 제안한 아날로그 이중 루프 DLL은 기존 DLL의 제한된 잠금 범위 문제를 해결하여 0.18um CMOS technology에서 100MHz~1GHz의 넓은 동작 주파수 범위를 가지게 되었다.

제안한 DLL은 Coarse_loop와 Fine_loop를 포함하고 있으며, 외부 클럭과 2개의 내부 클럭 사이의 초기 시간차를 비교하여 하나의 루프를 선택하여 동작하게 된다. 2개의 내부 클럭은 VCDL의 중간 출력 클럭과 최종 출력 클럭이며 두 클럭의 위상차는 180°이다. 이를 위해 VCDL의 지연 셀 수는 홀 수개가 되어야 한다. 제안한 DLL의 동작은 일반적인 잠금 범위 밖에 있을 경우 Coarse_loop를 선택하여 잠금 범위 안으로 이전 시킨 후 Fine_loop에 의하여 잠금 상태가 일어난다. 따라서 제안한 DLL은 harmonic lock이 일어나지 않는 한 항상 안정적으로 잠금 과정이 일어날 수 있게 된다.

그리고 제안한 DLL이 사용하는 VCDL은 두 개의 제어 전압을 받아 지연 시간을 조절함으로 일반적인 다

적층 current starved 형태의 인버터 대신에 TG 인버터를 사용하여 지연 셀을 구성하였다. 새로운 형태의 VCDL은 종래의 VCDL에 비하여 지연시간 범위가 더욱 확장되었으며, 따라서 제안한 DLL의 잠금 범위는 기존의 DLL의 잠금 범위보다 2배 이상 확장되었다. 그리고 본 논문에서는 VCDL의 지연 셀 수를 5개로 하여 이중 루프 DLL을 설계하고 0.18um TSMC 라이브러리를 이용하여 시뮬레이션한 결과, DLL이 안정적으로 동작할 수 있는 주파수 범위가 100MHz~1GHz로 나타났다. 그리고 1GHz에서 제안한 DLL의 잠금 상태에서의 최대 위상 오차는 11.2ps로 높은 해상도를 가졌으며, 이에 대한 소비 전력은 11.5mW로 측정되었다.

본 논문에서 제안한 아날로그 이중 루프 DLL은 기존 DLL의 가장 큰 문제점인 제한된 주파수 동작 범위를 해결함으로써 보다 넓은 주파수 대역에서 동작할 수 있음을 보여 준다. 따라서 제안한 DLL이 광대역에서 동작할 수 있도록 설계에 초점을 맞추었기 때문에 DDR SDRAM과 디스플레이 등의 고속 병렬 I/O 구조에서 유용하게 이용될 수 있을 것으로 본다.

참 고 문 헌

[1] Hsiang-Hui Chang, Jyh-Woei Lin, Ching-Yuan Yang, and Shen-Iuan Liu, "A Wide-Range Delay-Locked Loop With a Fixed Latency of One Clock Cycle," IEEE Journal of Solid-State Circuits, vol.37, no.8, Aug. 2002, pp. 1021-1027.

[2] Eunseok Song, Seungwook Lee, Joonbae Park, and Soo-Ik Chae, "A Reset-Free Anti-Harmonic Delay-Locked Loop Using a Cycle Period Detector," IEEE Journal of Solid-State Circuits, vol.39, no.11, Nov. 2004, pp. 2055-2061.

[3] A. Hatakeyama, et al., "A 256-Mb SDRAM using a register-controlled digital DLL," IEEE Journal of Solid-State Circuits, vol.32, no.11, Nov. 1997, pp. 1728-1734.

[4] Y. Okajima, et al., "Digital delay locked loop and design technique for high-speed synchronous interface," IEICE Trans. Electron., vol.E79-C, June 1996, pp. 798-807.

[5] T. H. Lee, et al., "A 2.5V CMOS delay-locked loop for an 18 Mbit, 500 Megabyte/s DRAM," IEEE JSSC, vol.29, Dec. 1994, pp. 1491-1496.

[6] S. Tanoi, et al., "A 250~622MHz deskew and jitter-suppressed clock buffer using two-loop architecture," IEEE J. Solid-State Circuits, vol.31, Apr. 1996, pp. 487-493.

[7] S. Sidiropoulos, et al., "A semi-digital dual delay-locked loop," IEEE J. Solid-State Circuits, vol.32, Nov. 1997, pp. 1683-1692.

[8] Y. Okuda, et al., "A 66~400MHz, Adaptive Lock-Mode DLL Circuit with Duty-Cycle Error Correction," Symp. VLSI Circuits Dig. Tech. Papers, June 2001, pp. 37-38,

[9] T. Hamamoto, et al., "A Skew and Jitter Suppress DLL Architecture for High Frequency DDR SDRAMs," Symp. VLSI Circuits Dig. Tech. Papers, June 2000, pp. 76-77.

[10] Se Jun Kim, Sang Hoon Hong, Jae-Kyung Wee, Joo Hwan Cho, Pol Soo Lee, Jin Hong Ahn, and Jin Yong Chung, "A Low-Jitter Wide-Range Skew-Calibrated Dual-Loop DLL Using Antifuse Circuitry for High-Speed DRAM," IEEE Journal of Solid-State Circuits, vol.37, no.6, June. 2002, pp.726-734.

[11] C. H. Park, et al., "A low-noise 900-MHz VCO in 0.6um CMOS," IEEE J. Solid-State Circuits, vol.34, May. 1999, pp. 586-591.

[12] 박홍준, CMOS 아날로그 집적회로 설계, 시그마 프레스, 1999

저 자 소 개

이 석 호(학생회원)
2004년 2월 동국대학교 전자공학과 (공학사),
2006년 2월 동국대학교 전자공학과 (공학석사),
2006년 3월~현재 삼성전자 메모리 사업부
<주관심분야 : 집적회로 설계>

김 삼 동(평생회원)
1983년 서울대학교 금속공학과 졸업(공학사),
1986년 서울대학교 금속공학과 대학원 석사과정 (공학석사),
1992년 Department of Materials Science & Engineering Stanford University 박사과정(공학박사),
1994년 스텐포드 대학교, Solid State Electronic Lab. Post-Doctorate,
1999년 현대 전자 메모리 선행기술 연구부 박막 연구실 책임 연구원,
1999년~현재 동국대학교 전자공학과 부교수
<주관심분야 : 미소고체전자 현상 분석>

황 인 석(평생회원)
1972년 서울대학교 전자공학과 졸업(공학사),
1978년 U. of Wisconsin-Madison 전자공학(제어) (공학석사),
1982년 U. of Wisconsin-Madison 전자공학(컴퓨터) (공학박사),
1985년 Dept. of Electrical Engr. U. of Minesota, Minneapoils 조교수,
1989년 Signal Processor & VLSI Design LAB, AT&T Bell Labs, MTS,
1999년 현대전자산업(주) 반도체연구소장, 전무이사
2000년~현재 동국대학교 전자공학과 교수
<주관심분야 : 집적회로 설계, 고속컴퓨터 및 통신용VLSI>