

# 핫스팟을 발생시 출력 버퍼형 $a \times a$ 스위치로 구성된 다단 연결망의 성능분석

## (Performance Evaluation for a Multistage Interconnection Network with Buffered $a \times a$ Switches under Hot-spot Environment)

김 정 윤 <sup>†</sup>    신 태 지 <sup>\*\*</sup>    양 명 국 <sup>\*\*\*</sup>  
(Jung-yoon Kim)    (Tae-zi Shin)    (Myung-kook Yang)

**요 약** 본 논문에서는,  $a \times a$  출력 버퍼 스위치로 구성되며 핫스팟이 발생하는 다단 연결 망 (Multistage Interconnection Network, MIN)의 성능 예측 모형을 제안하고, 스위치에 장착된 버퍼의 개 수 증가에 따른 성능 향상 추이를 분석하였다. 제안한 성능 예측 모형은 먼저 네트워크 내부의 임의 스위 치 입력 단에 유입되는 데이터 패킷이 스위치 내부에서 전송되는 유형을 확률적으로 분석하여 수립되었다. 성능분석 모형은 스위치에 장착된 버퍼의 개수와 무관하게 버퍼를 장착한  $a \times a$  스위치의 성능, 네트워크 정상상태 처리율(Normalized Throughput,  $NT$ )과 네트워크 지연시간(Network Delay)의 예측이 가능하 고, 나아가서 이들로 구성된 모든 종류의 다단 연결망 성능 분석에 적용이 용이하다. 제안한 수학적 성능 분석 연구의 실효성 검증을 위하여 병행된 시뮬레이션 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다.

**키워드** : 핫스팟, 크로스바 스위치, 출력 버퍼, 정상상태 처리율, 네트워크 지연시간, 성능분석

**Abstract** In this paper, a performance evaluation model of the Multistage Interconnection Network(MIN) with the multiple-buffered crossbar switches under Hot-spot environment is proposed and examined. Buffered switch technique is well known to solve the data collision problem of the MIN. The proposed evaluation model is developed by investigating the transfer patterns of data packets in a switch. The performance of the multiple-buffered  $a \times a$  crossbar switch is analyzed. Steady state probability concept is used to simplify the analyzing processes. Two important parameters of the network performance, throughput and delay, are then evaluated. To validate the proposed analysis model, the simulation is carried out on a Baseline network that uses the multiple buffered crossbar switches. Less than 2% differences between analysis and simulation results are observed. It is also shown that the network performance is significantly improved when the small number of buffer spaces is given. However, the throughput elevation is getting reduced and network delay becomes increasing as more buffer spaces are added in a switch.

**Key words** : Hot-Spot, crossbar switch, buffer, throughput, delay, analysis, simulation

### 1. 서 론

넓은 대역폭과 네트워크 유연성 등의 장점을 가진 다 단 연결망(Multistage Interconnection Network : MIN)

은 각종 병렬 컴퓨터의 상호 연결망으로 시작하여, 최근 고성능 컴퓨터 네트워크의 스위칭 소자 및 B-ISDN의 기본이 되는 ATM 스위칭 소자 등으로 다양하게 사용 되어 지고 있다[1].

다단 연결망을 통한 데이터 이동에는 다단 연결망의 구조상 각 스테이지에서 스위치마다 제어가 요구되고, 데이터 이동 경로에 따라 특정 스위치에서 두 개 이상 의 데이터가 하나의 경로로 진행하고자 하는 데이터 충돌 현상이 초래된다. 이러한 현상은 핫스팟이 발생할 때 더욱 빈번해진다. 데이터 충돌 현상은 네트워크 성능저

<sup>†</sup> 학생회원 : 울산대학교 전기전자정보시스템공학부  
basseam@naver.com  
<sup>\*\*</sup> 정 회 원 : 울산대학교 전기전자정보시스템공학부 교수  
newtaiji@mail.ulsan.ac.kr  
<sup>\*\*\*</sup> 종신회원 : 울산대학교 전기전자정보시스템공학부 교수  
mkyang@ulsan.ac.kr  
논문접수 : 2006년 9월 12일  
심사완료 : 2007년 2월 7일

하를 유발할 뿐 아니라 네트워크 신뢰도에도 큰 영향을 미치게 된다. 이러한 네트워크 내부의 데이터 충돌로 인한 데이터 손실을 최소화하고, 네트워크 성능 향상을 위한 다양한 연구가 진행되고 있다[2]. 이들 가운데 스위치 소자에 버퍼를 장착하는 기법은 데이터 충돌로 인하여 소실될 데이터 패킷을 버퍼의 여유 공간에 저장함으로써, 데이터 손실을 막고, 나아가서 네트워크의 성능을 증가시키는 방법으로 널리 알려져 있다.

Dias와 Jump[3]는 한 개의 버퍼를 장착한 스위치들로 구성된 단일 buffered(single buffered) Delta network의 성능을 분석하였다. 수학적 분석과 시뮬레이션 결과를 통하여 Dias와 Jump는 buffered 다단 연결망이 crossbar 네트워크의 유사한 수준의 대역폭을 제공하는 것으로 보고하였다. Jenq[4]는 단일 buffered Banyan network를 대상으로 분석 모형을 제시하고, 네트워크 throughput, delay, 및 internal blocking probability 등을 분석하였다. 또한, Krusal과 Snir[5]는 unbuffered 및 무한 buffered(infinite buffered) Banyan network의 성능 분석 모형을 제시하고, 시뮬레이션과 수학적 모형 해석을 통하여 각 단(stage) 별 대기 시간 등 데이터 패킷 이동에 버퍼가 제공하는 영향을 연구하였다.

앞서 기술한 기존의 연구는 단일 버퍼 혹은 무한 버퍼의 경우만을 대상으로 분석 모형을 제안하고 수학적 분석을 수행한 반면 복수 버퍼(multiple buffers) 환경에 관한 부분에 대하여는 분석의 난해성으로 인하여 시뮬레이션을 통한 성능 예측을 시도하였다. Yoon, Lee, 그리고 Liu[6]는 이와 같은 기존 연구의 문제점을 보완하여 임의 크기의 버퍼를 장착한 복수 buffered  $N \times N$  Delta Network의 분석 모형을 제안하였다. 단일 buffered 네트워크의 해석 모형을 확장하는 개념으로 제안된 Yoon 등의 모형은 실제 네트워크상의 데이터 이동 패턴을 그대로 상태 변환도로 전환하고 이를 도식화 하여 설계 되었으나, 적체된 패킷(blocked packet)을 고려하지 않았기 때문에 입력 단의 트래픽이 높아지면 정확도가 떨어지는 결과를 보이고 있다. Mun과 Yoon[7]은 단일 버퍼를 가진 스위치의 버퍼 상태를 3가지 유형 : 버퍼가 비어 있는 상태, 정상상태 패킷을 포함한 경우, 블록상태 패킷을 포함한 경우로 구분하고 이를 마코브 체인으로 분석한 후 이것을 다중 버퍼 형성 모델로 확장하였다. 제안된 분석 모형은  $2 \times 2$  스위치를 대상으로 하여 입력 단에서 출력 단을 지향하는 패킷들의 상태를 이용하여 출력 단을 차지할 확률을 계산하였다. Das와 Mohapatra[8]는 버퍼를 장착한 비동기식 다단 연결망을  $M/D/1/L$  queueing center로 보고,  $M/D/1/L$  queueing 모델 분석 결과를 이용하여 해석함으로써 연산 과정이 어렵고, 모형이 이해가 난해하다.

Mahmoud Saleh와 Mohammed Atiquzzaman[9]는 핫스팟 상황 하에서 Shared Buffer Delta Network의 성능을 분석 하였다. 그러나 스위치에 데이터 소용량이 높아지면서 분석과 시뮬레이션 데이터 간의 오차가 커지는 문제를 보이고 있다. 본 논문에서는 네트워크 성능 평가의 두 가지 주요 요소로 알려진 네트워크의 정상상태 처리율(Normalized Throughput, NT)과 네트워크 지연시간(Network Delay)을 분석하였다. 본 논문에 제안된 성능 분석 모형은 스위치 크기 및 스위치에 장착된 버퍼의 개수와 무관하게 적용 가능하다. 제안한 수학적 성능 분석 연구의 실효성 검증을 위하여 병행된 핫스팟 상황 하에서의 시뮬레이션 결과는 상호 미세한 오차 범위 내에서 모형의 예측 데이터와 일치하는 결과를 보여 분석 모형의 타당성을 입증하였다.

## 2. 성능 분석 모형

### 2.1 네트워크 환경에 대한 일반적인 가정

복수 buffered 다단 연결망의 분석 모형 개발과 시뮬레이션을 위해 본 논문에서 적용된 일반적인 가정을 정리하면 다음과 같다.

- $a \times a$  multiple-buffered crossbar 스위치들로 구성된  $N \times N$  Baseline network을 분석대상으로 한다. Wu와 Feng[10]의 연구에서 밝혀진 바와 같이 기존의 모든 다층 연결망은 기능적으로 동일하여, 본 연구에서 baseline network을 대상으로 얻은 성능 분석 결과 및 분석 모형은 다른 모든 다층 연결망의 해석에 활용이 가능하다.
- 네트워크는 스위치 Clock Cycle,  $\Delta t$ 에 따라 동기적으로 작동한다. 즉, 네트워크 내부 데이터 패킷은 스위치 Clock Cycle 동안 임의 스위치 출력 단을 출발, 다음 스테이지 스위치를 통과하여 해당 출력 단에 도달한다.
- 스위치에 장착된 버퍼는 스위치 출력 단에 위치하고, 버퍼 공간 하나는 한 개의 데이터 패킷을 수용할 수 있다.
- 데이터 패킷은 네트워크 입력 단의 각 소스 노드에서 같은 확률로 발생하며 네트워크 내부에 임의 스테이지  $i$ 에 위치한 스위치 입력 단으로 데이터 유입될 확률은  $C_{stage\ i}$ 라 한다. 따라서 매 사이클 마다 네트워크 각 입력 단에 한 개씩의 데이터 패킷이 유입될 경우,  $C_{stage\ 0}$ 는 1이 된다.
- 네트워크 입력 단으로 유입되는 데이터 패킷의 네트워크 최종 출력 단 행선지는 핫스팟 출력 단 지향율( $C_H$ )과 일반 출력 단 지향율( $C_C$ )로 다음과 같이 나누어진다[9].

$$\zeta_H = \zeta_{stage\ 0} \left\{ H_0 + \frac{1-H_0}{N} \right\}, \zeta_C = \zeta_{stage\ 0} \left\{ \frac{1-H_0}{N} \right\}$$

$$\zeta_H + (N-1)\zeta_C = \zeta_{stage\ 0}$$

여기서,  $H_0$ 은 네트워크 초기 입력 핫스팟 율이고,  $N$ 은 네트워크 입출력 단의 수이다.

- 데이터 충돌 발생 시 무작위 중재 방식에 의거 데이터 처리 우선순위를 결정한다.
- 핫스팟은 최종 출력 단에 오직 하나만이 존재한다.

핫스팟 상황 하에서 네트워크 내부 스테이지  $i$ 에 위치한 임의의 스위치 내부의 데이터 이동 패턴을 확률적으로 분석하기 위하여 사용된 변수는 다음과 같다.

$H_i$  :  $i$  번째 스테이지로 유입되는 데이터의 핫스팟 지향 율

$D_j$  : 임의의 SE (Switch Element)의  $j$ 번째 출력단 ( $0 \leq j \leq a-1$ )

$P(\bar{h}=r)_i$ : 스테이지  $i$ 에 위치한 임의의 SE의 한 출력단으로  $r$ 개의 패킷이 지향할 확률

핫스팟 상황 하에서 네트워크를 구성하는 스위치는 그림 1에서 보인 것과 같이 크게 2가지 상태로 구분된다. 먼저, 스위치 내에 핫스팟을 지향하는 경로가 포함된 상태(Type 1), 그리고 해당 스위치가 핫스팟 지향경로를 포함하지 않는 상태(Type 2) 등으로 구분할 수 있다. 여기서 Type 2 스위치들의 출력 단으로 지향하는 경로 상에 존재하는 Type 1 스위치의 수의 개수에 따라 출력 율이 다르게 나타난다.

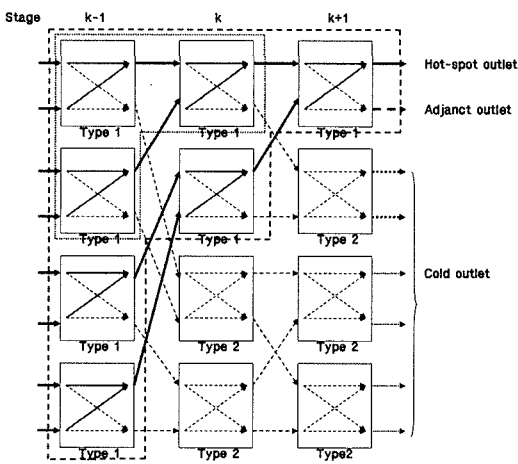


그림 1 핫스팟 상황 하에서  $8 \times 8$  MIN

## 2.2 스위치 내부에서의 데이터 이동 패턴

### 2.2.1 핫스팟 영향이 없는 경우

네트워크 내부 임의의 스위치 입력 단에 유입된 데이터 패킷은 데이터가 지향하는 행선지에 따라 스위치의

$a$ 개 출력 단 중 어느 한 출력 단으로 향하게 된다. 네트워크 환경의 일반적인 정의에 의거, 네트워크 입력 단에 처음 데이터 패킷이 유입될 때 최종 출력 단 행선지가 핫스팟 출력 단 지향 율( $\zeta_H$ )과 일반 출력 단 지향 율( $\zeta_C$ )로 주어지며, 핫스팟 영향이 없는 경우이므로, 핫스팟 출력 단을 지향하는 비율,  $H_0$ 이 0%가 된다. 그러므로 네트워크 스테이지  $i$ 에 위치한 스위치 중, 핫스팟 영향이 없는 임의의 스위치 입력 단에 데이터 패킷이 유입될 확률이  $\zeta_{stage\ i}$ 로 주어지면 해당 스위치의 어느 한 출력단으로 데이터 패킷이 향할 확률은  $\frac{\zeta_{stage\ i}}{a}$ 가 된다.

네트워크 내부 스테이지  $i$ 에 위치한 임의의 스위치 입력 단  $I_0$ 에 데이터 패킷이 유입될 확률이  $\zeta_{stage\ i}$ 로 주어지면, 그로 인하여 해당 스위치의 특정 출력 단  $D_0$ 로 데이터 패킷이 향할 확률은  $\frac{\zeta_{stage\ i}}{a}$ 가 되고, 특정 출력 단

$D_0$ 로 데이터 패킷이 향하지 않을 확률은  $(1 - \frac{\zeta_{stage\ i}}{a})$ 가 된다. 따라서 스테이지  $i$ 에 위치한 임의의 스위치 출력 단  $D_0$ 로  $r$ 개의 데이터 패킷이 지향할 확률,  $P(\bar{h}=r)_i$ 은

$$P(\bar{h}=r)_i = {}_a C_r \times \left\{ \frac{\zeta_{stage\ i}}{a} \right\}^r \times \left\{ 1 - \left( \frac{\zeta_{stage\ i}}{a} \right) \right\}^{a-r} \quad (1)$$

로 계산된다. 여기서, ( $0 \leq r \leq a$ )이다.

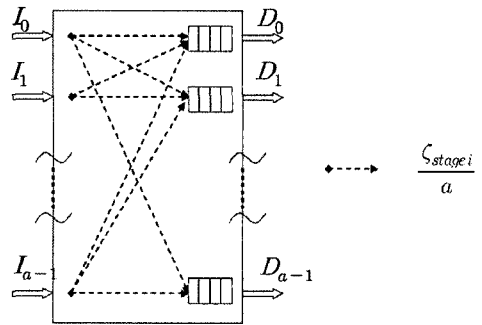


그림 2 핫스팟 영향이 없는 경우 (Type 2)

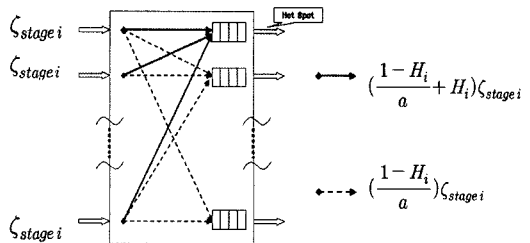


그림 3 핫스팟 영향권에 포함된 경우 (Type 1)

2.2.2 핫스팟 영향권에 포함된 경우

스위치 내에 핫스팟을 지향하는 경로가 포함된  $a \times a$  스위치(Type 1) 입력 단에 유입된 데이터 패킷은 데이터가 지향하는 행선지에 따라 스위치의  $a$ 개 출력 단 중 어느 한 출력 단으로 향하게 된다. 네트워크 환경의 일반적인 정의에 의거, 네트워크 입력 단에 처음 데이터 패킷이 유입될 때 최종 출력 단 행선지가 핫스팟 출력 단 지향율( $\zeta_H$ )과 일반 출력 단 지향율( $\zeta_C$ )로 주어지므로, 스위치에서 데이터 패킷이 지향할 확률도 두 가지로 나누어진다.

첫째로, 핫스팟 출력에 인접한 출력 단으로 데이터 패킷이 지향할 확률은 식 (1)의 유도과정에서 데이터 패킷이 지향할 확률,  $\frac{\zeta_{stage\ i}}{a}$ 을 핫스팟 영향권에 포함된 스위치에서 일반 출력 단으로 데이터 패킷이 지향할 확률,  $(\frac{1-H_i}{a})\zeta_{stage\ i}$ 로 변경하면, 네트워크 스테이지  $i$ 에 위치한 스위치 중, 핫스팟 영향권에 포함된 임의의 스위치에서 핫스팟 출력 단에 인접한 출력 단으로  $r$ 개의 데이터 패킷이 지향할 확률,  $P(\bar{h}=r)_{i,A}$ 은

$$P(\bar{h}=r)_{i,A} = ({}_a C_r) \times \left\{ \left( \frac{1-H_i}{a} \right) \zeta_{stage\ i} \right\}^r \times \left\{ 1 - \left( \frac{1-H_i}{a} \right) \zeta_{stage\ i} \right\}^{a-r} \quad (2)$$

로 계산된다. 여기서,  $(0 \leq r \leq a)$ 이다.

둘째로, 핫스팟 출력 단으로 데이터 패킷이 지향할 확률은 식 (1)의 유도과정에서 데이터 패킷이 지향할 확률,  $\frac{\zeta_{stage\ i}}{a}$ 을 핫스팟 영향권에 포함된 스위치에서 핫스팟 출력 단으로 데이터 패킷이 지향할 확률,  $(\frac{1-H_i}{a} + H_i)\zeta_{stage\ i}$ 로 변경하면, 네트워크 스테이지  $i$ 에 위치한 스위치 중, 핫스팟 영향권에 포함된 임의의 스위치에서 핫스팟 출력 단으로  $r$ 개의 데이터 패킷이 지향할 확률,  $P(\bar{h}=r)_{i,H}$ 은

$$P(\bar{h}=r)_{i,H} = ({}_a C_r) \times \left\{ \left( \frac{1-H_i}{a} + H_i \right) \zeta_{stage\ i} \right\}^r \times \left\{ 1 - \left( \frac{1-H_i}{a} + H_i \right) \zeta_{stage\ i} \right\}^{a-r} \quad (3)$$

로 계산된다. 여기서,  $(0 \leq r \leq a)$ 이다.

2.3 정상상태 처리율 분석

네트워크 내부 스테이지에 위치한 임의의  $a \times a$  출력 버퍼 스위치 내부 데이터 이동 패턴의 확률적 분석을 토대로 buffered 다단 연결망의 성능 분석을 위하여 사용될 변수는 다음과 같다.

$b$  : 스위치에 장착된 버퍼가 저장할 수 있는 데이터 패킷 수

$\epsilon$  : 버퍼에 저장된 데이터 패킷 수

$P(\epsilon = k)_i$ : 버퍼에 저장된 데이터 패킷 수가  $k$ 개일 확률

$P(D_d = 1)_i$ : 출력 단  $D_d$ 로 데이터 패킷이 출력될 확률

$P(D_d = 0)_i$ : 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않을 확률

$T_H$ : 네트워크 입력 단에 유입되는 데이터 패킷 중 Hot 출력 지향율들의 합

$T_C$ : 네트워크 입력 단에 유입되는 데이터 패킷 중 일반 출력 지향율들의 합

네트워크 성능 분석의 두 가지 주요 요소는 네트워크 정상상태 처리율과 네트워크 지연시간이다. 이 요소들은 핫스팟 영향이 없는 최종 출력 단의 경우, 네트워크 정상상태 처리율(NT)은 네트워크 최종 스테이지의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d = 1)_{last\ stage}$ 을 네트워크 초기 스테이지의 스위치 입력 단으로 데이터 패킷이 유입될 확률,  $\zeta_{stage\ 0}$ 로 나누어서 식 (4)와 같이 계산된다.

$$NT = \frac{P(D_d = 1)_{last\ stage}}{\zeta_{stage\ 0}} \quad (4)$$

임의의 사이클  $j$ 에 스테이지  $i$ 에 대한 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되는 경우를 살펴보면, 먼저 사이클  $(j-1)$  종료 시점에 해당 출력 단 버퍼가 데이터 패킷을 저장하고 있는 경우, 혹은 스위치 입력 단으로 새로이 유입된 데이터 패킷이 해당 출력 단으로 지향할 경우이다. 반대로 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않는 경우는 사이클  $(j-1)$ 에 해당 출력 단 버퍼가 데이터 패킷을 저장하지 않은 상태에서, 스위치 입력 단에서 해당 출력 단으로 지향하는 데이터 패킷이 없을 경우이다. 따라서 임의의 사이클  $j$ 에 스테이지  $i$ 에 위치한 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력되지 않을 확률,  $P(D_d = 0)_{i, cycle\ j}$ 을 구하면

$$P(D_d = 0)_{i, cycle\ j} = P(\epsilon = 0)_{i, cycle\ (j-1)} \times P(\bar{h} = 0)_{i, cycle\ (j-1)} \quad (5)$$

이 된다. 여기서  $j \geq b$ 이다. 또한, 임의의 사이클  $j$ 에 스위치 출력 단  $D_d$ 로 데이터 패킷이 출력될 확률,  $P(D_d = 1)_{i, cycle\ j}$ 은

$$P(D_d = 1)_{i, cycle\ j} = 1 - P(D_d = 0)_{i, cycle\ j} = 1 - \{ P(\epsilon = 0)_{i, cycle\ (j-1)} \times P(\bar{h} = 0)_{i, cycle\ (j-1)} \} \quad (6)$$

로 계산된다. 식 (6)에서  $P(\bar{h} = 0)_{i, cycle\ (j-1)}$ 은 식 (1), (2), (3)에서 얻을 수 있으며, 각 식은 스위치의 타입과 출력 단의 종류에 따라 달라진다. 그리고  $P(\epsilon = 0)_{i, cycle\ (j-1)}$ , 즉 사이클  $(j-1)$  종료 시점에 버퍼가 비어있을 확률은 Myung K Yang and Tae Z Shin

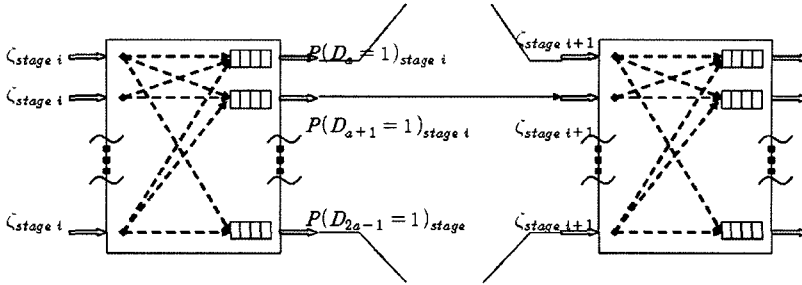


그림 4 다단 연결 망 내부 스위치 입출력 확률의 관계

[11]의 연구에 따라 다음과 같이 계산된다. 정상 상태 처리율 계산의 주요 변수로 정의된  $P(e=0)_i$ 은

$$P(e=0)_i = \frac{1}{\sum_{x=0}^b \Phi_x} \quad (7)$$

로 얻어진다. 여기서  $\Phi_x = \Omega_{x-1} + \sum_{k=0}^{x-2} \Phi_{x-k-1} \times \Omega_k$ ,

$$\Omega_i = \frac{1}{P(\bar{h}=0)_i} \times \sum_{y=1+2}^a P(\bar{h}=y)$$

일단 다단 연결 망 내부 스테이지  $i$ 에 위치한 임의  $a \times a$  출력 버퍼 스위치 입력 단의 데이터 패킷이 유입될 이 주어지면 식 (1), (2), (3), (6), 그리고 (7)을 이용하여 출력 단  $D_d$ 로 데이터 패킷이 출력될 확률,  $P(D_d=1)_i$ 을 구하게 된다. 네트워크 구조 상 스테이지  $i$ 에 위치한 스위치 출력 단은 스테이지  $(i+1)$ 에 위치한 임의 스위치의 입력 단으로 연결됨으로, 스테이지  $i$ 에 임의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d=1)_i$ 은 그림 4에서와 같이 stage  $(i+1)$ 에 위치한 해당 스위치 입력 단으로 데이터 패킷이 유입될 확률,  $\zeta_{stage(i+1)}$ 이 된다. 즉  $P(D_d=1)_i = \zeta_{stage(i+1)}$ 이 된다. 따라서 네트워크 입력 단의 데이터 유입률,  $\zeta_{stage 0}$ 이 주어지면 식 (1), (2), (3), (6) 그리고 (7)를 이용하여  $P(D_d=1)_0$ 을 구하고, 다시  $P(D_d=1)_0$ 을  $\zeta_{stage 1}$ 로 하여  $P(D_d=1)_1$ 을 구하는 과정을 반복하여 다단 연결 망 최종 스테이지의 스위치 출력 단으로 데이터 패킷이 출력될 확률,  $P(D_d=1)_{last\ stage}$ 을 계산하게 된다.

핫스팟 영향권에 포함된 최종 출력 단의 경우, 핫스팟 출력에서의 네트워크 정상상태 처리율(NT)은  $P(D_d=1)_{last\ stage}$ 을 네트워크 입력 단에 유입되는 데이터 패킷 중 핫스팟 출력 단으로 지향하는 확률들의 합,  $T_{H_i}$ 으로 나눔으로서 식 (8)과 같이 계산되고, 핫스팟에 인접한 출력 단으로 지향하는 확률은 식 (24)에서  $T_{H_i}$  대신에  $T_{C_i}$ 으로 나눔으로서 식 (9)와 같이 계산 된다[12].

$$N.T_{Hot\ Spot\ Outlet} = \frac{P(D_d=1)_{last\ stage}}{T_{H_i}} \quad (8)$$

$$N.T_{Adjacent\ Outlets} = \frac{P(D_d=1)_{last\ stage}}{T_{C_i}} \quad (9)$$

$$T_{H_i} = \left\{ \frac{1-H_1}{R_i} + H_1 \right\} R_i \times \xi_{stage 0} \quad (10)$$

$$T_{C_i} = \left\{ \frac{1-H_1}{R_i} \right\} R_i \times \xi_{stage 0} \quad (11)$$

식 (8)과 (9)에서 NT(Normalized Throughput)을 구하기 위해서는 각 스테이지에서의 유입률,  $\zeta_{stage i}$ 을 구하여야 한다.  $\zeta_{stage i}$  값은 식 (2)와 (3)에 유입률  $\zeta_{stage i-1}$ 과 핫스팟 출력 단 지향율,  $H_i$ 을 대입하여 구할 수 있다.  $i$ 번째 스테이지로 유입되는 데이터 중에 핫스팟 출력 단 지향율은 식 (12)에 초기 핫스팟 출력 단 지향율,  $H_0$ 과 최종 핫스팟 출력 단과 관련된 네트워크 초기 입력 단의 수,  $R_i$ 를 대입하면 구할 수 있다.

$$H_i = \frac{H_1}{\frac{1-H_1}{R_i} + H_1} \quad (12)$$

예를 들어  $8 \times 8$  다단 연결망의 경우, Single 핫스팟을 가지는 다단 연결망의 데이터 패킷의 흐름은 그림 1과 같이 나타낼 수 있다. 그림 (1)에서 스테이지  $k-1$ 의 각 Type 1 SE(Switch Element)들의 핫스팟 출력을 구하기 위하여 네트워크 입력 단의 초기 유입률,  $\zeta_{stage k-1}$ , 과 초기 핫스팟 출력 단 지향율,  $H_{k-1}$ 을 식 (3)에 대입하면 스테이지  $k-1$ 로부터의 핫스팟 출력 단 지향율 (스테이지  $k$ 의 Type 1으로 유입되는 확률)을 구할 수 있다. 이렇게 계산된 스테이지  $k$ 의 Type 1으로 유입되는 확률,  $\zeta_{stage k}$ 과 스테이지  $k$ 에서 핫스팟 출력 단 지향율을 (3)에 대입하면 스테이지  $k+1$ 에 있는 하나의 Type 1 SE의 유입률  $\zeta_{stage k+1}$ 을 계산할 수 있다. 계산된  $\zeta_{stage k+1}$ 과 (8)식에서 계산된 스테이지  $k+1$ 에서의 핫스팟 출력 단 지향율,  $H_{k+1}$ 을 식 (3)에 대입하면

$P(D_d=1)_{k+1}$ 의 값을 계산 할 수 있다. 마지막으로 식 (8)와 (9)에  $P(D_d=1)_{last\ stage}$ 을 대입하면 핫스팟 출력과 핫스팟의 영향권에 포함된 SE내의 핫스팟에 인접한 출력들의 NT를 구할 수 있다.

**2.4 네트워크 지연시간 분석**

네트워크 성능 평가에 있어서 정상상태 처리율과 함께, 또 다른 주요 평가 지표로 네트워크 지연시간(Network Delay, J)을 들 수 있다. 임의 데이터 패킷이 네트워크 입력 단에 유입된 후, 각 스위치 스테이지를 지나, 최종 출력 단을 통과하기까지 소요되는 스위치 클럭의 평균 개수로 측정되는 네트워크 지연시간은 데이터 패킷 이동 경로의 트래픽에 따라 결정된다. 임의 데이터 패킷의 이동 경로에 위치한 버퍼의 데이터 저장 상태, 그리고 함께 도착된 데이터 패킷의 개수에 따라 데이터 패킷을 특정 위치의 버퍼에 저장하게 되고, 일정 기간 동안 스위치에 머무르도록 한다. 문제는 “임의 데이터 패킷이 스위치 버퍼의 어느 위치에 저장되는가?”이다. 일단, 스위치 버퍼 k번째 위치에 저장되면, 이는 해당 스위치에서  $(k+1) \times \Delta t$ 의 시간만큼 머물고 다음 스위치로 이동하게 된다.

먼저, 네트워크 스테이지 i에 위치한 스위치 소자를 성공적으로 통과한 데이터 패킷  $\delta$ 가 해당 스위치의 k번째 버퍼에 저장 될 경우를 살펴보면 다음과 같다.: ‘이전 사이클 종료 시  $\rho$ 개 데이터 패킷이 저장된 스위치 버퍼에 현 사이클에 데이터 패킷  $\delta$ 을 포함한  $(y+1)$ 개의 새로운 데이터 패킷들이 도착한다. 이들 새로 도착한 데이터 패킷 가운데 패킷  $\delta$ 가  $(k-\rho+1)$ 번째 순서로 버퍼에 저장될 경우, 데이터 패킷  $\delta$ 는 해당 스위치의 k번째 버퍼에 저장된다.’ 여기서,  $0 \leq \rho \leq k \leq b$ , 그리고  $(k-\rho+1) \leq (y+1) \leq a$ 이다.

따라서, 네트워크 내부 스테이지 i에 위치한 스위치를 통과하여 다음 스테이지로 이동에 성공한 데이터 패킷이 해당 스위치에 체류한 시간,  $\tau_{s, stage\ i}$ ,을 구하면

$$\tau_{s, stage\ i} = \sum_{k=0}^b \left\{ \sum_{\varphi=k+1-a}^k P(e=\rho)_{i, cycle(\varphi-1)} \times \sum_{y=k-\rho}^{a-1} \frac{1}{y+1} P(\bar{h}=y)_{i, cycle\ j}^* \right\} (k+1) \Delta t \tag{13}$$

으로 얻어진다. 여기서,

$$P(\bar{h}=r)_i = \binom{a-1}{r} C_y \times \left\{ \frac{\zeta_{stage\ i}}{a} \right\}^y \times \left\{ 1 - \left( \frac{\zeta_{stage\ i}}{a} \right) \right\}^{a-1-y}$$

이고,  $P(\bar{h}=r)_i$ 의 값은 네트워크 내에 위치한 스위치의 타입별로 식 (1), (2), (3)의 형태로 적용하여야 하며,  $P(e < 0) = 0$ 이다. 식 (13)는 임의 데이터 패킷  $\delta$ 가 스테이지 i의 스위치를 성공적으로 통과하는데 요구되는 평균 지연 시간을 수식화한 것이다. 식 (13)의

$\sum_{y=k-\rho}^{a-1} \frac{1}{y+1} \times P(\bar{h}=y)_{i, cycle\ j}^*$ 는 데이터 패킷  $\delta$ 를 포함한  $(y+1)$ 개의 데이터 패킷이 해당 버퍼에 새로 도착되고, 이들 가운데 데이터 패킷  $\delta$ 가 k번째 버퍼 공간에 저장 될 확률을 나타낸다.

만약 해당 출력 단 버퍼가 빈 상태에서 새로 도착된  $(y+1)$ 개 데이터 패킷 가운데 스위치를 통과할 첫 번째 패킷으로 선정되어진다면 의심의 여지없이 데이터 패킷은  $\delta$ 는 단 하나의 스위치 사이클,  $\Delta t$ , 동안만 해당 스위치에 머무르고 다음 스테이지로 이동 할 것이다. 이를 식 (13)를 이용하여 다시 쓰면

$$\tau_{s, stage\ i} = \left\{ P(e=0)_{i, cycle(j-1)} \times \sum_{y=0}^{a-1} \frac{1}{y+1} P(\bar{h}=y)_{i, cycle\ j} \right\} \times \Delta t \tag{13-1}$$

이 된다.

네트워크를 성공적으로 통과한 데이터 패킷의 전체 네트워크 지연시간,  $\tau_s$ 는 Myung K Yang and Tae Z Shin [11-13]의 연구에 따라 각 스테이지 지체시간을 합하여 식 (14)와 같이 계산된다.

$$\tau_s = \sum_{i=0}^{n-1} \tau_{s, stage\ i} \tag{14}$$

여기서  $n = \lceil \log_a N \rceil$  이고, N은 다단 연결망의 입력 단 수를 나타낸다.

한편, 일부 데이터 패킷들은 한정된 버퍼공간으로 인하여 전송 중, 네트워크 내부에서 유실될 수 있다. 이들 중도 유실된 데이터 패킷들은 소정의 “중도 유실 감지” 과정을 거쳐 최초 데이터 패킷이 유입된 입력 단에서 재전송 되게 된다. 임의 데이터 패킷  $\delta$ 가 네트워크를 성공적으로 통과할 확률은 정상상태 처리율(NT)로 볼 수 있고, 이때 네트워크 지연시간은 식 (13)와 (14)에서 얻은 식으로 구할 수 있다.

반면에, 데이터 패킷  $\delta$ 가 네트워크 내부에서 소실될 확률은  $(1-NT)$ 로 계산되고, 이들 중도 소실 데이터 패킷은 중도 유실 감지 시간(Lost Data Detection Time, LDDT) 만큼의 오류 검사 과정을 거쳐 재전송된다.

따라서, 임의 데이터 패킷의 전체 네트워크를 통과하는데 걸리는 평균 시간, J는 그림 5로부터

$$J = NT \times \tau_s + (1-NT) \times (LDDT \times J) \tag{15}$$

와 같은 식으로 얻어진다. 식 (15)를 J에 관해 풀면

$$J = \tau_s + \frac{(1-NT)}{NT} \times LDDT \tag{16}$$

과 같이 계산된다. 여기서, NT와  $\tau_s$ 는 식 (4), (13) 그리고 (14)로부터 구할 수 있다. 데이터 중도 소실 감지 시간 (LDDT)은 최소 소요시간  $(b \times n + 1) \Delta t$ 로 놓고 네트워크 지연시간을 구하였다. 여기서 b는 스위치에 장착된 버퍼의 크기, 그리고 네트워크 지연시간은  $(b \times n) \Delta t$

이고, 이때까지 네트워크 출력 단에 데이터 패킷이 도달하지 못하면 패킷이 중도 소실된 것으로 간주하게 된다. 데이터 중도소실이 확인되면 바로 입력 단으로 사실이 알려지고, 해당 입력 단에서 재전송되게 된다.

### 3. 네트워크의 성능 평가

다음의 표 1~표 8, 그림 6~그림 9는 각각  $2 \times 2$  buffered crossbar 스위치와  $4 \times 4$  buffered crossbar 스위치로 구성된  $8 \times 8$ ,  $64 \times 64$ ,  $128 \times 128$  MIN의 스위치에 장착된 버퍼의 크기에 따른 네트워크 정상상태 처리율과 지연시간에 관한 분석 결과를 비교한 표와 그래프이다. 본 논문에서 기술한 분석 모형을 적용하여 각 네트워크 입력 단으로 데이터 패킷이 유입될 확률을 변화시켜가면서 예측한 정상상태 처리율과 네트워크 지연시간을 나열하고, 이를 다시 시뮬레이션을 통하여 얻은 데이터들과 비교하여 보여주고 있다. 시뮬레이션 과정에서는, 초기에 버퍼가 비어있는 상태에서 네트워크 성능 측정을 피하기 위하여, 충분한 예비 동작시간을 준 후 본격적으로 데이터를 수집하여 처리하였다. 표에서 보인 바와 같이, 네트워크 성능 관련 분석 결과는 다양한 버퍼 크기 및 네트워크 트래픽에 대하여 시뮬레이션 결과와 매우 근접한 값을 갖는 것으로 밝혀졌다.

표 1, 2와 3은  $2 \times 2$  buffered crossbar 스위치로 구성

된  $8 \times 8$  MIN네트워크에서 네트워크 초기 입력 단의 데이터 유입률이 달라짐에 따라 핫스팟이 발생하는 출력 단의 정상 상태 처리율과 네트워크 지연 시간을 나타낸다. 그림 5는  $2 \times 2$  buffered crossbar 스위치로 구성된  $8 \times 8$  MIN네트워크의 모든 입력 단에서 핫스팟이 발생하는 포트에 데이터 패킷 전송률이 10% 증가함에 따른 정상상태 처리율과 네트워크 지연시간이 핫스팟이 발생하는 출력 단과 인접한 출력 단들의 출력 특성에 주는 영향을 보여주고 있다. 그림 1에서 네트워크 초기 입력 단들의 모든 데이터는 핫스팟이 발생하는 출력 단으로 전송률이 핫스팟 비율만큼 더 많다. 이러한 데이터의 모임은 입력과 출력의 비율을 측정하는 정상상태 처리율에서 핫스팟 출력 단으로 멀어질수록 정상상태 처리율은 증가하게 된다. 반면, 핫스팟이 발생한다는 의미는 데이터의 충돌이 많아진다는 의미임과 동시에 탈락률이 증가한다는 의미이다. 탈락률이 증가하면 자연스럽게 중도소실 감지시간 역시 증가하게 되며, 네트워크 지연시간은 핫스팟 출력 단으로 가까워질수록, 출력 버퍼의 개수가 많을수록, 증가 하게 된다. 그림 5에서 네트워크의 모든 입력 단에서 핫스팟이 발생하는 포트에 데이터 패킷 전송률이 10% 증가함에 따른 정상상태 처리율과 네트워크 지연시간을 나타낸다. 정상상태 처리율은 핫스팟이 발생하는 출력 단에 정상상태 처리율의 값이 낮아져

표 1  $2 \times 2$  buffered crossbar 스위치로 구성된  $8 \times 8$  MIN의 성능 ( $\zeta = 1.0$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 10%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	42.33	42.36	3.000	3.000	51.67	57.64
1	55.55	55.59	4.768	5.000	44.45	44.41
2	58.05	58.15	7.089	7.300	41.95	44.85
4	58.80	58.81	12.37	12.50	41.20	41.19
8	58.71	58.81	23.75	23.91	41.29	41.19
16	58.89	58.83	47.31	47.62	41.11	41.17
32	58.70	58.81	95.52	95.69	41.30	41.19

표 2  $2 \times 2$  buffered crossbar 스위치로 구성된  $8 \times 8$  MIN의 성능 ( $\zeta = 0.9$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 10%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	45.51	45.50	3.000	3.000	54.49	54.50
1	61.43	61.01	4.810	4.840	38.57	38.99
2	64.50	64.28	6.830	6.890	35.50	35.72
4	65.33	65.26	11.36	11.41	34.67	34.74
8	65.36	65.34	21.12	21.09	34.64	34.66
16	65.36	65.27	40.30	40.24	34.64	34.73
32	65.36	65.34	78.20	78.19	34.64	34.66

표 3 2x2 buffered crossbar 스위치로 구성된 8x8 MIN의 성능 ( $\zeta = 0.8$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 10%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	49.06	49.02	3.000	3.000	50.94	50.98
1	67.87	67.20	4.590	4.650	32.13	32.80
2	72.07	71.57	6.240	6.370	27.93	28.43
4	73.50	73.23	9.900	9.940	26.50	26.77
8	73.53	73.60	16.97	17.02	26.47	26.40
16	73.53	73.51	31.12	31.41	26.47	26.49
32	73.53	73.39	60.94	61.09	26.47	26.61

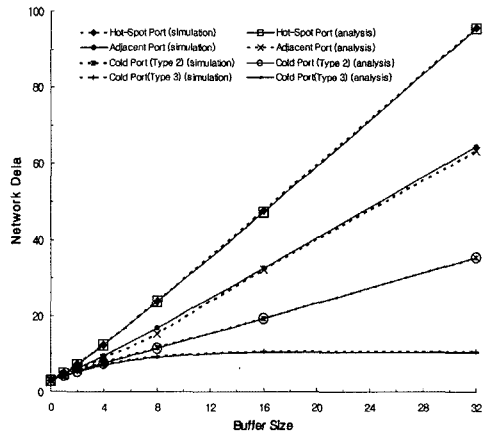
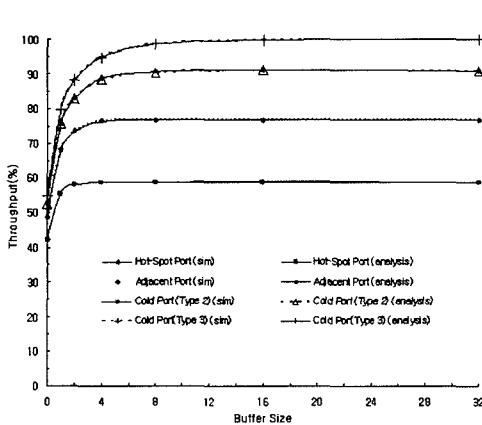


그림 5 8x8 MIN 최종 출력 단들의 성능 분석 ( $\zeta = 1.0$ , Hot-spot Size = 10%)

있고, 핫스팟 출력단과 멀어질수록 정상상태 처리율이 증가하고 있다. 또한, 스위치에 장착된 버퍼의 크기의 증가는 전반적인 네트워크 지연 시간의 증가를 초래하며, 핫스팟이 발생하는 출력단과 인접할수록 네트워크 지연시간은 길어지게 된다. 그림 5에 핫스팟이 발생하는 출력 단에서 가장 먼 출력 단에서는 스위치에 장착된 버퍼 공간이 커지더라도 일정한 값을 유지함을 보여준다. 이는 네트워크 입력 단으로 유입되는 데이터들이 특정 출력 단으로 지향하게 되어 유입률이 낮을 경우 버

퍼 공간이 커지더라도 데이터 패킷이 활용하는 버퍼 공간이 적어 스위치 체류시간이 일정해지고, 중도 유실되는 데이터 패킷이 적어 중도 유실 감지에 소요되는 시간이 전체 지연시간에 거의 영향을 미치지 못하므로 전체 네트워크 지연시간은 거의 일정하게 유지된다.

표 4, 5와 6은 4x4 buffered crossbar 스위치로 구성된 64x64 MIN네트워크에서 네트워크 초기 입력 단의 데이터 유입률이 달라짐에 따라 핫스팟이 발생하는 출력 단의 정상 상태 처리율과 네트워크 지연 시간을 나

표 4 4x4 buffered crossbar 스위치로 구성된 64x64 MIN의 성능 ( $\zeta = 1.0$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 1%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	36.85	36.75	3.000	3.000	63.15	63.25
1	53.14	53.98	4.641	4.690	46.86	46.02
2	58.12	58.84	6.539	6.580	41.88	41.16
4	61.18	61.15	10.75	10.87	38.82	38.85
8	61.35	61.31	20.36	20.34	38.65	38.69
16	61.35	61.27	41.31	41.30	38.65	38.73
32	61.35	61.26	86.01	86.03	38.65	38.74



표 5  $4 \times 4$  buffered crossbar 스위치로 구성된  $64 \times 64$  MIN의 성능 ( $\zeta = 0.9$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 1%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	39.63	39.52	3.000	3.000	60.37	60.48
1	58.79	58.52	4.558	4.570	41.21	41.48
2	63.77	64.64	6.279	6.280	36.23	35.36
4	67.94	67.59	9.942	9.950	32.06	32.41
8	68.17	68.16	17.58	17.57	31.83	31.84
16	68.17	68.08	32.29	32.37	31.83	31.92
32	68.17	68.05	60.39	61.88	31.83	31.95

표 6  $4 \times 4$  buffered crossbar 스위치로 구성된  $64 \times 64$  MIN의 성능 ( $\zeta = 0.8$ )

Buffer size	데이터 패킷 입력률 (Hot-spot = 1%)					
	정상상태 처리율 (NT, %)		네트워크를 통과한 패킷의 지연시간 ( $\Delta t$ )		데이터 패킷 탈락 확률 (%)	
	해석	시뮬레이션	해석	시뮬레이션	해석	시뮬레이션
0	42.80	42.82	3.000	3.000	57.20	57.18
1	63.33	64.13	4.421	4.440	36.67	35.87
2	70.13	71.24	5.790	5.900	29.87	28.76
4	76.33	75.58	8.837	8.840	23.67	24.42
8	76.69	76.92	14.46	14.42	23.31	23.08
16	76.69	76.96	23.40	23.80	23.31	23.04
32	76.69	76.63	40.57	40.79	23.31	23.37

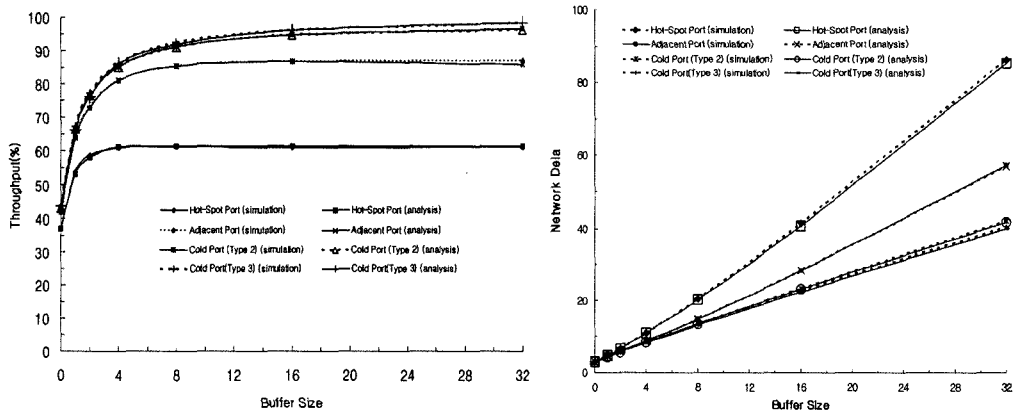


그림 6  $64 \times 64$  MIN 최종 출력 단들의 성능 분석 ( $\zeta = 1.0$ , Hot-spot = 1%)

타낸다. 그림 6은  $4 \times 4$  buffered crossbar 스위치로 구성된  $64 \times 64$  MIN 네트워크에서 모든 네트워크 입력 단에 데이터 유입률이 1% 증가했을 때 최종 출력 단에서의 정상상태 처리율과 네트워크 지연시간에 대한 분석 결과이다. 그림 6에서 버퍼 공간이 커짐에 따라 네트워크 지연 시간이 선형 증가함을 보여주고 있다. 이는 다음 두 가지 원인으로 인한 결과로 설명된다. 먼저 각 스위치에 장착된 버퍼 공간이 커지면서 데이터 손실은 줄일 수 있으나, 성공적으로 네트워크를 통과한 데이터 패킷이 각 스위치에 체류하는 시간이 스위치 별로 증가

하게 된다. 두 번째 원인으로 데이터 중도 유실 감지에 소요되는 최소 시간이 버퍼의 크기(b)의 증가와 함께 커지게 됨을 들 수 있다.

#### 4. 결론

본 논문에서는,  $a \times a$  출력 버퍼 스위치로 구성되는 핫스팟 상황 하에 다단 연결망의 성능을 확률 식으로 분석하고, 실효성을 입증하였다. 제안된 분석 기법은 네트워크 스위치 내부에서 핫스팟이 발생하는 데이터 패킷과 일반 데이터 패킷의 이동 상태를 관찰하여 확률 식

으로 정리하고, 이를 토대로 네트워크 전체의 정상상태 처리율 및 네트워크 지연시간을 예측한다. 분석 모형의 수립 단계에서 정상상태 확률 개념을 도입하여 간단한 근사화(approximation)를 시도하여 모형의 해석과 확률식 전개를 용이하게 하였다. 또한 본 논문에서는 모형의 이해를 돕기 위하여 네트워크 트래픽 제어 및 중도 소실 패킷에 대한 처리 기능 등 최근 개발되는 스위치 네트워크의 부가기능을 배제하고 수식을 정리하였다. 그러나 제안된 분석모형은 이들 다양한 성능 향상 기술이 적용된 네트워크, 그리고 다양한 크기의 네트워크 성능 분석에도 쉽게 적용이 가능하다. 모형의 실효성 검토를 위하여 병행된 시뮬레이션 결과는 분석 모형에 의하여 얻은 결과와 상호 미세한 오차 범위 내에서 일치하여, 제안된 분석 기법의 우수성을 입증하였다.

### 참 고 문 헌

- [1] S. H. Byun, D. K. Sung, "The UniMIN Switch Architecture for Large-Scale ATM Switches," *IEEE Trans. on Networking*, Vol.8, No.1, pp.109-120, Feb. 2000.
- [2] G. F. Pfister, W. C. Brantley, et al., "The IBM Research Parallel processor Prototype(RP3): Introduction and Architecture," *Proc. Intl. Conf. on Parallel Processing*, pp.764-771, Aug. 1985.
- [3] D. M. Dias and J. R. Jump, "Analysis and Simulation of Buffered Delta Networks," *IEEE Trans. on Computers*, Vol.C-30, No.4. pp.273-282, Apr. 1981.
- [4] Y. C. Jenq, "Performance Analysis of a Packet Switch Based on Single Buffered Banyan Network," *IEEE J. Select. Areas Comm.*, Vol. SAC-3, No.6, pp.1014-1021, Dec. 1983.
- [5] C. P. Krusal and M. Snir, "The Performance of Multistage Interconnection Networks for Multiprocessors," *IEEE Trans. on Computers*, Vol.C-32, No.12. pp.1091-1098, Dec. 1983.
- [6] H. Yoon, K. T. Lee, and M. T. Liu, "Performance Analysis of Multibuffered Packet-Switching Networks in Multiprocessor Systems," *IEEE Trans. on Computers*, Vol.C-39, No.3, pp.319-327, Mar. 1990.
- [7] Y. Mun and H. Y. Youn, "Performance Analysis of Finite Buffered Multistage Interconnection Networks," *IEEE Trans. on Computers*, Vol.43, No.2, pp.153-162, Feb. 1994.
- [8] Chita R. Das and Prasant Mohapatra, "Performance Analysis of Finite-Buffered Asynchronous Multistage Interconnection Networks," *IEEE Trans. on Parallel and Distributed systems*, Vol.7, No.1, pp. 18-25, Jun 1996.
- [9] Mahmoud Saleh and Mohammed Atiquzzaman, "Analysis of Shared Buffer Multistage Networks with Hot Spot," *IEEE First International Conference on Algorithms and Architectures for Parallel Processing*, 1995. ICAPP 95.
- [10] Chuan-Lin Wu and Tse-Yun Feng, "On a class of Multistage Interconnection Networks," *IEEE Trans. on Computers*, Vol.C-29, No.8, pp.108-116, Aug. 1980.
- [11] Myung K Yang and Tae Z Shin, "Performance Evaluation of the Buffered MIN with a $\times$ a Switches," *KISS Conf. on Parallel Processing*, pp.244-246, Nov. 2000.
- [12] G.F. Pfister and V.A. Norton, "Hot spot contention and combining in multistage interconnection networks," *IEEE Trans. on Computers*, Vol.C34, No.10, pp.943-948, October 1985.
- [13] Tae Z. Shin, Jun Lee and Myung K. Yang, "Evaluation of a Fat-tree Network with Buffered a $\times$ b Switches," *IEEE Conf. PACRIM'03*, pp.205-208, Aug. 2003.
- [14] Tae Z. Shin and Myung K. Tang, "Performance Evaluation of a Switch Router with Output - Buffer," *KISS Trans.* Vol.32, No.2, pp.244-253, Apr. 2005.



김 정 운

2004년 울산대학교 전기전자 및 정보시스템 공학부 졸업(학사). 2006년 울산대학교 전기전자 및 정보시스템 공학부 졸업(공학석사). 관심분야는 컴퓨터 네트워크, 병렬 처리 시스템, 임베디드 시스템



신 태 지

1998년 울산대학교 전기공학과 졸업(학사). 2000년 울산대학교 전기전자정보시스템 공학부 졸업(공학석사). 2004년 전기전자정보시스템 공학부 졸업(공학박사). 2005년~현재 울산대학교 전기전자정보시스템공학부 강의전담 교수. 관심분야는 컴퓨터 네트워크, 병렬 처리시스템



양 명 국

1983년 한양대학교 전자 공학과 졸업(학사). 1992년 The pennsylvania State university, Electrical and Computer Engineering 졸업(공학 박사). 1993년 울산대학교 전기전자 및 정보시스템 공학부 부교수. 관심분야는 컴퓨터 네트워크, 병렬 처리 시스템, 고장 적응 시스템