

The Design of CMOS-based High Speed-Low Power BiCMOS LVDS Transmitter

CMOS공정 기반의 고속-저 전압 BiCMOS LVDS 구동기 설계

Yong-Seo Koo*, Jae-Hyun Lee**

구 용 서*, 이 재 현**

Abstract

This paper presents the design of LVDS (Low-Voltage-Differential-Signaling) transmitter for Gb/s-per-pin operation. The proposed LVDS transmitter is designed by using BiCMOS technology, which can be compatible with CMOS technology. To reduce chip area and enhance the robustness of LVDS transmitter, the MOS switches of transmitter are replaced with lateral bipolar transistor. The common emitter current gain(β) of designed bipolar transistor is 20 and the cell size of LVDS transmitter is 0.01mm^2 . Also the proposed LVDS driver is operated at 1.8V and the maximum data rate is 2.8Gb/s approximately. In addition, a novel ESD protection circuit is designed to protect the ESD phenomenon. This structure has low latch-up phenomenon by using turn on/off character of P-channel MOSFET and low triggering voltage by N-channel MOSFET in the SCR structure. The triggering voltage and holding voltage are simulated to 2.2V, 1.1V respectively.

요 약

본 논문에서는 CMOS 공정기반의 BiCMOS LVDS 구동기를 설계하여 고속 I/O 인터페이스에 적용하고자 한다. 칩 면적을 줄이고 LVDS 구동기의 감내성을 향상시키기 위해 lateral 바이폴라 트랜지스터를 설계하여 LVDS 구동기의 바이폴라 스위칭으로 대체하였다. 설계된 바이폴라 트랜지스터는 20가량의 전류이득을 지니며, 설계된 LVDS 드라이버 셀 면적은 0.01mm^2 로 설계되었다. 설계된 LVDS 드라이버는 1.8V의 전원 전압에서 최대 2.8Gb/s의 데이터 전송속도를 가진다. 추가적으로 ESD 현상을 보호하기 위해 새로운 구조의 ESD 보호 소자를 설계하였다. 이는 SCR구조에서 PMOS, NMOS의 턴-온 특성을 이용 낮은 트리거링 전압과 래치 업 현상을 최소화 시킬 수 있다. 시뮬레이션 결과 2.2V의 트리거링 전압과 1.1V의 홀딩 전압을 확인할 수 있었다.

Key words : LVDS, BiCMOS, CMOS, lateral bipolar transistor

1. 서론

최근 시스템의 경향은 급속도로 발전하고 있는 컴퓨터 기술에 의해 고속화 및 대용량화 추세를 보이고 있으며 IC제조 공정이 발달함에 따라 칩(chip)내 데이터 처리 속도도 지속적으로 증가해오고 있다. 비록 기술

의 발달로 인해 많은 부분의 시스템의 집적도가 높아 지기는 했지만 아직까지는 많은 시스템은 칩과 칩, 보드와 보드 등으로 인터커넥션 되어 한 개의 시스템을 이루어 동작한다.

그러나마이크로프로세서의 처리속도에 비해 인터페이스 속도가 늦기 때문에 칩과 칩, 보드와 보드 같이 연결된 상태의 시스템 환경에서의 속도는 인터페이스의 속도에 영향을 많이 받는다. 따라서 현재 인터커넥션 부분에서 고속화를 위한 가장 두각을 나타낼 기술로 LVDS(Low Voltage Differential Signaling)를 들 수 있다 [1-3]. LVDS 전송기술은 약 300mV의 낮은 전압

* 서경대학교 전자공학과

(School of Electrical, Electronics Engineering, Seokyeong University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

으로 정보를 전달하기 때문에 상대적으로 전력소비가 낮고 차동 모드로 전송하기 때문에 노이즈 감소의 이점이 있고, 저 비용이며 공급전압에 독립적이라는 점 등 많은 장점을 가지고 있다 [3]. 하지만 현재 LVDS 송신기 설계과정에 있어 낮은 소비전력의 이유로 CMOS공정이 대부분 사용되고 있으며, 출력단의 MOS 스위치는 소자 내부의 걸리는 전압을 최소화시키고, Surge에 대한 MOSFET의 감내(robustness)를 향상시킬 목적으로 송신기 출력 신호의 충분한 마진을 되도록 하는 범위 내에서 출력 드라이버 회로를 가급적 크게 설계되도록 요구 된다 [7]. 이는 칩 내 면적의 증가를 가져오고, 나아가 칩셋의 소형화에 어려움이 있다.

한편 현대 반도체 산업에서, IC가 점점 더 소형화되고 고 집적화되면서 ESD(정전기: Electro-Statics Discharge) 문제는 매우 중요한 이슈가 되고 있다. 회로의 동작 특성을 향상시키기 위한 공정 기술의 발달은 결과적으로 회로의 정전기 내성을 점점 더 약화시킬 수밖에 없으며, 고속 I/O 인터페이스 환경에 보다 중요한 문제로 부각되고 있는 실정이다 [6]. 이에 따라 저 전압 고속 I/O회로로서 LVDS I/O 설계 시, 위와 같은 문제점을 해결하고, 그 밖의 다른 기술 개발이 요구된다. 따라서 본 논문에서는 기존의 CMOS공정 기반에서 동일한 마스크 수를 유지하면서 드라이버 소자의 MOS 스위치를 lateral 바이폴라 트랜지스터로 구현하여, I/O 셀 면적을 최소화 시켰다. 또한 낮은 트리거 전압, 높은 래치 업 (latch-up) immunity특성을 갖는 새로운 ESD 보호 회로를 설계하여 설계된 LVDS 드라이버 셀에 탑재하였다.

II. 본론

1. LVDS(Low Voltage Differential Signal)

가. BiCMOS LVDS 구동기 설계

LVDS의 송신 단 설계 시 가장 염두 해야 할 부분은 전송 전류를 일정하게 전송하는 것과 공통모드전압(VCM)을 약 1.2V로 일정하게 유지 시켜 전송하는 것이다. 전송 전류를 일정하게 해주는 것은 수신 단에서 정확한 수신을 할 수 있게 해주는 것이며 VCM을 1.2V로 유지해주는 것은 공통 모드 노이즈나 공급전원의 차이가 발생하여도 최대한 노이즈 마진을 확보해주는 역할을 한다 [1]. LVDS의 기본적인 송신 단의 구동원리는 다음과 같다. 드라이버단의 MOS 스위치의 On/Off 동작에 의해 입력 신호가 송신 단의 회로의 출력을 각각 다른 방향으로 전류를 전송하게 된다.

전송된 전류는 수신 단의 종단 저항에 전압 신호를 바꾸고, 수신 단에서는 이 전압 신호를 수신 후 원래의 신호로 복원을 하게 된다. 또한 입사파 전송을 하기 위해서 각각의 스위칭 동작을 하는 트랜지스터의 출력 저항을 전송선로의 특성 임피던스 100Ω과 같게 하여 임피던스 정합을 한다 [2].

앞서 상기한 기존 LVDS 드라이버의 간략한 블록 다이어그램을 그림 1(左)과 같이 나타낼 수 있다. 드라이버 단의 정 전류 공급을 위해, 드라이버 단의 스위칭 소자 외 추가로 전류 sourcing/sink 기능의 소자가 더 들어가기 때문에, 이는 전원 전압과 그라운드간의 소자의 VDS 증가로 인해 전체의 드라이버 단의 전원 전압이 증가되기 때문에 보통 3.3V의 전원 전압에서 동작한다. 따라서 본 드라이버 회로 설계에서는 보다 낮은 전원전압을 갖고 고속 동작의 LVDS I/O 인터페이스 환경을 구축을 위해 아래와 같은 DCS(Double-Current-System) 방식(右)으로 회로를 구현하였다 [4].

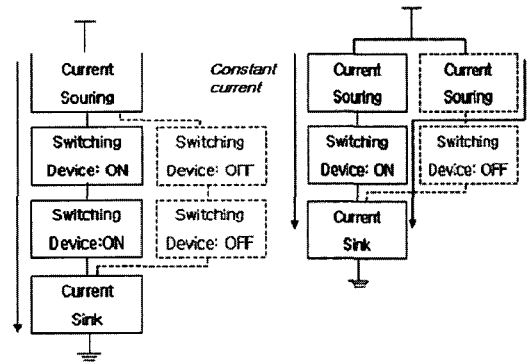


그림 1. LVDS 출력 단 블록 다이어그램
(左: 일반적인 모델 右: 제안된 모델)

Fig. 1. Block diagram of LVDS driver
(L: conventional R: proposed)

그림 1(右)은 상기한 바와 같이 기존의 드라이버 단의 2개의 스위칭 소자를 제거하고 2개의 스위칭 소자를 사용하고, 또한 VDD-VSS까지의 전압 차를 줄여 낮은 전원 전압에서도 동작이 가능하다.

스위칭 소자에 사용될 MOS 스위치의 설계를 위해서는 기존의 MOS 스위치는 소자의 정격 전류 허용량을 고려해 설계해야 할 뿐 아니라, I/O 인터페이스 환경 하에 외부(transmission line)로부터 유입되는 ESD surge와 같은 상황 하에서 ESD 전류의 빠른 방전(discharge) 과 출력단의 MOS 스위치의 보호를 목적

으로 가급적 면적이 큰 디바이스의 설계가 요구 된다 [7]. 이는 One-chip화시 칩 면적의 증가를 가져오고 나아가 작은 칩 사이즈를 요하는 인터페이스 제품군에 어려움이 있다.

앞서 언급된 블록 다이어그램을 기초로 그림 2와 같은 바이폴라 트랜지스터 기반의 LVDS 드라이버를 설계하였다. 기존의 드라이버 단의 전류 소스를 전류 밀러를 이용하여 DCS(Double-Current-System)을 구축하였다. CMFB(Common-Mode-Feedback) 회로와 저항 디바이더를 이용하여 항상 일정한 공통 모드 전압 ($V_{cm}: 1.125V \sim 1.375V$)을 얻을 수 있으며, 저항은 터미네이션 저항(RT)에 흐르는 전류에 방해가 되지 않게 가급적 크게 설계하였다. 또한 R-C 결합을 통한 Miller Compensation을 통해 고주파 동작환경 하에서도 보다 향상된 주파수 특성을 도출할 수 있다. 추가적으로 LVDS 드라이버의 동작 모드가 전류 드라이버로서 동작하기 때문에 일정한 정 전류 원 회로(IREF)와 CMFB에 일정한 전압($V_{REF} : 1.25V$)을 공급을 위한 기준 전압 회로(bandgap reference circuit)가 요구된다.

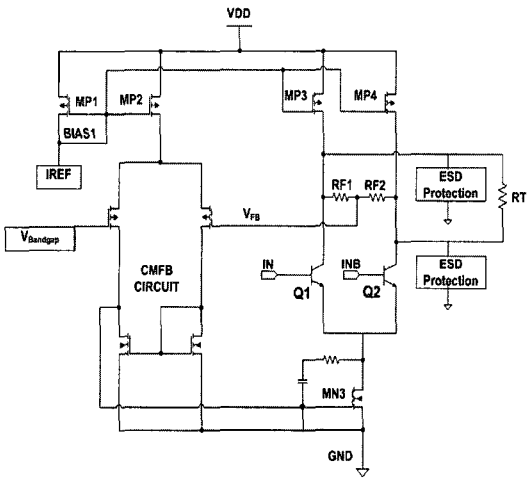


그림 2. 제안된 LVDS 구동기 회로
Fig. 2. Proposed LVDS driver circuit

나. L-BJT(Lateral BJT) 스위치 소자 설계
일반적으로 LVDS 구동기 설계에 있어, 드라이버의 스위칭 단의 MOS 스위치는 출력단의 ESD surge에 의한 높은 전류에 의한 구동 능력 향상을 위해 소자의 정격 전류 허용량을 늘려 상대적으로 매우 큰 사이즈(W/L)의 드라이버 설계가 필요하다. 하지만 소자의 사

이즈(W/L)를 크게 설계하여 소자 정격 전류 허용량을 늘리는 경우 또한 신호의 딜레이 및 기생 레지스터(parasitic resistance)에 의한 전압 손실을 가져와 신호의 레벨스윙이 제한되거나, 전원전압의 상승을 초래하는 단점이 발생한다. 반면 바이폴라 트랜지스터의 컬렉터 전류는 일반적으로 베이스-에미터의 전압에 지수 함수적으로 증가되기 때문에, 디바이스의 크기를 크게 고려하지 않으면서, 높은 전류 구동 특성을 이용하여, 보다 최적화되고 우수한 성능의 LVDS 드라이버의 설계가 가능하다. 아울러 정 전류 드라이버에 lateral 바이폴라 트랜지스터를 탑재하기 위해서는 드라이버 단에 흐르는 전류의 변동을 최소화 할 수 있게 동일한 전류 이득(β)의 특성을 얻는 것이 중요하다.

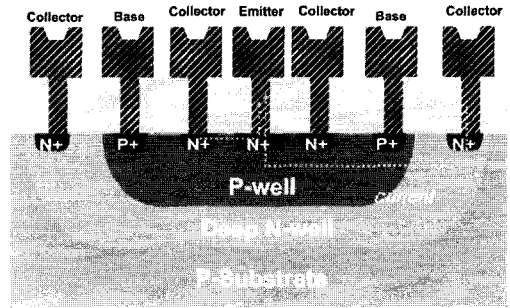


그림 3. 새로운 구조의 lateral 바이폴라 트랜지스터의 구조
Fig. 3. The new structure of lateral bipolar device

따라서 본 논문에서는 베이스 length 및 도핑농도를 조절하여 그림 3과 같은 구조로 최적화된 lateral 바이폴라 트랜지스터를 설계하였다. 설계된 바이폴라 소자는 다른 MOSFET 소자의 P-substrate와 같은 포텐셜(potential)을 갖지 않게 하기 위해 P-sub위에 Deep N-well을 형성한 뒤, P-well을 형성케 하였다. 이로써 추가적인 격리(isolation)과정 없이, P-sub의 포텐셜(potential)과는 무관하게 독립적인 lateral 바이폴라 트랜지스터의 구동이 가능하다. 따라서 설계된 바이폴라 트랜지스터는 동일한 기판상의 MOSFET 소자의 전기적 특성에 영향을 주지 않으며, 공정상의 추가적인 비용 없이 디바이스 제작이 가능하다. 또한 이미터 양쪽에 컬렉터를 형성하여 향상된 전류 구동 능력을 기대할 수 있다. 그림 4를 통해 대략 20의 일정한 전류 이득(β)을 추출할 수 있었다.

2. ESD (Electro-Static Discharge)

가. 기존의 ESD 보호회로

ESD로부터 칩을 보호하기 위해서는 첫째, 모든 방전 경우에 대응할 수 있는 방전 경로가 칩 내부에 제공되어야 하며, 둘째, 방전 경로가 순간적인 방전전류를 흘리게 충분히 견고해야 한다. 일반적인 ESD 보호 회로용 소자로는 다이오드와 NMOS 트랜지스터, SCR이 있으며 이들 소자의 구조를 변형하거나 Bi-CMOS 기술을 이용한 구조 등의 여러 가지 대안들을 통해 나노 소자기반 반도체 칩에 적합한 ESD 보호회로를 구성하고 있다.

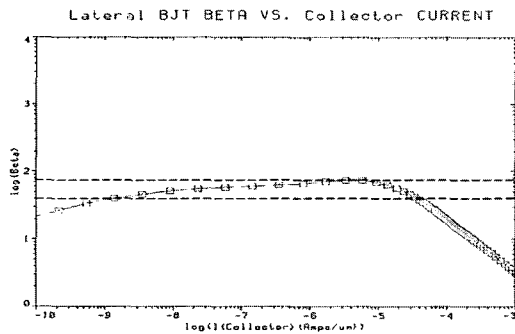


그림 4. lateral 바이폴라 트랜지스터의 전류이득
Fig 4. The β of lateral bipolar device

그 중에서도 SCR 구조는 ggNMOS(gate-ground-NMOS) 보다 훨씬 큰 ESD 보호 능력을 가지고 있으며, 이와 같은 특성을 이용하여 적은 면적의 소모로 원하는 ESD 보호능력을 얻을 수 있다. 또한 적은 면적을 가지고 있기 때문에 ESD 보호회로의 기생 커패시턴스 성분을 최소화 하여, 고속 동작을 하는 아날로그/RF 응용 분야에 적합하다는 장점이 있다 [5].

그러나 일반적인 SCR 구조는 n-well과 p-well 사이의 항복에 의해 트리거링 동작을 함으로써 매우 높은 트리거링 전압을 가지며, 약 30V 정도로 매우 높은 SCR의 트리거 전압은 나노 급 ESD 보호회로에 쓰이지 못하는 치명적인 단점으로 작용하고 있다. 이처럼 SCR은 나노 회로에 ESD 보호소자로 적용 할 시에 많은 이점을 얻을 수 있지만, 높은 트리거링 전압(triggering voltage)으로 인해 낮은 전원 전압(< 3.3V)의 회로 응용 분야에 적용이 제한된다. 따라서 근래에는 보다 낮은 트리거링 전압 특성의 싸이리스터(SCR) 구조를 이용하고 있으며, MLSCR(Modified SCR), LVTSCR(Low Voltage Triggering SCR)등과 같은 낮은 트리거링(triggering) 특성을 갖는 소자의

개발이 이루어져 비메모리 분야의 반도체 칩에 적용되고 있다 [8].

또한 ESD 보호회로 설계에 있어, 보호회로는 Core 회로의 동작에 전혀 영향을 주지 않아야 된다. 그러기 위해서 정상상태에서 ESD 보호회로의 래치업(latch-up) 현상을 최소화 시켜야 하는데, 이는 보호소자 구조의 변경이나 소자 외부의 Control-N/P MOS등과 같은 추가적인 회로 탑재로 구현함으로써, 소자내의 누설 전류(leakage current)를 최소화 시킬 수 있다. 또한 점차 고속/저 전압 동작을 요하는 RF/아날로그 회로에 탑재를 위해서는 회로의 고속 동작 상태에서 ESD event 시, 고속으로 ESD 펄스를 방전시켜야 한다. 이는 ESD 보호회로의 동작유무에 따라 유동적으로 트리거링 전압을 조절할 수 있는 부가적인 RC 네트워크 회로 탑재가 수반되어야 한다 [9].

나. 새로운 구조의 나노급 고속/저전압 ESD 보호회로

본 논문에서는 SCR 구조를 채택하여, 낮은 트리거링 전압 특성을 갖는 새로운 구조의 ESD 보호 소자를 개발하였다. 그림 5는 SCR의 트리거링 전압을 낮춰주는 구조이며, 그 동작은 다음과 같다. 애노드 단은 입력 패드에 연결되어 있으며, 캐소드 단은 그라운드에 연결되어 ESD 펄스는 입력 패드를 통해 애노드 단에 유입된다. 또한 N-well 영역에 PMOS를 형성하고 그 소스 단은 n-well과 p-well의 사이에 주입된다. 이는 트러거 PMOS라 하며, ESD 펄스가 유입되었을 때 온(on)되어 p-well 영역으로 ESD 전류를 유입시키고, 이로 인해 p-well의 포텐셜이 증가하여 p-well/n+ 접합(캐소드)이 순방향 바이어스 된다. 따라서 NPN-BJT가 턴-온 되며, 결국 PNP 구조의 SCR이 positive feedback 동작을 하여, 그 결과 트리거링 된다. 또한 DSM(Deep-Submicron) 보호회로 설계 시 ESD에 대한 신뢰성을 높이기 위해 쓰일 수 있는 대표적인 기술인 게이트 커플링을 적용한 것이다. 또한 브릿지 p+를 형성하여 정상상태 동작에서 애기치 못하게 일어날 수 있는 SCR의 래치업(latch-up)현상을 방지할 수 있도록 하였으며, 이를 제어할 수 있는 Control NMOS와 RC 네트워크가 연결된 회로로 구성되어 있다. 앞에서 언급한 바와 같이 입력 패드에 연결된 애노드 단을 통해 ESD 펄스가 유입되게 된다. 또한 트리거링 PMOS 게이트 단과 브릿지 p+가 Control NMOS의 게이트와 소스 단에 각각 연결되어 있으며, 노드 A는 Vcc에 연결된 저항과 그라운드에 연결된 커패시턴스로 구성된 RC 네트워크에 연결되어 있다. 이러한 RC 네트워크가 탑재된 구조의 ESD 보호소자의 동작원리는 다음과 같다. 첫째로 정상상태 일 때, RC 네트워크에 의해 노드 A에는 VCC의 전압

이 걸린다.

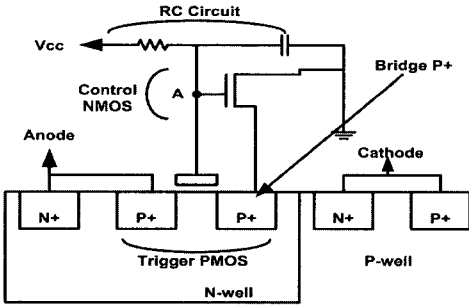


그림 5. RC-회로가 탑재된 ESD 보호회로
Fig 5. ESD protection circuit with RC-network

따라서 노드 A에 연결된 Control NMOS는 온(on)되며, 트리거 PMOS는 오프(off)상태를 유지하게 된다. 결국 Control NMOS에 의해 브릿지 p+는 GND에 단락되어 가드링 역할을 함으로써 우연적으로 발생하는 SCR의 래치-업 현상을 방지할 수 있게 된다. 둘째, ESD 펄스가 인가되었을 경우, 노드 A는 RC 네트워크에 의해 더 이상 Vcc 전압을 유지할 수 없게 되어 트리거 PMOS는 온(on)되며, control NMOS는 오프(off)된다. 여기서 control NMOS가 오프(off) 됨에 따라 bridge p+는 floating되어 더 이상 가드링(Guard-ring) 역할을 수행 못한다. 앞서 언급한 구조를 기반으로, 새로운 구조의 ESD 보호 소자를 설계하여 그 단면도를 그림 6과 같이 나타내었다.

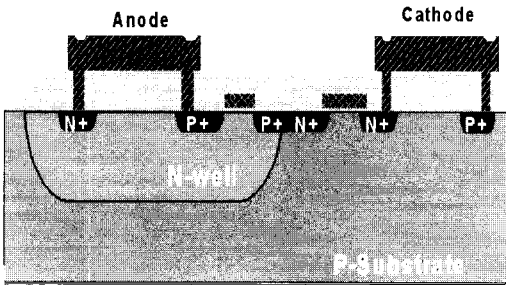


그림 6. 새로운 구조의 ESD 보호회로 단면도
Fig 6. The Cross Section of ESD protection circuit

동작원리는 크게 정상상태(ESD Surge가 없을 시)와 ESD 이벤트(Surge 인가 시)로 나눌 수 있다. 먼저 정상 상태일 때, RC-네트워크에 의해 VDD에 커패시터(capacitor)에 일정량의 전압이 충전(Charge)되어 소자의 게이트(gate)에 대략 0V 소자에 걸리는 두 개의 게

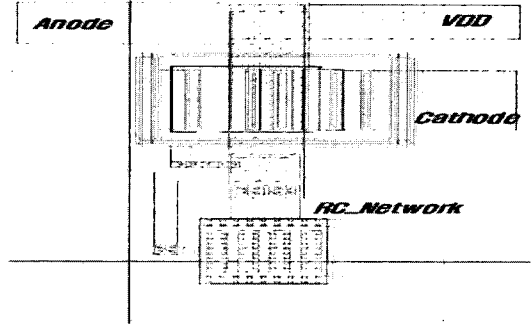


그림 7. RC-회로가 탑재된 ESD 보호회로의 레이아웃
Fig 7. The Layout of ESD protection circuit with RC-network

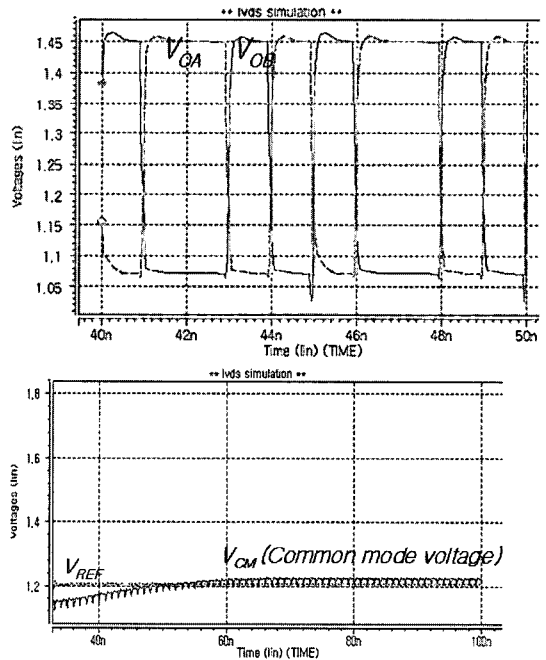


그림 8. LVDS 구동기의 차동 단일 출력 및 공통모드 레벨
레벨

Fig 8. LVDS transmitter output (VOA,VOB) and common mode level

이트(gate)에 걸리는 전압은 N 채널의 MOS구조는 동작을 하지 않으며, P채널의 MOS는 동작을 하게 되어 정상상태일 때 그라운드로 원하지 않는 surge 전류가 쉽게 빠져 나갈 수 있다. 반대로 ESD 이벤트 시, N채

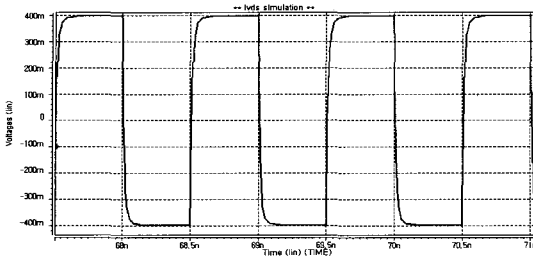


그림 9. 2.8Gbps 입력 시 LVDS 차동 출력 파형
Fig 9. LVDS driver output at 2.8Gbps

널 MOS가 Turn-On이 되고, P채널 MOS는 턴-오프(turn-off) 동작됨으로써, N채널 모스의 P-sub와 N-well내의 N+의 의해 낮은 트리거링 전압이 도출된다. 이런 빠른 시간 내의 surge의 주입 여부에 따라 소자내의 래치 업(Latch-up) 현상을 최소화 할 수 있으며, 고속 / 저 전압 환경 하에서도 안정적인 보호회로의 동작이 가능하다.

다. ESD 회로 내장형 LVDS 구동기

이를 통하여, 앞서 언급된 LVDS 구동기의 단점을 보완하기 위해, 구동기 출력단의 MOS 스위치들을 설계된 바이폴라 트랜지스터로 대체하였다. 시뮬레이션 결과, 대략 1.8V이상의 전원전압에서 동작이 가능하며, 그림 8을 통해 대략 1.25V의 일정한 공통모드 전압 특성을 알 수 있으며, 약 1.1V~1.39V의 신호 레벨 범위를 VOA과 VOB의 출력 파형을 통해 알 수 있다.

실험 결과를 통해 알 수 있듯이, 기존의 LVDS 전기적 특성 규격에 만족함과 동시에 그림 9에서와 같이 최대 2.8 Gbps급의 입력 인가 시, 정상적인 동작이 가능함을 시뮬레이션을 통해 알 수 있었다.

그림 10은 고안된 ESD 보호소자의 I-V 특성곡선을 보여준다. 시뮬레이션 결과 트리거 전압(trigger voltage)은 2.2V 홀딩 전압은 대략 1V로 측정되었다.

ESD 보호회로의 시뮬레이션을 통한 패러미터 추출과 시뮬레이션을 통한 감내(Robustness)성을 기반으로 One-Chip화 과정에서, 그림 11과 같이 설계된 LVDS 드라이버 회로(Core)의 각 패드에 탑재하였다. 기본적으로 각각의 패드에 탑재된 ESD 보호회로를 ESD ring을 통한 ESD_Power와 VSS, ESD_I/O들과 같은 방전 패스를 형성해 하였음은 물론, 그로 인한 구조적 달리 설계하였다. 이로 인해 경로를 core circuit, 즉 LVDS 드라이버 회로의 패드로부터 유입되는 Surge 뿐 아니라, LVDS 전송선로에서 유입되는 Surge 또한 ESD_I/O와 같은 추가적으로 설계된 ESD 보호회로

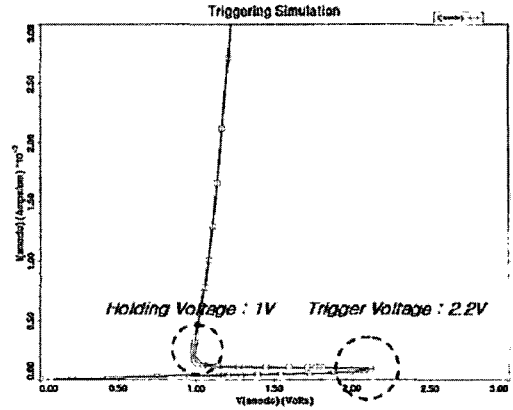


그림 10. ESD 보호회로의 I-V 특성
Fig 10. The I-V characteristic of ESD protection circuit

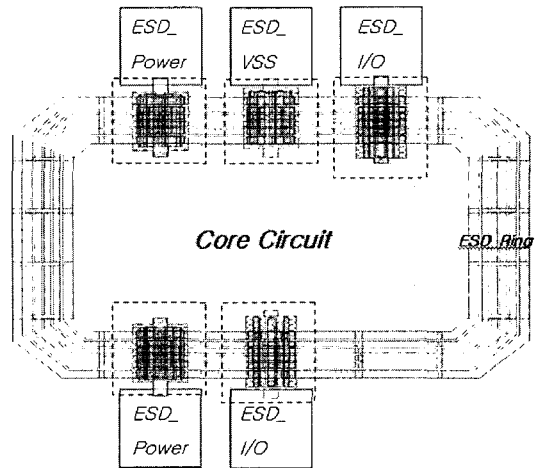


그림 11. One-chip용 ESD 보호회로 셀 레이아웃
Fig 11. Cell layout of ESD protection circuit for One-Chip

Cells로서 보호될 수 있다.

III 결론

본 논문에서는 CMOS 공정기반의 ESD 보호 소자 내장형 BiCMOS LVDS 드라이버를 설계하였다. 설계한 새로운 구조의 LVDS 드라이버는 동일한 마스크(mask) 수를 유지하면서 스위칭 소자를 최적화된 lateral 바이폴라 트랜지스터로 구현하였으며, 이를

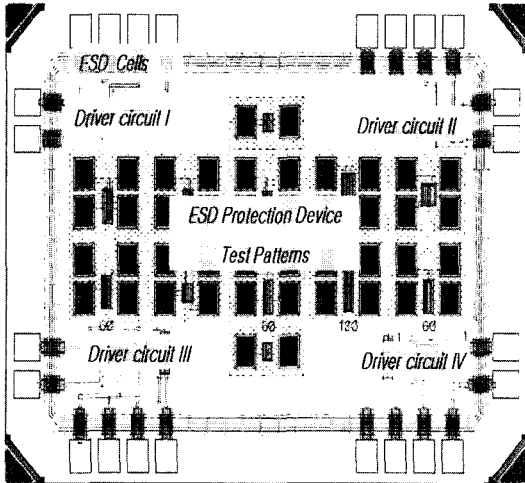


그림 12. ESD 보호회로 내장형 LVDS 드라이버의 레이아웃
 Fig 12. The layout of LVDS driver with ESD protection circuit

LVDS 드라이버 회로에 탑재하였다. 또한 낮은 전압 전압의 응용분야에 탑재가 용이하도록, 최소 1.8V급의 전압 전압에 동작이 가능하게 설계하였다. 이는 LVDS 드라이버의 칩 면적을 최소화함과 동시에 낮은 전압 전압과 high performance 특성을 동시에 갖는다. 한편 LVDS회로의 신뢰성 향상의 목적으로 저 전압 / 고속 동작환경에서의 나노 급 ESD 보호 회로를 설계하고 시뮬레이션을 통해 검증할 수 행하였다. 시뮬레이션 결과 낮은 트리거링 전압을 도출할 수 있음은 물론, 소자 내부의 래치업(Latch-up)현상을 줄여 보다 안정적인 동작이 가능하다. 시뮬레이션 결과 대략 2.2V의 트리거링 전압과 1.1V의 홀딩(Holding Voltage)의 특성을 알 수 있었다. 상기된 ESD 테스트 패턴의 시뮬레이션을 통한 파라미터 추출과 구조적 특성 분석을 기반으로 One-Chip화 과정에서, 각각의 패드에 탑재된 ESD 보호회로를 ESD 링을 통한 ESD_Power와 VSS, ESD_I/O들과 같은 방전 패스를 형성케 하였음은 물론, 그로 인한 구조적 특성을 달리 설계하여 LVDS 드라이버 회로(Core)의 각 Pad에 탑재하였다. 끝으로 새로운 구조의 저 전압 (1.8V) Gbps급 소형화된 LVDS 회로의 개발로 생산 단가의 절감을 가져와 보다 소형화된 I/O 인터페이스 환경이 조성될 것이라 사료된다. 나아가 보다 정밀한 LVDS I/O 인터페이스의 특성을 얻기 위해서 전송 선로 특성에 바탕을 두고 구체적인

전달특성에 대한 고찰이 이루어져야 하며, 각종 I/O 인터페이스의 동작 주파수가 점차 높아지는 만큼 선로의 감쇄나 부하 등의 성분을 감안해 볼 때, LVDS I/O 인터페이스 회로에 대한 지속적인 연구와 개발이 요구된다.

참고문헌

- [1] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std 1596.3-1996, 1996
- [2] Andrea Boni, Andrea Pierazzi and Davide Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35um CMOS technology", IEEE Journal of Solid Stats Circuit, vol.36, no.4, April 2001, pp.6.
- [3] Tephem Kempainen, National Semiconductor, "Low-Voltage Differential Signaling(LVDS) Application Note 1382-6", 2002 Agilent Technologies, Inc. 2002, May, 2002
- [4] Mingdeng Chen, Jose-Martinez, Michael Nix and Moises E. Robinson, "Low-Voltage Low-Power LVDS Drivers", IEEE Journal of Solid-State Circuit, vol.40, no.2, February 2005.
- [5] A. Amerasekera and C.Duvvury, ESD in Silicon Integrated Circuits, 2nd ed. London, U.K.:Wiley, 2002
- [6] C.Duvvury, R.Rountree, and O.Adams, "Internal chip ESD phenomena beyond the protection circuit", IEEE Trans. Electron Devices, vol. ED-35, pp.2133-2139, Dec. 1988
- [7] M.-D. Ker, K.-F Wu, T. Cheng, M. Wu, and T.-L. Yu, "Area-efficient CMOS output buffer with enhanced high ESD reliability for deep submicron CMOS ASIC", Proc. of IEEE International ASIC Conference and Exhibit, 1995, pp. 123-126
- [8] Ming-Dou Ker and Zi-Ping Chen, "SCR Device With Dynamic Holding Voltage for On-Chip ESD Protection in a 0.25-um Fully Salicided CMOS Process
- [9] hen-Shang Lai, Meng-Hwang Liu, Shin Su, and Tao-Cheng Lu, "A Novel SCR ESD Protection structure with Low-Loading and Latchup Immunity for High-Speed I/O Pad",IEEE, 2003

저 자 소 개

구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vol8, No1참조

이 재 현 (학생회원)



2006년 : 서경대학교 전자공학과

졸업 (공학사)

2006년~현재: 서경대학교 석사

과정

<주관심분야>

I/O Interface Circuit IC,

ESD Protection Circuit