

The novel NPLVTSCR ESD Protection Circuit without Latch-up Phenomenon for High-Speed I/O Interface

Latch-up을 방지한 고속 입출력 인터페이스용 새로운 구조의 NPLVTSCR ESD 보호회로

Yong-Seo Koo*

구 용 서*

Abstract

In this study novel ESD protection device, namely, N/P-type Low Voltage Triggered SCR, has been proposed, for high speed I/O interface. Proposed device could lower high trigger voltage($\sim 20V$) of conventional SCR and reduce latch-up phenomenon of protection device during the normal condition. In this Study, the proposed NPLVTSCR has been simulated using TMA MEDICI device simulator for electrical characteristic. Also the proposed device's test pattern was fabricated using 90nm TSMC's CMOS process and was measured electrical characteristic and robustness.

In the result , NPLVTSCR has 3.2V \sim 7.5V trigger voltage and 2.3V \sim 3.2V holding voltage by changing PMOS gate length and it has about 2kV,7.5A HBM ESD robustness(IEC61000-4-2).

요 약

본 연구에서는 고속 I/O 인터페이스용 ESD(Electro-Static Discharge)보호소자로서 SCR(Silicon Controlled Rectifier)구조에 기반한 새로운 구조의 ESD보호소자인 N/P-type Low Voltage Triggered Silicon-Controlled Rectifier(NPLVTSCR)을 제안하였다. 제안된 NPLVTSCR은 기존 SCR이 갖는 높은 트리거 전압($\sim 20V$)을 낮추고($\sim 5V$) 또한 정상상태에서의 보호소자의 래치업 현상을 줄일 수 있다. 본 연구에서 제안된 NPLVTSCR의 전기적 특성 및 ESD감내특성을 확인하기 위하여 TCAD툴을 이용하여 시뮬레이션을 수행하였으며, 또한 TSMC 90nm공정에서 테스트 패턴을 제작하여 측정을 수행하였다.

시뮬레이션 및 측정 결과를 통해, NPLVTSCR은 PMOS 게이트 길이에 따라 3.2V \sim 7.5V의 트리거링 전압과 2.3V \sim 3.2V의 홀딩전압을 갖으며, 약 2kV의 HBM ESD 감내특성을 갖는 것을 확인 할 수 있었다.

Key words : ESD Protection, SCR, NPLVTSCR, LVTSCR, SCR Latch-up

1. 서론

반도체 집적회로 설계에 있어서 ESD (Electro

* 서경대학교 전자공학과
(School of Electrical, Electronics Engineering,
Seokyeong University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

-Static Discharge: 정전기 방전)는 제품의 품질과 신뢰성에 관련된 중요한 문제 중에 하나이다. 특히 집적회로 공정 기술이 발달함에 따라 사용되는 소자의 크기가 점점 작아지고 이에 따라 사용되는 게이트 산화막의 두께가 감소하면서 정전기 방전(ESD)에 의한 소자 파괴 현상과, 수 kV, 수 A로 매우 높은 전압/전류의 ESD 펄스에 의해 칩 내부 회로선로의 열화에 의한 파괴현상은 더욱 심화 되어 ESD로부터의 소자

보호는 집적회로 설계의 중요한 해결과제로 인식 되고 있다. 이러한 ESD 문제를 해결하기 위해 많은 정전기 보호회로 관한 연구가 진행 되어 왔다. [1][2]

지금까지 사용된 ESD보호소자로는 pn 다이오드, BJT, GGNMOS(Gate Grounded NMOSFET), SCR등이 사용되어 왔으며 이러한 보호소자들은 ESD에 의해 야기된 높은 전류에 대한 감내 특성이 커야 하기 때문에 보호소자의 면적을 크게 설계하여 소자내의 전류 밀도를 줄이는 것이 중요하다. [1][3][4]

하지만, 최근 RF 집적회로 설계에서는 ESD보호 소자의 큰 면적으로 인한 큰 기생 커패시턴스가 패드 신호의 동작 주파수의 제한, 입-출력 임피던스 매칭 등의 문제를 야기 시킬 수 있어 이에 대한 관심이 커지고 있다. 이로 인해 ESD보호 소자의 면적을 줄여 기생 커패시턴스를 줄이고 기존의 ESD 감내 특성을 유지할 수 있는 ESD보호 소자에 대한 연구가 계속되고 있다. 특히 SCR에 기반한 보호소자의 연구가 활발히 진행되고 있는데 이는, 일반적으로 SCR이 적은 면적으로도 큰 전류를 구동할 수 있는 전기적 특성을 갖기 때문이다.[3][5]

일반적인 SCR은 구조의 특성상 트리거 전압이 높아(~20V) 낮은 전원 전압을 사용하는 시스템에는 적용하지 못하는 단점이 있다. 이를 개선하기 위해 일반적인 SCR 구조에 GGNMOS구조를 탑재한 LVTSCR(Low Voltage Triggered SCR)이 등장하였다. 하지만 LVTSCR의 낮은 트리거 전압과 홀딩 전압은 시스템의 정상 동작상태에서 애기치 않은 래치업(Latch-up)문제를 야기 시킬 수 있다. 그러므로 ESD보호 소자의 설계시 ESD보호소자의 전기적 특성 및 감내 특성과 함께 래치업 문제 또한 고려해야 한다.[5]

본 연구에서 제안한 NPLVTSCR(N/P-Type LVTSCR) ESD 보호소자는 기존 SCR 구조가 갖는 단점인 높은 트리거 전압을 개선 시킨 LVTSCR구조를 채택 하였고, 정상상태에서 애기치 않게 발생하는 보호소자의 래치-업 현상을 방지할 수 있는 구조로 되어있다. 또한 보호회로의 고속 동작 및 정상상태에서의 오동작을 막기 위해 RC-network를 연결하여 회로의 신뢰성을 극대화하였다. 그러므로 이러한 고속/저전압 특성을 갖는 새로운 구조의 NPLVTSCR ESD 보호소자 고안 및 보호회로 설계를 통해 나노소자기반 고속 RF/아날로그 집적회로의 I/O Pad 부에 적용하고자 한다.

II. 본론

1. ESD Test Model

ESD 현상의 모델링은 ESD 펄스가 반도체 소자에 유입되는 원인에 따라 HBM(Human Body Model), MM(Machine Model), CDM(Charge Device Model), IEC (International Electro- technical Commission) 등으로 분류되며, 이에 대한 각각의 전기적 특성을 표. 1을 통해 나타내었다.[2] 이러한 ESD 테스트 모델에서의 ESD방전현상은 각 모델별로 다른 RLC값을 가지는 회로로서 간략화할 수 있다.[2]

Table 1. ESD Test Modeling
표 1. ESD 테스트 모델링

MODELS	Parameter			
	$T_{rise}(n)$	$T_{rise}(n)$	$V_{peak}(V)$	Standard Wave form load
HBM	<10	150±20	±2000~1500 0	short/500Ω
MM	6~7.5	66-90 (Ring period)	±100~400	short/500Ω
CDM	<0.2 ~ 0.4	0.4~2	±250~2000	Cu discs 4/30pF
IEC	0.7~1	~80	±2000~1500 0	Air gap Discharge /50MΩ-100 MΩ

2. 일반적인 SCR의 구조 및 전기적 특성

사이리스터로 널리 알려진 SCR은 동작전 높은 임피던스 상태에서 동작상태 이후 매우 낮은 임피던스 상태로 바뀌는 성질을 가지고 있기 때문에 다양한 전력 소자 응용분야에 사용되어져 왔다. 기존의 SCR이 갖는 위와 같은 특징을 이용하면 적절한 설계를 통해 SCR구조를 매우 효율적인 ESD 보호회로를 구성할 수 있다. SCR구조의 ESD보호소자는 기존 CMOS공정으로 쉽게 제작 할 수 있으며 그림. 1은 ESD보호소자로 사용되는 기본적인 횡형 SCR 구조를 나타내고 있다. 그림에서 보듯이 애노드단의 P형 영역과 N-웰 / P-웰 영역 그리고 N+ 캐소드 단까지 PNP형태의 구조를 보여주고 있으며 ESD 전류가 인가 되었을 때의 PNP를 흐르는 전류경로를 나타내고 있다. [2]

SCR은 구조 내부에 PNP/NPN 바이폴라 구조를 갖으며 ESD 전류에 의해 SCR이 동작하게 되면 스넵백 현상을 보인다. 그림 2는 애노드 전압의 변화에 따른 SCR 특성 곡선을 그림 2에 나타내었으며 그림에서 보듯이 SCR의 스넵백 커브를 확인할 수 있다.

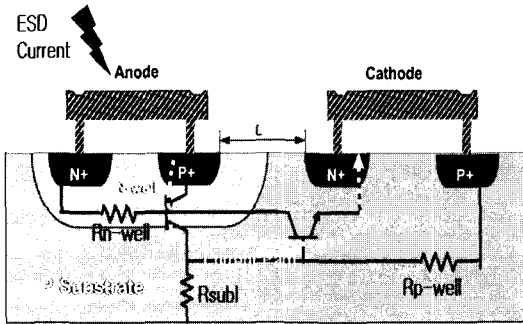


Fig. 1. The structure of the Lateral SCR
 그림 1. Lateral SCR의 구조 단면도

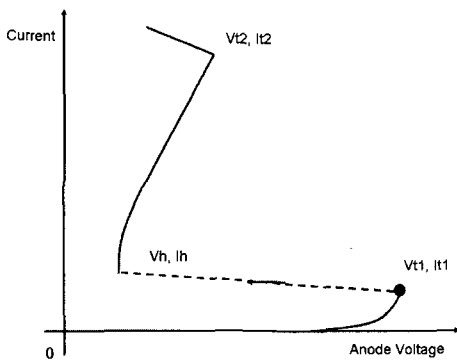


Fig. 2. The I-V Characteristics of the SCR device
 그림 2. SCR의 I-V 특성

SCR의 동작은 내부 NPN/PNP의 동작에 좌우되며 동작원리는 다음과 같다. 애노드 전압이 SCR이 갖는 트리거 전압(Vt) 보다 커지게 되면 pnp 트랜지스터의 Emitter-Base 접합이 순방향 바이어스 상태가 되어 pnp트랜지스터가 턴-온 되고, 애노드로 유입된 전류의 일부는 N-웰을 횡단(드리프트)하여 p기판을 흘러 p+캐소드 쪽으로 빠진다. 이때 p기판을 통과하는 전류가 p-기판(또는 P-well)의 저항에 의해 기판 전압(또는 포텐셜)이 증가하게 되면 npn 트랜지스터의 이미터-베이스 접합(EBJ)가 순방향 바이어스상태로 변해 턴-온이 된다. n-웰에서 캐소드로 흐르는 npn 트랜지스터의 컬렉터 전류는 pnp 트랜지스터의 베이스 전류가 되어 pnp 트랜지스터의 동작을 지속시키고, 마찬가지로 pnp트랜지스터의 컬렉터 전류는 npn트랜지스터의 베이스 전류가 되어, 결국 npn/pnp

트랜지스터는 Latch-up 또는 Positive Feedback 동작을 한다. SCR이 트리거 이후 래치업(Latchup) 상태에 있을 때 이 상태를 지속하기 위해서는 npn트랜지스터의 이득과 pnp 트랜지스터의 이득곱이 1이상이 되어야 한다. ($\beta_{(npn)} * \beta_{(pnp)} \geq 1$)[2][3]

SCR이 갖는 전기적 특성 중 중요한 파라미터는 트리거 전압/전류 와 홀딩 전압과 전류 그리고 소자의 열적파괴를 일으키는 2차 파괴전류(Thermal Current)가 있다. 트리거 전압은 SCR구조 내의 N-웰과 P-웰의 에빌런치 항복전압에 좌우되며 0.18micron CMOS 공정에서는 약 15V이상의 값을 갖는다. 트리거 전류는 P-웰의 농도에 따른 저항성분에 좌우된다. 홀딩전압(Vh)는 SCR의 동작이후 전류경로의 길이에 좌우되며 그림 1에서 나타난 L값을 조절함으로써 홀딩전압을 어느 정도 제어 할 수 있다. 하지만 SCR의 구조적 특성상 다른 ESD보호 소자와는 다르게 낮은 홀딩 전압을 갖으며, Advanced CMOS 공정에서는 1~3V 정도의 값을 갖는다. 2차 파괴 전류(It2)는 SCR이 열적 파괴 없이 얼마나 큰 전류를 견딜 수 있는 정도로 SCR의 ESD보호소자로서의 감내 특성과 관계있으며, 보통 다른 ggNMOS, 다이오드 등의 보호소자보다 더 큰 값을 갖는다.[3]

3 새로운 구조의 ESD 보호회로 설계

SCR 구조의 ESD 보호소자는 앞서 밝힌 바와 같이 적은 면적으로 큰 전류 구동할 수 있는 능력을 가지고 있으며, 적은 면적으로 인한 작은 기생 커패시턴스 특성을 가지고 있어 고속으로 동작하는 반도체 칩에 적용이 가능한 큰 장점이 있으나, ESD 보호 소자의 동작을 좌우하는 트리거 전압이 높은 단점이 있다. 또한 정상상태에서 ESD 보호회로에 흐르는 누설 전류(leakage current)의 영향으로 발생하는 예상되지 않은 보호소자의 래치업(latch-up) 현상은 회로 설계 시에 신뢰성 측면에서 매우 큰 문제로 작용한다. 즉, 보호소자의 트리거 전압보다 낮은 전압으로 동작하는 회로의 경우에도 누설전류 성분은 패드에 연결된 ESD 보호소자의 anode 단에 유입될 수 있으며, 이로 인해 정상상태에서 보호소자의 래치업이 발생하여 내부회로의 오동작을 유발할 수 있게 된다. 따라서 회로 설계 시 보호소자 및 회로 측면에서 이러한 래치업을 방지할 수 있는 구조가 필요하게 된다. 본 연구에서는 이러한 트리거 전압을 낮추기 위한 새로운 구조의 NPLVTSCR(N/P-type LVTSCR)을 제안하였고, 그림 3은 고안된 소자의 단면을 보여준다. 제안된 구조는 기존의 PLVTSCR(PMOS Low

Voltage Triggered SCR)구조를 변형하여, P-웰 내부에 NMOS를 형성하고, PMOS를 N-웰 내부에 형성한다. 또한 PMOS의 드레인단 P+를 N-웰과 P-웰의 경계 중간에 위치시킨다. 그리고 PMOS의 소스단과 NMOS의 드레인단을 메탈로 연결한다.

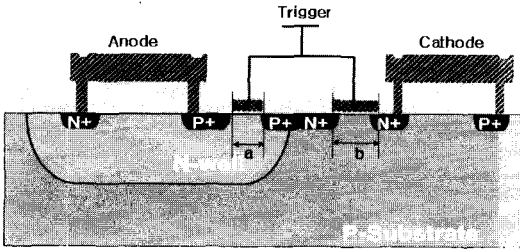


Fig. 3. The Cross-section Structure of the Proposed NPLVTSCR

그림 3. 새롭게 고안된 NPLVTSCR 구조의 단면도

본 논문에서 제안한 소자의 N-웰 내부의 N+와 P+는 애노드로서 I/O 패드에 연결되며, P-웰 내부의 N+와 P+는 V_{SS} 또는 접지에 연결되어 ESD 전류 방전 경로를 제공하게 된다. 또한 RC-network를 NMOS와 PMOS의 게이트에 연결하여 ESD 펄스가 인가된 상황과 정상상태를 구분하여 ESD상황 하에서는 PMOS가 동작하고, 정상상태에서는 NMOS가 동작하도록 설계하여, 두 MOSFET의 동작에 의한 SCR의 보다 빠른 턴-온과 신뢰성있는 동작을 유도하였다. 제안된 소자의 동작원리를 살펴보면, ESD 펄스가 인가 시 애노드단을 통해 들어온 ESD 전류는 N-웰과 PMOS의 채널을 통해 흐르게 되고, N-웰의 포텐셜의 증가로 N-웰과 PMOS의 브릿지 P+ (또는 PMOS의 드레인) 간의 애벌런치 증식 작용을 통해 ESD 전류를 P-웰 내부로 유입시킨다. PMOS의 드레인을 통해 유입된 ESD 전류는 P-웰 내부의 P+ 캐소드로 방전되며 이때 P-웰 내부저항에 의해 P-웰과 N+ 캐소드간에 순방향 바이어스가 유도된다. 이 때문에 npn 바이폴라 트랜지스터가 턴 온이 되고, 결국 npn/pnp 바이폴라 트랜지스터에 의한 래치업이 일어나 효과적으로 ESD 전류를 방전 시킨다.

한편 정상상태 동작의 경우, 외부적으로 연결되어진 RC-network와 NMOS에 의해 SCR 구조의 래치업 현상을 방지할 수 있다. 즉, ESD 펄스가 인가되지 않았을 시에 외부에 연결된 NMOS의 게이트 단에는 계속해서 바이어스가 인가되어진다. SCR의 래치업 현상은 주로 P-웰의 포텐셜 증가에 의한 npn 바이폴라 트랜지스터의 턴온과 관련 있다. 패드에 연결된 애노드를 통해 노이즈 또는 ESD 보호 소자 내의 누설

전류는 P-기판 또는 P-웰로 유입되어 포텐셜 증가를 야기 할 수 있으며 애기치 않는 SCR의 턴 온을 일으킬 수 있다. 본 논문에서 제안된 소자는 N-웰과 P-웰의 중간에 브릿지 P+ 영역을 두고 이 영역을 NMOS의 드레인단에 연결시킴으로서 시스템이 정상 동작 상태 일 때 P-웰 또는 P-기판의 포텐셜 증가분을 브릿지 P+ 영역으로 흡수 시키고 이를 정상상태에서 동작하는 NMOS를 통해 방전 시켜 효과적으로 래치업 현상을 감소시킬 수 있다.

4. 제안된 NPLVTSCR 보호소자의 시뮬레이션

제안된 NPLVTSCR 보호소자는 기본적으로 PMOS의 드레인과 벌크(N-well)사이의 애벌런치 항복으로 인해 SCR의 트리거를 유도하는 구조로서 PMOS의 게이트 길이에 따라 그 특성이 변하게 된다. 따라서 본 연구에서는 PMOS의 게이트 길이를 0.35 μ m, 1 μ m, 그리고 2.0 μ m로 변화주어 시뮬레이션을 수행하였으며 각 각 전기적 특성을 분석 비교 하였다. 또한 NMOS 게이트의 길이 변화에 따라 SCR의 전류 경로가 증가될 때 홀딩 전압의 변화를 알아 보기위해 NMOS의 게이트 길이를 각각 1 μ m, 2 μ m, 3 μ m로 변경하여 시뮬레이션을 수행 하였다.

시뮬레이션은 TCAD-공정시뮬레이터와 소자분석 시뮬레이터를 이용하여 분석 하였으며 아래의 그림 5는 시뮬레이션을 통해 완성된 NPLVTSCR의 Mesh 분포 및 Doping Profile을 나타내고 있다.

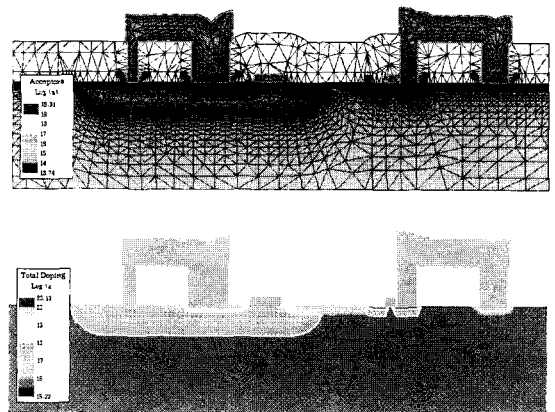


Fig. 4. The cross-section and doping distribution of the proposed device

그림 4. 제안된 소자의 구조도 및 도핑 분포

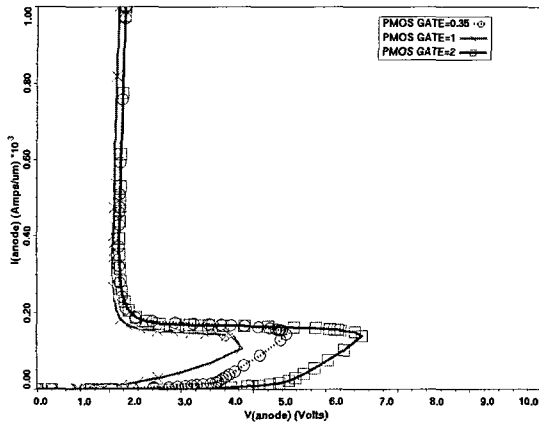


Fig. 5. DC I-V Plot of Proposed device

그림 5. 제안된 소자의 PMOS의 게이트 길이에 따른 DC I-V 특성 곡선

PMOS의 게이트 길이가 $0.35\mu m$, $1\mu m$, $2.0\mu m$ 로 증가함에 따라 트리거 전압이 주었을 때 트리거 전압이 3.2V, 5.1V, 6.8V로 증가하는 경향을 확인 할 수 있다. 이것은 제안된 소자내부의 PMOS의 게이트 길이가 기생 성분인 pnp바이폴라의 베이스 영역의 폭 (width)에 해당 하기 때문에 게이트 길이의 감소는 베이스 영역의 폭의 감소에 대응되어 pnp바이폴라의 전류이득(β)를 증가 시키기 때문이다. pnp바이폴라의 전류이득의 증가는 사이리스터의 턴 온 동작을 낮은 전압에서 이루어 지도록 한다.

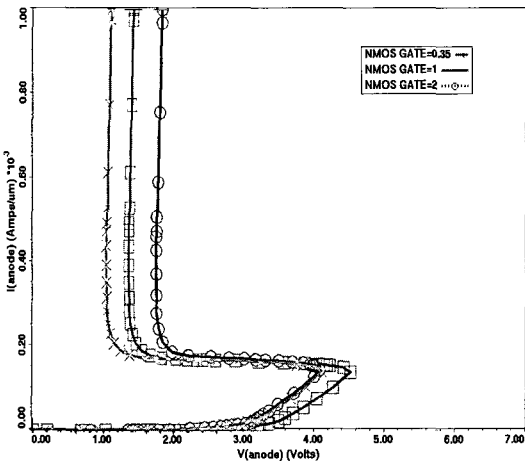


Fig. 6. DC I-V Plot of Proposed device

그림 6. 제안된 소자의 NMOS의 게이트 길이에 따른

DC I-V 특성 곡선

또한 그림 6은 NMOS게이트 길이의 변화에 따른 제안된 소자의 DC I-V 특성곡선을 보여준다. 그림에서 보는것 처럼, NMOS의 게이트 길이가 길어 짐에 따라 홀딩 전압(V_h)가 증가 함을 알 수 있다. 이러한 경향은 SCR의 트리거 이후 전류 경로 길이가 NMOS 게이트 길이에 비례하여 증가하였기 때문이다.

5. 제안된 NPLVTSCR 보호소자 제작 및 측정결과 분석

본 연구에서 제안한 NPLVTSCR은 TSMC의 90nm CMOS 공정을 이용하여 설계 및 제작 하였으며 나노급 회로에 적용하고자 하였다. 그림 7은 제작된 NPLVTSCR의 전자현미경 사진을 보여주고 있다. 보호소자 설계 시 금속라인에서 충분한 큰 전류를 감내할 수 있도록 금속라인의 두께를 최소 $10\mu m$ 이상으로 크게 설계하였으며 또한 ESD소자로의 전류의 유입이 고르게 배분 될 수 있도록 설계 하였다.

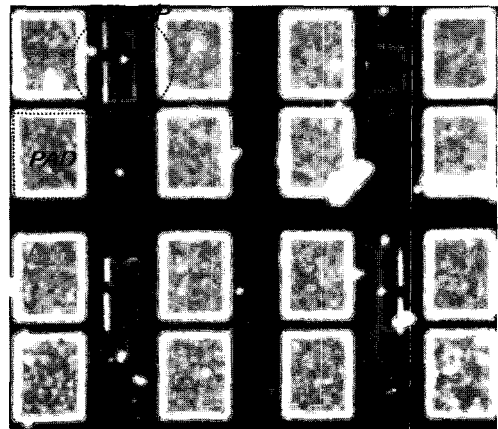


Fig. 7. Micro-scope Picture of NPLVTSCR ESD Protection device

그림 7. NPLVTSCR ESD보호소자의 전자현미경 사진

본 연구에서 설계한 ESD 테스트 패턴은 총 3가지로 각각은 PMOS의 게이트 길이를 $0.35\mu m$, $1\mu m$, $2\mu m$ 로 설계하여 PMOS의 게이트 길이에 대한 보호소자의 전기적 특성을 측정 분석하였다.

그림 8은 제안된 보호소자의 DC I-V 측정 결과이다. 시뮬레이션 결과와 마찬가지로 PMOS게이트의 길이가 증가함에 따라 트리거 전압이 증가 함을 알 수 있다. 또한 PMOS게이트가 증가함에 따라 홀딩전압이

다소 증가함을 보이는데 이것은 애노드에서 캐소드로의 전류 경로가 PMOS 게이트 길이가 증가함에 따라 증가했기 때문으로 생각된다.

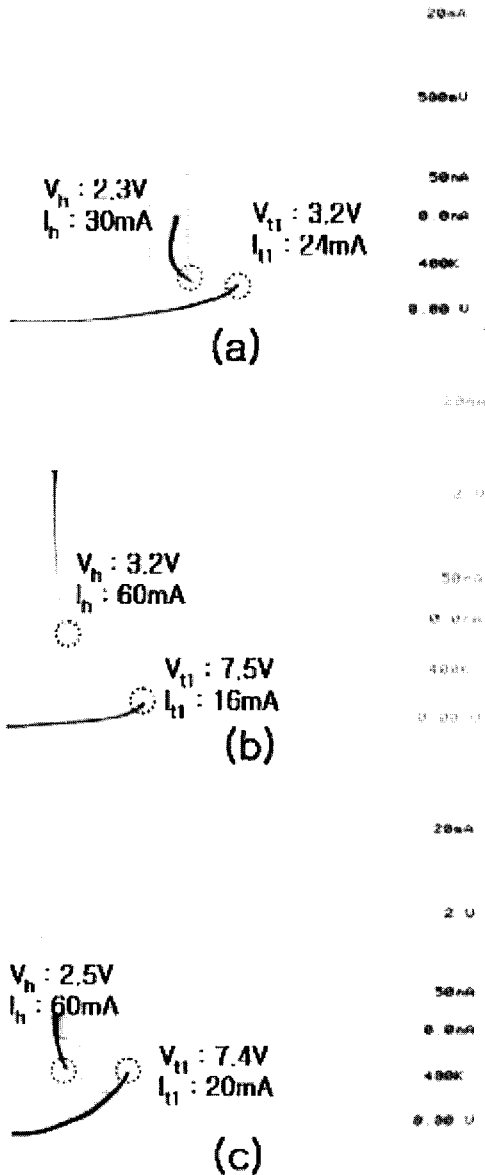


Fig.8. DC I-V Plot by changing PMOS gate length.

그림 8. NPLVTSCR PMOS 게이트 길이의 변화에 따른 DC I-V 특성 측정 그래프

(a) Gate Length=0.5µm (b) Gate Length=1µm
(c) Gate Length=2µm

DC 측정과 함께 ESD 보호소자의 성능지표를 알아보

기 위해 실제 ESD가 인가되었을 때의 보호소자의 감내 특성을 분석하였다. NPLVTSCR의 ESD감내특성 측정은 ESD 파형이 인가되기 전 DC 특성과 ESD 파형이 인가된 후 DC 특성을 비교하여 ESD에 의한 파괴 여부를 감지하였다. 인가된 ESD 펄스는 Noisecan사의 ESS-2000(ESD pulse generator)를 사용하였으며 DC 측정은 HP 4145(Parameter Analyzer)를 사용하였다.

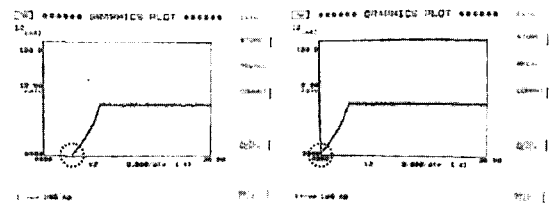


Fig. 9. DC Characteristics Before/After ESD Pulse Injection

그림 9. ESD 펄스인가 전/후의 DC특성

(a)1.8kV까지의 DC 특성 (b)1.9kV에서의 DC 특성

그림 9는 ESD 펄스의 인가 후의 DC 특성을 보여주고 있다. ESD펄스가 1.8kV까지 인가 되었을때의 DC 특성은 ESD펄스 인가전의 DC 특성과 같다. ESD 펄스가 1.9kV가 되었을 때 DC 특성의 변화를 확인할 수 있었으며, 제안된 소자는 IEC61000-4-2규격의 HBM ESD 펄스 1.9kV를 감내할 수 있다는 것을 알 수 있다. . 제작된 소자의 폭이 60um임을 고려할 때 단위 폭 당 흐르는 전류를 계산하면 약 119mA/um 이상의 높은 전류 구동능력을 갖고 있음을 확인할 수 있다. 표 2는제안된 NPLVTSCR의 ESD 성능 특성을 종합적으로 나타냈다.

Table 2. Proposed ESD Protection Device Characteristics

표 2. 제안된 ESD보호소자의 특성표

구분	Parameter	Typical Value
전기적특성	Vt1	3.2 - 7.5 V
	It1	16 - 24 mA
	Vh	2.3 - 3.2 V
	Ih	40 mA
감내특성	IEC61000-4-2	1.9kV

III 결론

본 연구에서는 고속 I/O 인터페이스에 탑재 가능하도록 SCR구조에 기반 한 새로운 구조의 NPLVTSCR ESD보호 소자를 제안하고 테스트 패턴을 설계 및 제작 하여 전기적 특성 및 감내특성을 측정 및 분석하였다. 제안된 소자는 높은 트리거 전압 때문에 저전압 집적회로에 사용할 수 없었던 기존의 SCR 구조의 단점을 개선하여 나노급 회로에 적용가능한 3V~7V의 낮은 트리거 전압을 갖으며 제안된 소자의 PMOS의 게이트 길이의 조절로 다양한 전원전압을 갖는 시스템에 적용 가능 하도록 하였다. 또한 기존 SCR이 갖는 정상상태의 래치업 현상을 방지하도록 PMOS의 드레인 단을 NMOS와 연결 시켜 기존 SCR보다 정상상태에서 래치업 문제가 발생하지 않도록 하였고 시뮬레이션 결과로 확인하였다. 추가적으로 제안된 소자 내부의 NMOS/PMOS를 RC-네트워크와 연결하여 정상상태와 ESD상황을 명확히 구분하고 보다 정확하고 빠른 응답속도를 갖도록 하였다. 결론적으로, 제안된 소자는 DSM 이하 공정에서 제작되는 저전압 나노급 집적회로 시스템 및 고속 I/O 인터페이스 회로 등에 적용이 가능하다.

감사의 글

본 논문은 2007년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계 기술 혁신 사업단」의 지원으로 이루어 졌습니다.

참고문헌

- [1] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.
- [2] S. Dabral and T. Maloney, Basic ESD and I/O Design, New York: Wiley, 1998.
- [3] A. Amerasekera and C. Duvvury ESD in silicon integrated circuits, Wiley, New York 1995.
- [4] Chun-Hsiang Lai, Meng-Hwang Liu, Shin Su, Tao-Cheng Lu, and Sam Pan, "A Novel Gate-Coupled SCR ESD Protection Structure With High Latch up Immunity for High-Speed I/O Pad", IEEE Electron Device Letters, vol. 25, pp. 328-330, MAY 2004.
- [5] Ming-Dou Ker and Zi-Ping Chen, "SCR Device With Dynamic Holding Voltage for On-Chip ESD Protection in a 0.25-um Fully Salicided CMOS Process
- [6] K. Bock, et. al., "Influence of Gate Length on ESD Performance for Deep Submicron CMOS Technology", Proc.EOS/ESD Symp., pp.95-104, 1999.
- [7] AJITH Amerasekera, On-Chip ESD Protection for Integrated Circuits, Kluwer Academic publisher, p303.
- [8] M.-D. Ker and W.-Y. Lo, "Methodology on extracting compact layout rules for latchup prevention in deep-submicron bulk CMOS technology", IEEE Trans. Semicond. Manuf., vol.16, no.2, pp.319-334, May 2003.

저 자 소 개

구 용 서 (정회원)

전기 전자 학회 논문지
(Journal of IKEEE) Vol8, No1 참조