

Fully Integrated Design of a Low-Power 2.5GHz/0.5GHz CMOS Dual Frequency Synthesizer

저전력 2.5GHz/0.5GHz CMOS 이중 주파수합성기 완전 집적화 설계

Ki-Sub Kang*, Gun-Chang Oh*, Jong-Tae Park*, Chong-Gun Yu*
강 기 섭, 오 근 창, 박 종 태, 유 중 군*

요 약

본 논문에서는 0.25 μ m CMOS 공정을 사용하여 무선 LAN 응용을 위한 이중대역 주파수 합성기를 설계하였다. 회로 설계시 저전력 특성에 중점을 두었다. 특히 VCO, 프리스케일러 등 핵심회로 설계시 전력소모를 최소화하도록 하였다. 모든 구성 소자를 on-chip화하여 외부 소자의 필요성을 제거 하였으며, 다양한 주파수에 동작이 가능하도록 외부 데이터에 의해 동작 주파수를 프로그램 할 수 있도록 하였다. 설계된 주파수 합성기의 RF 대역 동작 주파수 범위는 2.3GHz~2.7GHz이며, IF 대역 범위는 250MHz~800MHz이다. 설계된 RF 블록과 IF 블록은 2.5V의 전원으로부터 각각 5.14mA@2.5GHz와 1.08mA@0.5GHz의 적은 전류를 소모한다. IF 대역에서 측정된 위상 잡음은 in-band에서는 -85dBc/Hz이고, 1MHz offset 에서는 -105dBc/Hz이다. 전체 칩 크기는 1.7mmX1.7mm 이다.

Abstract

This paper describes a dual frequency synthesizer designed in a 0.25 μ m CMOS technology for wireless LAN applications. The design is focused mainly on low-power characteristics. Power dissipation is minimized especially in VCO and prescaler design. The designed synthesizer includes all building blocks for elimination of external components, other than the crystal. Its operating frequency can be programmed by external data. It operates in the frequency range of 2.3GHz to 2.7GHz (RF) and 250MHz to 800MHz (IF) and consumes 5.14mA at 2.5GHz and 1.08mA at 0.5GHz from a 2.5V supply. The measured phase noise is -85dBc/Hz in-band and -105dBc/Hz at 1MHz offset at IF band. The die area is 1.7mmX1.7mm.

Key words : Frequency Synthesizer, PLL, Prescaler, Low-power, TSPC D-flipflop

1. 서론

위상동기루프(phase-locked loop) 회로는 통신 시스템[1], 마이크로프로세서[2], 디스플레이등 많은 응용 분야에서 시스템 구성에 필수적으로 사용되어왔다. 최근 Wireless LAN (WLAN)의 사용자가 늘어남에 따

라 IEEE에서는 새로운 WLAN 표준인 802.11g를 제안하였다. 802.11b의 낮은 데이터 전송율에 대한 대안으로 등장한 802.11g는 앞으로 802.11a와 함께 WLAN의 대표적 표준으로 자리잡게 될 것이다[3]. 따라서 본 논문에서는 802.11g 표준을 사용하는 WLAN 응용을 위한 IF & RF 이중모드 PLL 주파수 합성기를 최소의 전력소모 특성을 갖도록 설계하였다.

* 仁川大學校 電子工學科

(Department of Electronic Engineering, University of Incheon)

※ 본 논문은 정보통신부 출연금등으로 수행한 정보통신 연구개발 사업의 연구 결과이며, IDEC 지원에 의해서도 일부 수행되었음.

接受日:2006年 10月 17日, 修正完了日: 2006年 12月 12 日

저전력 소모 특성을 얻기 위해 본 논문에서는 고주파에서 동작하는 VCO(Voltage Controlled Oscillator)와 프리스케일러의 저전력 설계에 중점을 두었다. VCO의 경우 802.11g가 요구하는 위상잡음 특성을 유지하면서 전력소모를 최소화 하도록 설계하였다. 프리스케일러 설계의 경우 고속 동작과 저전력 특성을 만족하기 위해 D-플립플롭의 설계가 중요하다. 기존의 TSPC D-플립플롭들[4],[5] 보다 저전력 소모특성을 갖도록 동적 플립플롭을 설계하였다[6].

설계된 주파수 합성기는 모든 구성 소자를 on-chip 화하여 외부 소자의 필요성을 제거 하였으며, 다양한 주파수에 동작이 가능하도록 외부 데이터에 의해 동작 주파수를 프로그램 할 수 있도록 하였다. power-down mode 기능과 lock-in indicator 기능을 갖도록 설계하였으며, on-chip bandgap reference 회로를 포함한다.

II. 회로 설계

설계된 주파수 합성기 회로의 블록다이아그램을 그림 1에 보였다. 설계된 회로는 IF 및 RF N-counter, R-counter를 포함한 Dblock과 PFD(Phase Frequency Detector), Charge Pump, Loop Filter, VCO, 프리스케일러, TCXO Buffer등으로 구성된다. Dblock은 PLL의 동작 주파수를 프로그램하기 위해 사용되며, 외부 데이터에 의해 프로그램이 가능하다. PFD는 R-counter와 N-counter의 출력 f_R 과 f_N 을 비교하며, Charge Pump는 PFD에서 입력되는 신호에 의해 전류를 Loop Filter에 공급하여 VCO의 발진주파수를 조절한다. TCXO buffer는 크리스탈 오실레이터에서 발생하는 주파수를 안정적으로 R-counter에 공급해주는 역할을 한다. 프리스케일러는 VCO의 높은 발진 주파수를 낮춰주는 역할을 한다.

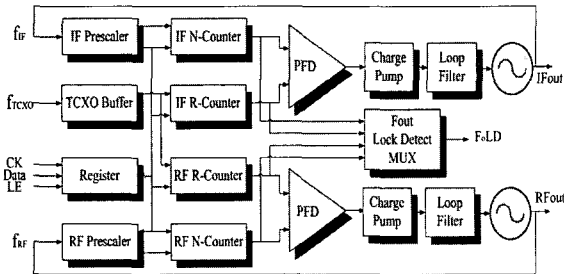


그림 1. 설계된 주파수 합성기의 블록다이아그램
Fig. 1. Block diagram of the designed frequency synthesizer

그림 1의 블록다이아그램을 그림 2에 세부적으로 나타내었다. R-counter 및 N-counter와 외부 신호에 의해 프로그램하기 위한 여러 cell로 구성된 Dblock 부분과 VCO 및 Loop filter를 포함한 PLL 블록으로 구성되어있다.

1. 프리스케일러

그림 3은 본 논문에 적용된 64/65 또는 128/129 분주 프리스케일러의 블록도이다. 프리스케일러는 크게 두 블록으로 나뉘어 지는데, 고속 동작이 요구되는 동기식 4/5 분주회로와 비동기식 16분주 또는 32 분주회로로 구성된다. 'Psel' 신호에 의해 프리스케일러의 'P' 값은 64 또는 128로 결정되며, 'Mode' 신호에 의해 입력주파수는 'P' 또는 'P+1'로 분주된다. 4/5분주 동기식 카운터의 최대 동작 주파수가 프리스케일러의 최대 동작 주파수를 결정하게 된다.

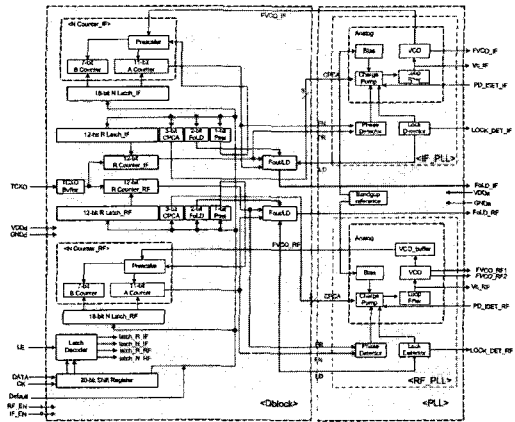


그림 2. 세부 블록다이아그램
Fig. 2. Detailed Block diagram

IF 프리스케일러는 5개의 D-F/F과 여러 개의 논리 게이트로 구성되며, 그림 4에 보였다. RF 프리스케일러와 마찬가지로 'Psel' 신호와 'Mode' 신호에 따라 8/9 분주 또는 16/17 분주로 동작한다. 신호에 따른 프리스케일러의 분주비를 표1에 나타냈다.

그림 5는 RF 프리스케일러에서 사용된 TSPC D-플립플롭을 나타낸다. PMOS 두 개를 사용하여 A 노드를 충전시키고, 방전은 하나의 NMOS 트랜지스터를 통해 이뤄지도록 첫채단과 둘째단의 방전 트랜지스터를 분리하여 구성하여서 불필요한 방전현상을 억제함

으로써 소비전력을 개선하였다[6].

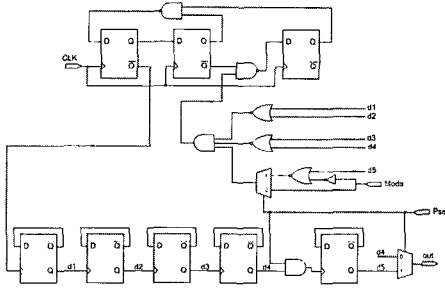


그림 3. 설계된 64/65 또는 128/129 분주 RF 프리스케일러 블록도
 Fig. 3. Block diagram of the designed divided 64/65 or 128/129 RF prescaler

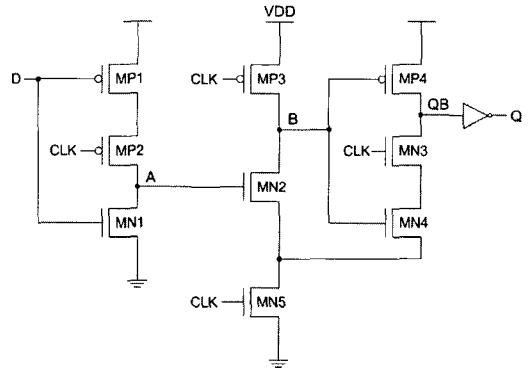


그림 5. TSPC D-플립플롭
 Fig. 5. TSPC D-Flipflop

표 1. 신호에 따른 프리스케일러 분주비
 Table 1. Division ratio of the prescalers

Psel	0		1	
	0	1	0	1
RF prescaler division ratio	64	65	128	129
IF prescaler division ratio	8	9	16	17

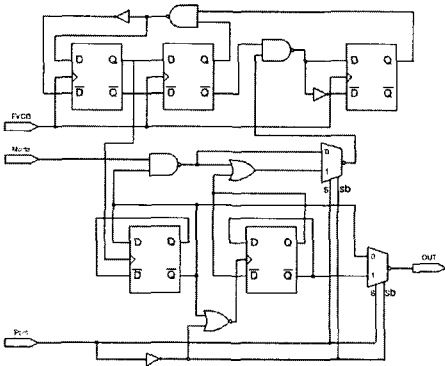


그림 4. 설계된 8/9 또는 16/17 분주 IF 프리스케일러 블록도
 Fig. 4. Block diagram of the designed divided 8/9 or 16/17 IF prescaler

2. VCO

(1) RF VCO

고주파에서 낮은 위상 잡음 특성을 갖는 LC-tank 형태의 VCO를 사용하였다. 제어 전압에 의하여 capacitance값이 변화하여 발진 주파수를 결정한다. 그림 6은 설계된 VCO 회로도이다. 인덕터의 내부저항 값을 보상하기 위하여 cross-coupled 된 NMOS, PMOS를 같이 사용하였으며, 가변 capacitor는 MOS varactor를 사용하였다[7]. 원하는 발진 주파수와 일정한 위상 잡음 특성을 유지하면서 전류 소모는 최소화 되도록 설계하였다.

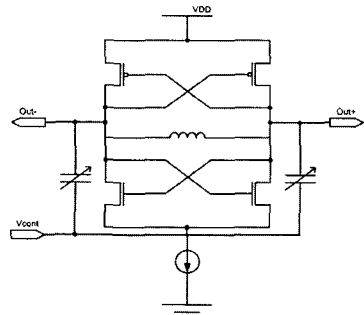


그림 6. 설계된 RF VCO 회로도
 Fig. 6. Schematic of the designed RF VCO

(2) IF VCO

Ring oscillator 형태로서 그림 7과 같이 3단으로 구성하였다. VCO의 발진주파수를 조절하기 위해 가변 저항(variable resistor)를 사용하였으며, 가변저항으로

CMOS 스위치를 사용하였다. 제어전압은 NMOS 트랜지스터의 게이트 단자에만 인가되므로 차동제어전압이 불필요하며 회로가 간단해진다.

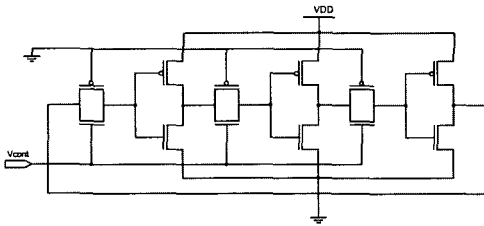


그림 7. 설계된 IF VCO 회로도
Fig. 7. Schematic of the designed IF VCO

(3) PFD

PFD는 두 개의 D-F/F과 OR 게이트, 그리고 delay cell로 구성되며, N-counter의 출력과 R-counter의 출력을 비교하여 두 신호의 위상차에 해당하는 'UpB' 신호와 'DnB' 신호를 발생시켜서 Charge Pump에 전달한다. 'Dead Zone' 문제를 해결하기 위해 지연 셀을 사용하였다.

(4) Lock Detector

Lock Detector는 f_R 과 f_N 이 locking되었는지를 판별하는 회로이다. 두 신호의 위상차가 9ns 이내인 구간이 15번 반복되게 되면 locking되었다고 판단하고, 위상차가 19ns 이상이 되게 되면 locking이 풀렸다고 간주한다. 이처럼 locking 될 때와 locking이 풀릴 때의 기준을 달리하여 hysteresis 기능을 갖도록 한 이유는 원하지 않는 잡음에 의해 locking이 풀리는 것을 방지하기 위해서이다.

(5) Charge Pump

설계된 Charge Pump 회로의 블록 다이어그램을 그림 8에 나타내었다. Dblock에서 출력되는 3-bit의 CPCA[3:0] 신호를 이용하여 25 μ A에서 200 μ A까지 프로그램이 가능하다. PLL이 locking되었을 때, 초기 조건과 상관없이 Charge Pump의 pumping전류는 25 μ A로 고정된다. 그림 9는 Charge Pump 내부의 CPsws 회로이다. Up 전류와 Down 전류의 부정합(mismatch)을 줄이기 위해 cascode 구조의 전류원을 사용하였으며, Up/Dn 스위치는 cascode 트랜지스터에 연결하였다. Charge sharing에 의한 에러를 감소시키기 위해 보조 트랜지스터와 스위치를 사용하였다.

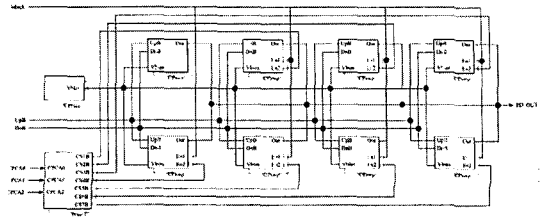


그림 8. 설계된 Charge Pump의 블록다이어그램
Fig. 8. Block diagram of the designed Charge Pump

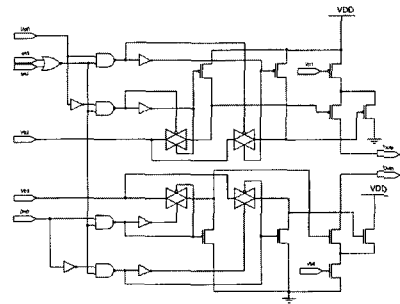


그림 9. CPsws 회로도
Fig. 9. Schematic of the CPsws

(6) Loop Filter

Loop Filter는 2차 passive filter를 사용하였고, MIM capacitance, n⁺-resistance등의 on-chip 소자를 사용하여 구현하였다. Loop Filter 설계 tool[8]을 사용하여 소자 값을 결정하였다.

(7) Dblock

Dblock은 PLL의 주파수를 프로그램하기 위한 것으로서 N-counter, R-counter, Shift Resister, Latch등으로 구성된다. 프로그램을 위해 외부에서 직렬로 Data, Clk 신호가 입력되면 Shift Resister에 저장되고 (그림1 참조) LE 신호에 의해 N-latch 또는 R-latch에 저장된다. 만약 default 신호가 인가되면 latch 값들은 default 값으로 자동 setting 된다. Default 일 때의 값은 표2와 같다. N-counter는 프리스케일러와 연동하여 그림 10과 같이 동작한다. B값에 해당하는 시간동안은 프리스케일러가 P+1 mode로 동작하고, A-B값에 해당하는 시간동안은 P mode로 동작하게 된다.

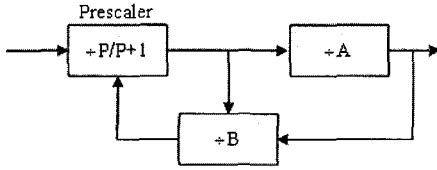


그림 10. N-counter의 블록도
Fig. 10. Block diagram of the N-counter

표 2. default = '0' 일 경우의 상태
Table 2. Conditions at default = '0'

	Counter 종류	Counter 입력신호
IF	R-counter	R="111100000000" Psel = "1" CPCA= "011"
	N-counter	A="000110000000" B="0110000"
RF	R-counter	R="111100000000" Psel = "0" CPCA= "011"
	N-counter	A="011110000000" B="0001000"

III. 모의실험 및 측정 결과

1. 모의실험

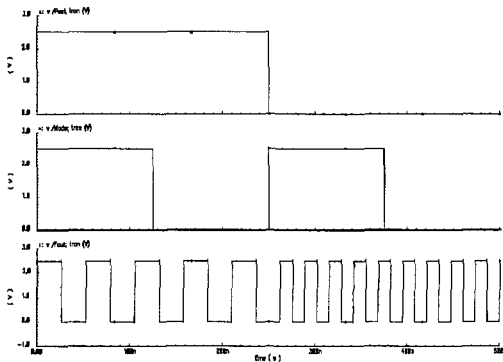


그림 11. RF 프리스케일러의 모의실험 결과
Fig. 11. Simulation results of the RF prescaler

설계된 회로를 0.25 μ m CMOS 공정변수를 사용하여 HSPICE 및 Spectre 시뮬레이션을 하였다. 그림 11은 RF 프리스케일러를 모의 실험한 결과이다. 프리스케일러의 Clk신호로 2.45GHz의 VCO 출력 신호를 인가

하고 프리스케일러의 분주비를 결정하는 Psel, Mode 신호를 첫 번째, 두 번째 파형에 나타내었으며, 그에 따른 프리스케일러의 출력파형을 마지막에 나타내었다.

설계된 VCO의 제어전압에 따른 발진 주파수 특성을 그림 12에 보였다. 제어전압이 0.8V에서 1.8V까지 변할 때, VCO의 발진 주파수는 선형특성에 가깝게 증가함을 볼 수 있다. 주파수 범위는 RF의 경우 2.3GHz부터 2.7GHz(그림 12(a))이며 IF의 경우 250MHz부터 800 MHz(그림 12(b))이다. VCO 이득은 대략 400MHz/V이다.

RF 및 IF VCO의 과도상태 특성을 살펴보면 Enable 신호가 인가되면 RF VCO는 0.7 V_{p-p}로 발진하며, IF VCO의 발진 진폭은 2.5 V_{p-p}이다.

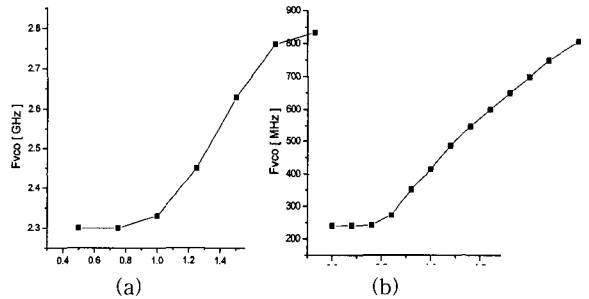


그림 12. 제어전압에 따른 발진 주파수 특성
(a) RFVCO (b) IFVCO

Fig. 12. Oscillation frequencies versus control voltages
(a) RFVCO (b) IFVCO

그림 13은 VCO의 위상 잡음 특성을 모의실험 결과이다. RFVCO의 경우 1MHz offset에서 -140 dBc/Hz의 특성을 보이며[그림 13(a)], IFVCO의 경우 in-band에는 -100 dBc/Hz, 1MHz offset에는 -127 dBc/Hz의 특성을 보인다[그림 13(b)].

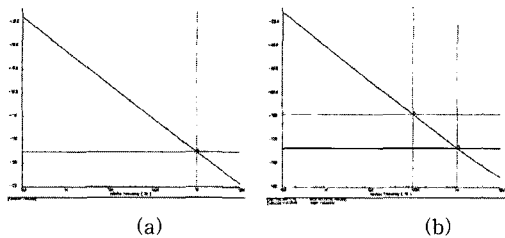


그림 13. VCO의 위상잡음 특성
(a) RFVCO (b) IFVCO

Fig. 13. Phasenoise characteristics of the VCO's
(a) RFVCO (b) IFVCO

그림 14는 VCO의 harmonic 특성을 확인하기 위한 모의실험 결과이다. RFVCO의 경우 2.45GHz의 간격으로 harmonic 성분들이 생성되며, 5GHz의 성분과는 -30dB 차이가 나는 것을 확인할 수 있다[그림 14(a)]. 그림 14(b)는 IFVCO의 harmonic 특성이다.

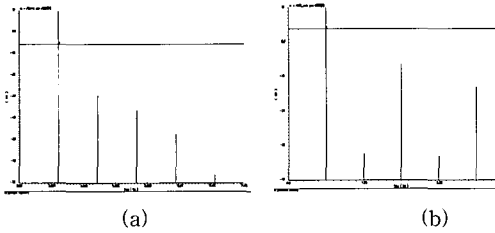


그림 14. VCO의 harmonic 특성
(a) RFVCO (b) IFVCO

Fig. 14. Harmonic characteristics of the VCO's
(a) RFVCO (b) IFVCO

그림 15와 16은 default 신호를 인가하여 2.5GHz와 500MHz 프로그래밍 했을 때 PLL 전체 회로의 시뮬레이션 결과이다. 첫 번째 파형은 R-counter를 통과한 기준 주파수 f_R 신호이고, 두 번째 파형은 N-counter를 통과한 f_N 신호이다. 이 두 파형을 비교하여 출력된 UpB 신호와 DnB 신호가 세 번째, 네 번째 파형에 나타내었다. UpB 신호가 나올 때 Loop Filter의 출력 전압 파형의 변화를 다섯 번째 파형에서 확인할 수 있다.

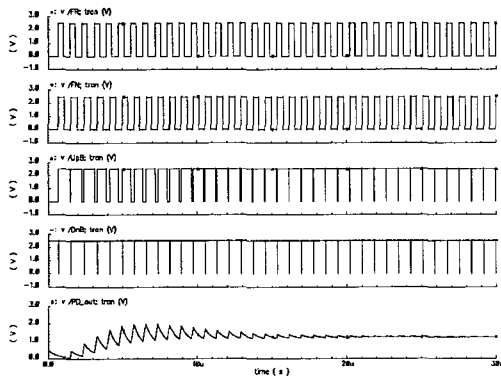


그림 15. RF PLL의 모의실험 결과
Fig. 15. Simulation results of the RF PLL

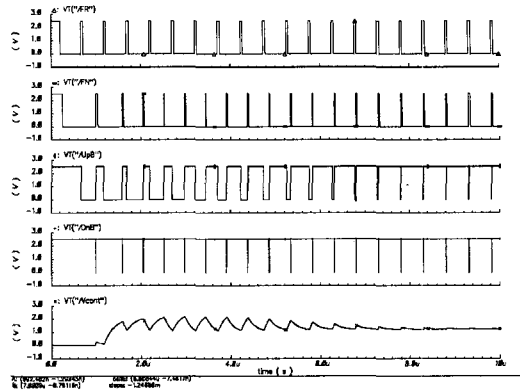


그림 16. IF PLL의 모의실험 결과
Fig. 16. Simulation results of the IF PLL

2. 측정 결과

설계된 회로는 0.25 μ m CMOS 공정을 사용하여 칩으로 제작되었다. 그림 17은 칩의 동작 특성을 확인하기 위한 test board이다. 그림 17과 같이 구성한 후 오실로스코프와 스펙트럼 분석기를 사용하여 측정을 하였다.

(1) IF PLL 주파수 합성기

그림 18은 주파수 합성기의 최종출력 F_{IFout} 신호를 오실로스코프를 사용하여 측정한 파형이다. 모의실험과 마찬가지로 측정 환경을 default 신호를 인가하여 500MHz에서 동작하도록 하였을 때, 원하는 주파수가 나오는 것을 확인할 수 있고, 진폭은 2.5V 보다는 작게 나오는 것을 확인할 수 있다.

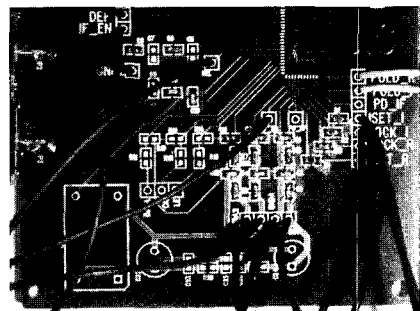


그림 17. 측정 보드
Fig. 17. Test board

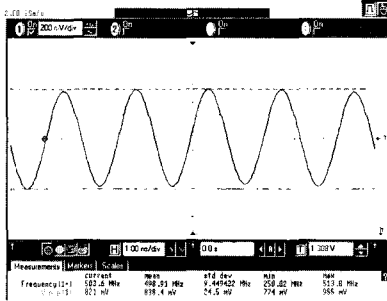


그림 18. F_{IFout} 신호 측정 결과
Fig. 18. Measured F_{IFout} signal

출력파형의 시간 축에서 잡음 특성을 확인할 수 있는 RMS 지터의 경우 18ps [그림 19(a)], Peak to Peak 지터의 경우 100ps [그림 19(b)]가 되는 것을 확인할 수 있었다. 그림 19(b)에 지터의 histogram 을 나타내었다.

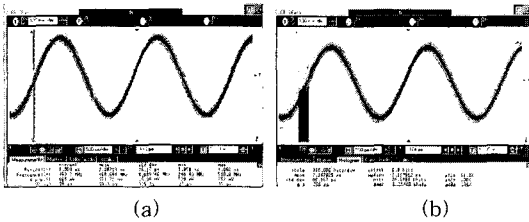


그림 19. F_{IFout} 신호의 지터 특성
Fig. 19. Jitter characteristics of the F_{IFout} signal

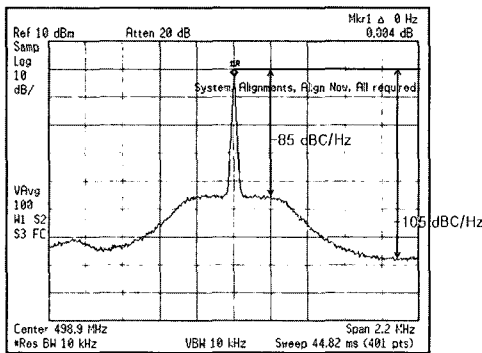


그림 20. F_{IFout} 신호의 위상 잡음 특성
Fig. 20. Phase noise characteristics of the F_{IFout} signal

그림 20은 스펙트럼 분석기를 사용하여 F_{IFout} 신호의 위상잡음 특성을 확인하기 위한 결과이다.

Resolution BW를 10kHz 로 맞추고 측정을 하였을 경우 in-band 의 위상 잡음 특성은 -85 dBc/Hz 이고, 1MHz offset에서의 위상잡음 특성은 -105 dBc/Hz 가 되는 것을 확인할 수 있다.

(2) RF PLL 주파수 합성기

그림 21은 RF 프리스케일러의 동작 특성을 오실로스코프를 사용하여 측정한 결과이다. 주파수가 2.5GHz 인 신호를 입력하고 Mode와 Psel 신호를 128로 분주 되도록 맞추어 주었을 때 출력 주파수가 19.53MHz가 되는 것을 확인할 수 있다.

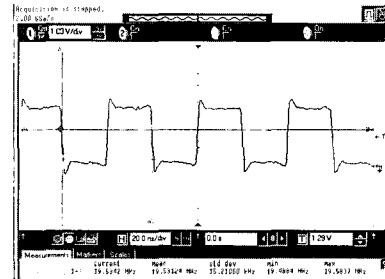


그림 21. RF 프리스케일러의 측정 결과
Fig. 21. Measured output of the RF prescaler

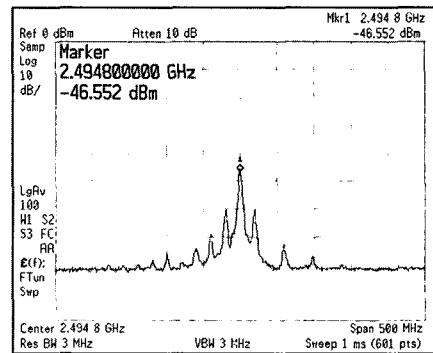


그림 22. 측정된 F_{RFout} 신호의 출력 스펙트럼
Fig. 22. Measured output spectrum of the F_{RFout} signal

그림 22는 F_{RFout} 신호의 출력 스펙트럼을 나타낸 것이다. 2.5GHz에서 출력 신호가 발생하고 있으나 신호의 전력은 -46.5 dBm 정도가 상당히 작으며, 주변에 잡발진 또는 기생발진이 발생하는 등 특성이 상당히 나쁜 편이다. 이는 설계과정에서 측정을 위해 output

buffer와 matching 회로를 구성할 때 기생성분들을 제대로 고려하지 못했기 때문인 것으로 분석된다.

설계된 회로는 표 3과 같은 성능을 보이며, 기존의 주파수 합성기[9][10][11]보다 낮은 전류 소모 특성을 보인다. 그림 23은 설계된 주파수 합성기의 layout이며, 면적은 1.7mm X 1.7mm 이다.

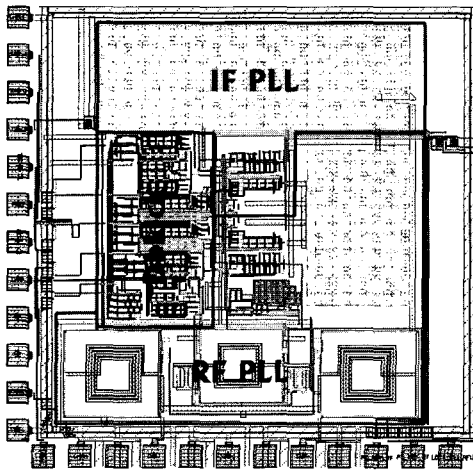


그림 23. 설계된 주파수 합성기의 Layout

Fig. 23. Layout of the designed frequency synthesizer

III 결론

본 논문에서는 WLAN 응용을 위한 주파수 합성기를 일정 위상잡음 특성을 유지하면서 적은 전력소모 특성을 갖도록 설계하였다. 모든 구성 소자를 on-chip 화하여 외부 소자의 필요성을 제거 하였으며, 다양한 주파수에 동작이 가능하도록 외부 데이터에 의해 동작 주파수를 프로그램 할 수 있도록 하였다. 고주파 동작에서 중요한 블록인 프리스케일러와 VCO를 저전력 특성을 갖도록 설계하였다.

0.25 μ m CMOS 공정으로 제작된 칩의 성능을 알아보기 위해 test board를 제작하고 적절한 테스트 환경을 구성하여 칩을 측정하였다. 제작된 주파수 합성기의 동작 주파수 범위는 IF의 경우 250MHz에서 800MHz 까지이며, 위상잡음 특성은 1MHz offset에서 -105dBc/Hz이다. RF 프리스케일러는 제대로 동작하였으나 RF VCO는 buffer와 matching 회로의 설계상문제로 제대로 측정할 수 없었다. 설계된 회로는 기존 회로에 비해 상당히 적은 전류를 소모하기 때문에 저전력 소모 특성이 요구되는 다양한 분야에 적용될 수 있다.

표 3. 성능 요약

Table 3. Summary of performance

	This work	[9]	[10]	[11]
Process	0.25 μ m CMOS	0.25 μ m CMOS	0.35 μ m BiCMOS	-
Power Supply	2.5V	2.7V	2.6V	2.7 to 3.6V
Frequency [GHz]	RF: 2.3~2.7 IF: 0.25~0.8	RF: 1.8~2.1 IF: 0.65~0.8	RF: 2.5 (max) IF: 0.9 (max)	RF: 2.3~2.5 IF: 0.06~1
KVCO	400MHz (RF & IF)	-	-	-
Phase noise (dBc/Hz)	RF: -140* IF: -105 (1MHz offset)	RF: -124 IF: -130 (1MHz offset)	RF: -88 IF: -98 (20kHz offset)	RF: -130 IF: -104 (1MHz offset)
Current consumption	RF: 5.14mA IF: 1.08mA	RF: 19mA IF: 18mA	RF: 7mA IF: 2.75mA	RF: 15.7mA IF: 10mA
Chip area [μ m ²]	1.7 x 1.7	-	2.35x2.65	-

* 모의실험 결과

참고문헌

- [1] 김유환, "CMOS IF PLL 주파수합성기 설계," 대한 전자공학회 논문지 제40권, SD편, 제8호, pp.56-67, 2003.
- [2] Ian A. Young, Jeffrey K. Greason and Keng L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors" *IEEE JSSC*, vol 27, no 11, November 1992.
- [3] Adem Aktas, Mohammed Ismail, *CMOS PLLs and VCOs for 4G Wireless*, Kluwer Academic Publishers.
- [4] J. Yuan and C. Svensson, "High-speed CMOS circuit technique", *IEEE JSSC*, vol. 24, no. 1, pp. 62-70, February 1989.
- [5] M-S. Song, J-H. Hur, S-W. Kim, "안정적인 고속동작을 위한 다이내믹 D Flip-Flop", 대한전자공학회논문지 SD편, pp.1055-1061, 2002.12.
- [6] 강기섭, 이재경, 오근창, 박종태, 유종근 "고속 저전력 프리스케일러를 사용한 2.5GHz CMOS PLL 주파수합성기 설계", 대한전자공학회 추계학술대회 논문집 II, 제28권, 제2호, pp.873-876, 2005.

- [7] Pietro Andreani and Sven Mattisson, "On the Use of MOS Varactors in RF VCO's," *IEEE JSSC*, vol.35, no.6, June 2000.
- [8] Loader: PLL Loop Filter Design, National Semiconductor.
- [9] Huainan Ma, Weigang Sun, Haixing Hu, Jihua Zheng, and Wenshen Wang, "A Highly Integrated Dual Band CMOS Frequency Synthesizer and Its application in a WLAN 802.11g Transceiver", *Microwave and Millimeter Wave Technology, 2004. ICMMT 4th International Conference on, Proceedings* pp. W/22-W/26 August 2004.
- [10] Woogeun Rhee, Biagio Bisanti and Akbar Ali, "An 18-mW 2.5-GHz/900-MHz BiCMOS Dual Frequency Synthesizer With <10-Hz RF Carrier Resolution," *IEEE JSSC*, vol.37, no.4, pp.515-520, April 2002.
- [11] ISM RF Synthesizer With Integrated VCOs For Wireless Communications, Silicon Laboratories.

저 자 소 개

장 기 섭 (학생회원)



2005년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2005년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야>
 고성능 PLL 및 주파수 합성기 설계

오 근 창 (학생회원)



2006년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2006년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야>
 고성능 PLL 및 주파수 합성기 설계

박 종 태 (정회원)



1981년 2월 : 경북대학교 전자공학과 졸업 (공학사)
 1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)
 1983년 8월 ~ 1985년 8월 : 금성반도체(주) 연구소 연구원

1991년 1월 ~ 1991년 12월 : MIT Post Doc.
 2000년 7월 ~ 2001년 8월 : UC Davis 방문교수
 1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유 종 근 (정회원)



1985년 2월 : 연세대학교 전자공학과 졸업 (공학사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)
 1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.
 1989년 9월 ~ 1991년 8월 : Texas A&M University 전기공학과 연구조교

1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계