

논문 2007-44IE-2-3

# 개선된 성능을 갖는 4치 D-플립플롭

## (Quaternary D Flip-Flop with Advanced Performance)

나기수\*, 최영희\*\*

(Gi-Soo Na and Young-Hee Choi)

### 요약

본 논문에서는 개선된 성능을 갖는 4치 D-플립플롭을 제안하였다. 제안된 4치 D 플립플롭은 뉴런모스를 기반으로 바이어스 인버터, 온도계 코드 출력회로, EX-OR 게이트, 전달 게이트를 이용하여 4치 항등 논리회로(Identity logic circuit)를 구성하고, 이를 2진의 RS 래치 회로와 결합하여 설계하였다. 설계된 회로들은 3.3V 단일 공급 전원에서 0.35 $\mu$ m 1-poly 6-metal COMS 공정 파라미터 표준조건에서 HSPICE를 사용하여 모의실험 하였다. 모의실험 결과, 본 논문에서 제안된 4치 D 플립플롭은 100MHz 전후까지의 빠른 동작속도로 측정되었으며 PDP(Power dissipation-delay time product)와 FOM(Figure of merit)은 각각 59.3pJ과 33.7로 평가되어졌다.

### Abstract

This paper presents quaternary D flip-flop with advanced performance. Quaternary D flip-flop is composed of the components such as thermometer code output circuit, EX-OR gate, bias inverter, transmission gate and binary D flip-flop circuit. The designed circuit is simulated by HSPICE in 0.35 $\mu$ m one-poly six-metal CMOS process parameters with a single +3.3V supply voltage. In the simulations, sampling frequencies is measured around 100MHz. The PDP parameters and FOM are estimated to be 59.3fJ, 33.7 respectively.

**Keywords :** Quaternary, D-FF, Bias inverters, Transmission gates, Thermometer code

### I. 서론

전압모드를 이용한 다치(Multi-valued) 소자 개발은 전과지연 시간으로 인한 예상치 못한 출력이 발생하는 경우가 있지만, 실질적인 시스템에 적용이 용이하며 소비 전력이 적다는 장점을 가지고 있다. 전압모드를 이용할 경우 다치 논리 소자의 구현에 필수적인 다중 문턱전압을 가지는 소자의 제작이 큰 난제였으나 뉴런모스 소자의 등장으로 인하여 다치 논리 체계를 일반적인 전압모드 CMOS 기술로 구현하는 것이 용이해졌다. 인간의 신경계 뉴런과 동작 특성이 비슷한 뉴런모스는 T. Shibata와 T. Ohmi<sup>[1]</sup>에 의해서 90년대 초에 제안되어 대표적으로 지능망 구성을 위한 회로에 사용되어 왔

다. 이러한 뉴런모스는 기존의 MOSFET 구조에 여러 개의 입력 게이트와 플로팅 게이트를 추가하여 만들 수 있다.

K. Kondo<sup>[2]</sup>등은 뉴런모스를 이용하여 다운리터럴 회로, 아날로그 인버터, 다치 전압비교기, 전달 게이트 등의 회로를 설계하고 이들을 조합하여 다치 변수 값의 크기를 비교할 수 있는 뉴런모스 기반의 MIN, MAX, NMIN, NMAX 회로들을 제안하였다.

K. W. Current<sup>[3]</sup>는 단일 문턱전압으로 동작하는 2진 CMOS RS 래치 회로를 이용하여 전압모드 4치 CMOS 래치 회로를 제안하였다.

T. Uemura<sup>[4]</sup>등은 다수접합 표면 터널 트랜지스터와 MOSFET를 이용한 3치 D 플립플롭 회로를 제안하였고, 전압모드 CMOS 기술을 이용하여 3치 논리 게이트를 설계하고 3치 플립플롭을 제안하였다.

M. Inaba<sup>[5]</sup>등은 뉴런모스와 CMOS를 혼합한 NMIN 회로를 설계하여 다치 플립플롭인 아날로그 플립플롭과

\* 정회원, 가톨릭대학교 정보통신전자공학부  
(School of Catholic University)

\*\* 정회원, 재능대학교 디지털정보전자과  
(Jai Neung College)

접수일자: 2007년2월26일, 수정완료일: 2007년6월7일

퀀타이저 플립플롭을 제안하였다. 회로에 대부분은 뉴런모스를 사용하였고, T-게이트 회로는 CMOS를 사용하여 설계하였다.

본 논문에서는 개선된 성능을 갖는 4치 D 플립플롭을 제안하고 설계하였다. 제안된 4치 D 플립플롭은 뉴런모스를 기반으로 바이어스 인버터, 온도계 코드 출력 회로, EX-OR 게이트, 전달 게이트를 이용하여 4치 항등 논리회로(Identity logic circuit)를 구성하고, 이를 2진의 RS 래치 회로와 결합하여 설계하였다. 제안된 회로들은 0.35 $\mu$ m 1-poly 6-metal COMS 공정을 사용하여 4치 논리 기반의 시스템에 집적화할 수 있도록 설계되었으며, HSPICE를 사용하여 동작 특성을 검증하였다.

## II. 4치 D 플립플롭 구성회로

### 1. 바이어스 인버터 회로

바이어스 인버터는 일반적인 2진 인버터와 동일한 구조로 되어 있지만 전원  $V_{DD}$ 와  $GND$  대신에 특별한 값의 바이어스 전원  $V_H$ 와  $V_L$ 을 사용하는 인버터이다.

그림 1은 바이어스 인버터의 회로도 및 회로기호를 나타낸다.

바이어스 인버터의 문턱전압은 식 (1)과 같이 바이어스 전압  $V_H$ 와  $V_L$ 로 결정되며,  $V_{out}$ 은 식 (2)와 같다.

$$V_{TH} = \frac{V_H + V_L}{2} \quad (1)$$

$$V_{out} = \begin{cases} V_L & V_{in} > V_{TH} \\ V_H & V_{in} < V_{TH} \end{cases} \quad (2)$$

바이어스 인버터는 일반적인 2진 인버터와 같은 원리로 동작한다. 입력 전압  $V_{in}$ 이 문턱전압  $V_{TH}$ 보다 크면 낮은 바이어스 전압  $V_L$ 이 출력되고, 입력 전압

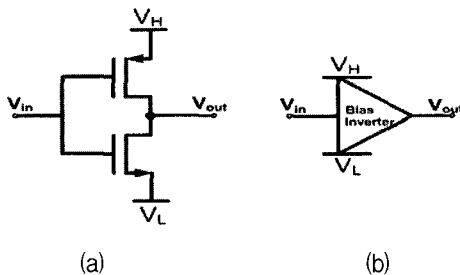


그림 1. 바이어스 인버터 (a) 회로 (b) 기호  
Fig. 1. Bias inverter.  
(a) Circuit (b) Symbol

표 1. 바이어스 인버터의 4치 진리표

Table 1. Quaternary truth table of bias inverter.

$V_H$	$V_L$	$V_{TH}$	BIAS_INV_IN				BIAS_INV_OUT			
3	2	2.5	3	2	1	0	2	3	3	3
3	0	1.5	3	2	1	0	0	0	3	3
2	1	1.5	3	2	1	0	1	1	2	2
1	0	0.5	3	2	1	0	0	0	0	1

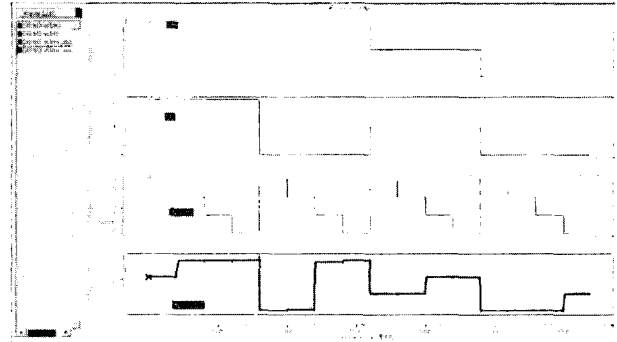


그림 2. 바이어스 인버터의 4치 입력과 출력 파형

Fig. 2. Quaternary input and output waves of bias-inverter.

$V_{in}$ 이 문턱전압  $V_{TH}$ 보다 작으면 높은 바이어스 전압  $V_H$ 를 출력하게 된다. 바이어스 전압  $V_H$ 와  $V_L$ 은 4치의 값을 가지며, 두 값의 차가 짝수의 값이 되면 문턱전압  $V_{TH}$ 는 4치 레벨의 중간 값(0.5, 1.5, 2.5)을 가지지 않는다.

표 1에 4치 바이어스 인버터의 진리표를 나타내었고, 그림 2에 바이어스 인버터의 모의실험 결과 파형을 나타내었다. 바이어스 인버터의 모의실험 결과 파형이 4치 바이어스 인버터의 진리표와 정확히 일치함을 확인할 수 있다.

### 2. 온도계 코드 출력회로

그림 3은 J. Shen<sup>[6]</sup>등에 의해 제안되어진 3개의 DLC(Down literal function)를 이용하여 구성된 온도계 코드 출력회로이다. 출력 값을 결정하는 문턱전압  $V_{TH}$ 는 그림 3의 위쪽에 있는 DLC로부터 각각 2.5, 1.5, 0.5로 결정되어 있다.

입력 값에 따라 2치(0, 3)의 온도계 코드를 출력하게 된다.

표 2는 온도계 코드 회로의 입력과 출력의 관계를 정리하여 나타낸 것이고, 그림 4는 온도계 코드 회로의 모의실험 결과 파형을 나타낸 것이다. 그림 4의 결과 파형이 표2의 논리와 정확하게 일치하는 것을 확인할 수 있다.

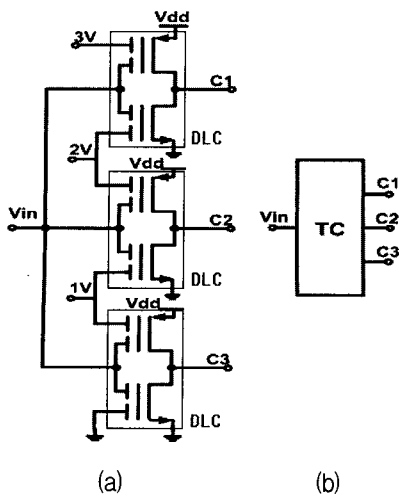


그림 3. 온도계 코드 출력 회로 (a) 회로도 (b) 기호  
Fig. 3. Thermometer code output circuit. (a) Circuit (b) Symbol.

표 2. 온도계 코드 출력 회로의 입력과 출력  
Table 2. Input and output of thermometer code output circuit.

$V_{in}$ \ $V_{out}$	$C_1$	$C_2$	$C_3$
$V_0 (GND)$	3	3	3
$V_1$	0	3	3
$V_2$	0	0	3
$V_3 (V_{DD})$	0	0	0

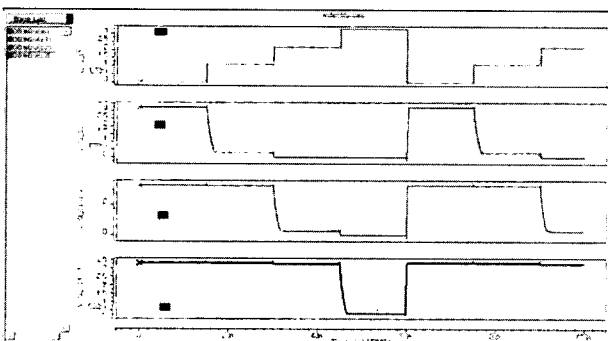


그림 4. 온도계 코드 회로의 입력과 출력 파형  
Fig. 4. Input and output waves of thermometer code circuit.

3. 4차 항등 논리회로

4차 항등 논리회로는 버퍼의 역할을 하는 논리회로이며 4차 D 플립플롭을 설계할 때 사용된다. 그림 5와 같이 4차 항등 논리회로는 온도계 코드 회로, EX-OR 게이트, 바이어스 인버터 2개, K. Kondo 등에 의해 제안되어진 N형 전달 게이트와 P형 전달 게이트로 구성된다. 4차 항등 논리회로의 입력  $x$ 에 4차 논리 값이 입

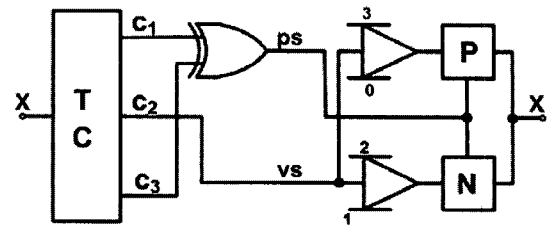


그림 5. 4차 항등 회로  
Fig. 5. Quaternary identity circuit.

표 3. 4차 항등 논리회로의 동작 특성  
Table 3. Operation characteristics of quaternary identity logic circuit.

$x$	$C_1$	$C_2$	$C_3$	$vs$	$ps$	$V_{out}$
0	3	3	3	3	0	0
1	0	3	3	3	3	1
2	0	0	3	0	3	2
3	0	0	0	0	0	3

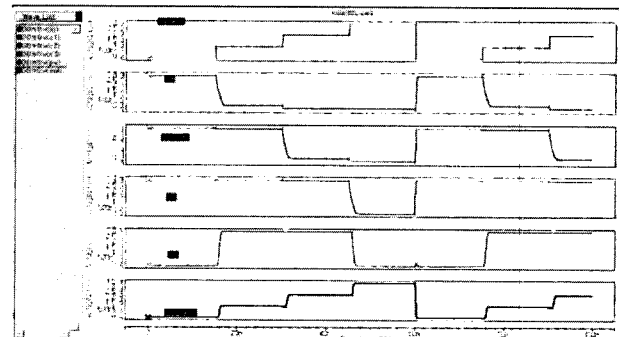


그림 6. 항등 논리회로의 4차 입력과 출력 파형  
Fig. 6. Quaternary input and output waves of identity logic circuit.

력되면 온도계 코드 회로의 출력  $C_1, C_2, C_3$ 에는 표 3과 같이 온도계 코드의 값이 출력된다.  $C_1$ 과  $C_3$ 는 EX-OR 연산되어  $ps$ 로 출력되고,  $C_2$ 는 바로  $vs$  값으로 전달된다. 바이어스가  $V_H = 3, V_L = 0$ 인 바이어스 인버터는 입력이  $vs = V_m > 1.5$  일 때 출력은 0, 입력이  $vs = V_m < 1.5$  일 때 출력은 3이 출력된다.

바이어스가  $V_H = 2, V_L = 1$ 인 바이어스 인버터는 입력이  $vs = V_m > 1.5$  일 때 출력은 1, 입력이  $vs = V_m < 1.5$  일 때 2가 출력된다. 전달 게이트에서는  $ps$  값이 3이면 N형 전달 게이트의 입력이 출력으로 전달되고,  $ps$ 의 값이 0이면 P형 전달 게이트의 입력이 출력으로 전달된다.

표 3은 입력  $x$ 의 4차 입력에 따른 논리 값을 각각

온도계 코드 출력,  $vs$ ,  $ps$ , 출력  $V_{out}$ 에 대하여 정리하였다. 그림 6은 4치 항등 논리회로의 모의실험 결과 파형이다. 그림 6의 결과 파형이 표3의 논리와 정확하게 일치하는 것을 확인할 수 있다.

4. 2치 RS 래치 회로

4치 항등 논리회로에 플립플롭의 기능을 부가하기 위하여 2치로 동작하는 RS 래치회로를 사용한다. 그림 7의 회로는 일반 모스를 사용한 2치 래치회로이다. 그림 7의 2치 래치회로는 CLK 입력이 3V 입력될 때 R, S 입력에 따라서 출력  $V_{out}$ 의 값이 결정되는 회로이다.

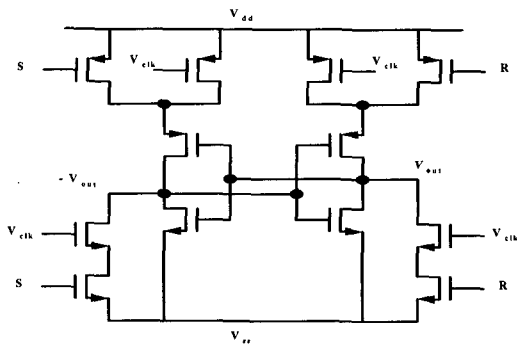


그림 7. 2치 RS 래치회로  
Fig. 7. Binary RS latch circuit.

표 4. RS 래치 회로의 진리표  
Table 4. Truth table of RS latch circuit.

S	R	Q	Q_bar
0	0	상태불변	상태불변
0	3	0	3
3	0	3	0
3	3	사용불가	사용불가

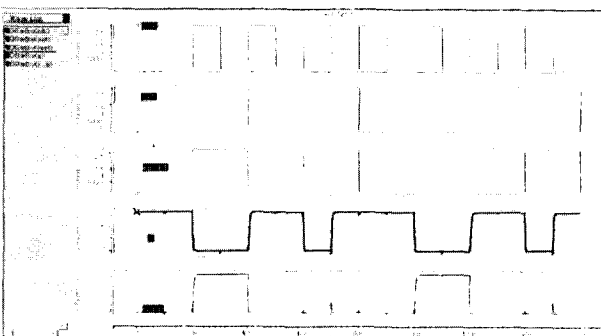


그림 8. RS 래치 회로의 입력과 출력 파형  
Fig. 8. Input and output waves of RS latch circuit.

표 4에서 RS 래치회로의 진리표를 나타내었고, 그림 8에서 RS 래치회로의 모의실험 결과 파형을 나타내었다.

III. 4치 D 플립플롭 설계

4치 D 플립플롭은 II장에서 전개한 4치 항등 논리회로와 2치의 D 플립플롭을 결합하여 그림 9와 같이 구성된다. 그림 9에서 4치의 D 입력에 따라 온도계 코드 출력회로는 표 5와 같이  $C_1$ ,  $C_2$ ,  $C_3$ 의 값을 온도계 코드로 변환하여 출력한다.

$C_1$ 과  $C_3$ 를 EX-OR 연산한 값은 위쪽에 위치한 2치 D 플립플롭에 입력되어  $ps$ 값으로 기억된다.  $C_2$ 는 아래에 위치한 2치 D 플립플롭에 입력되어  $vs$ 값으로 기억된다. 2개의 2치 플립플롭을 사용하므로 전체 회로는 플립플롭의 기능을 가지게 된다.  $V_H=3, V_L=0$ 인 바이어스 인버터는 입력이  $vs = V_m > 1.5$ 일 때 0을 출력하고, 입력이  $vs = V_m < 1.5$ 일 때 3을 출력한다.  $V_H=2, V_L=1$ 인 바이어스 인버터는 입력이  $vs = V_m > 1.5$ 일 때 1을 출력하고, 입력이  $vs = V_m < 1.5$ 일 때 2를 출력한다.  $ps$ 값이 3이면 N형 전달 게이트의 입력 값이 출력에 전달되고,  $ps$ 값이 0이면 P형 전달 게이트의 입력 값이 출력에 전달된다. 결국 출력 Q의 논리 값은 입력 D의 논리 값과 같게 된다.

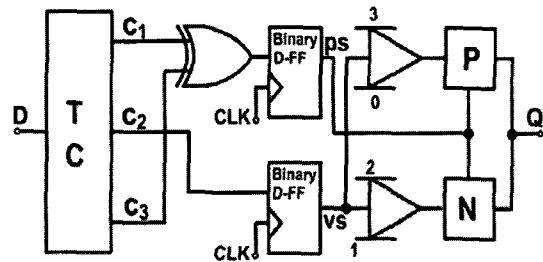


그림 9. 4치 D 플립플롭  
Fig. 9. Quaternary D flip-flop.

표 5. 4치 D 플립플롭의 동작 특성  
Table 5. Operation characteristics of Quaternary D flip-flop.

D	$C_1$	$C_2$	$C_3$	$vs$	$ps$	Q
0	3	3	3	3	0	0
1	0	3	3	3	3	1
2	0	0	3	0	3	2
3	0	0	0	0	0	3

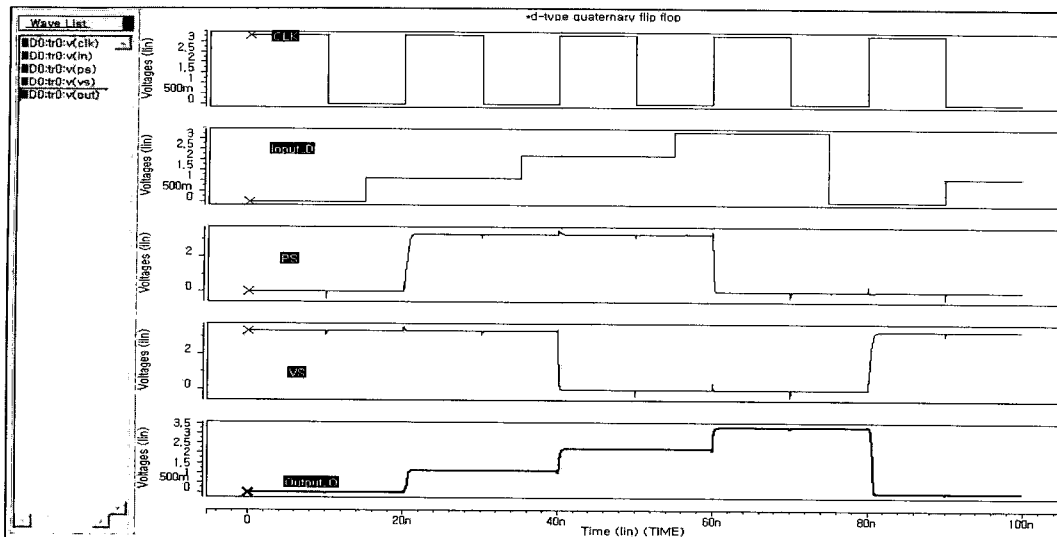


그림 10. 4치 플립플롭의 입력과 출력 파형  
 Fig. 10. Input and output waves of Quaternary D flip-flop.

표 5는 4치 입력 D에 따른 논리 값을 각각 온도계 코드 출력, *vs*, *ps*, 출력 Q에 대하여 정리하였다.

모의실험 환경은 4치 D 플립플롭의 동작 상태를 0.35  $\mu\text{m}$  1-poly 6-metal CMOS 공정상에서 HSPICE로 모의 실험 하였으며, 각 레벨은 20ns 주기로 0.0V, 1.1V, 2.2V, 3.3V를 인가하였고, 레벨간의 상승 및 하강시간은 1ps로 하였다. CLK 입력은 펄스폭 10ns, 주기 20ns, 상승 및 하강시간 1ps, 0V, 3.3V의 진폭 크기를 갖는 클럭 전압을 인가하였다. 그림 10은 이러한 입력조건 하에서 4치 D 플립플롭에 대한 모의실험 결과의 파형을 나타낸 것이다. 그림 10의 결과 파형이 표 5의 논리와 정확하게 일치하는 것을 확인할 수 있다.

#### IV. 비교 및 검토

본 논문에서 제안한 4치 D 플립플롭을 기존에 발표된 다치 플립플롭들과 회로 구성에 필요한 트랜지스터 수와 전파 지연 특성, 소비전력의 관점에서 비교하였으며 또한 상이한 모의실험 환경을 고려하여 종합적인 플립플롭 성능을 평가할 수 있는 낮은 값일수록 비교 우위에 있는 PDP지수와 높은 값일수록 비교 우위에 있는 FOM (Figure of merit)를 적용하여 표 6에 정리하였다.

표 6에서 4치 논리 플립플롭의 전파 지연 특성을 비교하는 것이 목적이나 2치 플립플롭과도 특성을 비교하기 위하여 가장 최근에 발표된 논문들을 선택하여 특성 표에 도입하였다.

Current는 2진의 CMOS RS 래치를 이용하여 30개의

표 6. 제안된 플립플롭의 성능 비교

Table 6. The performance comparison of proposed Flip-Flops.

Flip Flop 분류	저자	No. of Transistor	공정 ( $\mu\text{m}$ )	전원 (V)	Delay(ns)/P <sub>D</sub> ( $\mu\text{m}$ ) PDP/FOM
Binary F-F	Elgamel <sup>[7]</sup>	14	0.18	3.3	5385/ 5.61 30.2fJ/ 591
	Do <sup>[8]</sup>	20	0.18	1.8	0.138/ 4700 648fJ/ 177.6
	Sung <sup>[9]</sup>	18	0.18	1.5	0.402/ 47.8 19.2fJ/ 358.7
	Shin <sup>[10]</sup>	37	0.35	3.3	0.427/ 540 230 fJ/ 14.5
4치 D F-F	Current <sup>[3]</sup>	30	2	5	2.8/ 354.8 0.99pJ/ 6.9
	Inaba(I) <sup>[5]</sup>	46	0.6	3.5	420/ 80 33.6pJ/ 64.7 $\mu$
	Inaba(II) <sup>[5]</sup>	94	0.6	3.5	130/155 $\mu\text{W}$ 20.15pJ/ 52.8 $\mu$
	This paper	50	0.35	3.3	0.43/138 59.3fJ/ 33.7

트랜지스터로 구성된 4치 래치 회로를 제안하면서 CMOS 2 $\mu\text{m}$  공정에서 전원전압  $V_{CC} = 5V$ 로 모의실험한 결과, 회로의 성능은 소비전력이 354.8 $\mu\text{W}$ 일 때 500MHz의 샘플링 속도와 2.8ns의 전파지연 시간을 보였고 PDP지수와 FOM은 각각 0.99pJ와 6.9로 평가되었다.

Inaba는 뉴런 모스를 이용한 다치 게이트를 설계하고, D 플립플롭을 제안하면서 46개의 트랜지스터로 구성된 아날로그 D 플립플롭인 경우 CMOS 0.6 $\mu\text{m}$  공정에서 전원전압  $V_{CC} = 3.5V$ 로 모의실험한 결과, 회로의

성능은 소비전력이 80 $\mu$ W일 때 100MHz의 샘플링 속도와 420ns의 전파지연 시간을 보였으며, 94개의 트랜지스터로 구성된 쿼타이저 D 플립플롭인 경우 같은 모의실험 조건에서 소비전력이 155 $\mu$ W일 때 100MHz, 130ns임을 보였다. 또한 PDP지수와 FOM은 각각 33.6pJ와 64.7 $\mu$ , 20.15pJ와 148.8 $\mu$ 를 갖는다.

본 논문에서 제안한 4치 D 플립플롭은 50개의 트랜지스터로 구성되며 CMOS 0.35 $\mu$ m 공정에서 전원전압  $V_{CC} = 3.3V$ 로 모의실험 한 결과, 회로의 성능은 소비전력이 138 $\mu$ W일 때 100MHz의 샘플링 속도와 0.43ns의 전파지연을 보였으며 PDP지수와 FOM은 각각 59.3fJ와 33.7로 4치로 제안된 기존의 플립플롭보다 성능이 개선되었음을 확인하였다.

## V. 결 론

본 논문에서는 개선된 성능을 갖는 4치 D 플립플롭 제안하고 설계하였다. 제안된 4치 D 플립플롭은 뉴런모스를 기반으로 바이어스 인버터, 온도계 코드 출력회로, EX-OR 게이트, 전달 게이트를 이용하여 4치 항등 논리회로를 구성하고, 이를 2진의 RS 래치 회로와 결합하여 설계하였다. 모의실험 결과, 4치 D 플립플롭은 소비전력 138 $\mu$ W, 전파 지연시간 0.43ns, PDP지수 59.3pJ로 평가되어 기존의 4치 D 플립플롭 보다는 좋은 특성을 보였다.

본 논문을 연구하는 과정에서 발생된 뉴런모스 소자 회로의 과도한 소비전력 문제와 최대 샘플링 주파수를 높이는 문제 등은 앞으로 연구해야 할 과제이다.

## 참 고 문 헌

- [1] T. Shibata and T. Ohmi, "Neuron MOS Binary-logic integrated circuit Part I : Design fundamentals and Soft-Hardware-Logic circuit implementation," *IEEE Trans. Electron Device*, vol. 40, no. 3, pp. 570-576, Mar. 1993.
- [2] K. Kondo, H. Magata, M. Inaba, K. Tanno, and O. Ishizuka, "Voltage-Mode Multi-Input MIN and MAX circuits for Multi-Valued logic circuits," *The Second JS-MVL2001*, pp. 89-93, Miyazaki JAPAN, Aug. 2001.
- [3] K. W. Current, "Design of a quaternary latch circuit using a binary CMOS RS latch," *Proc. 30th ISMVL*, pp. 377-381, Portland, USA, May 2000.
- [4] T. Uemura, and T. Baba, "A Three-Valued D Flip-Flop and shift register using Multiple-Junction surface tunnel transistors," *Proc. 31th ISMVL*, pp. 89-93, Warsaw, Poland, May 2001.
- [5] M. Inaba, K. Tanno, and O. Ishizuka, "Multi-Valued Flip-Flop with Neuron-CMOS NMIN circuits," *Proc. 32th ISMVL*, pp. 282-288, Boston, USA, May 2002.
- [6] J. Shen, K. Tanno, and O. Ishizuka, "Down literal circuit with Neuron-MOS transistors and its applications," *Proc. 29th ISMVL*, pp. 180-184, Freiburg, Germany, May 1999.
- [7] M. Elgamel, T. Darwish, M. Bayoumi, "Noise tolerant low power dynamic TSPCL D Flip-Flops," *Proc. IEEE CSAS 2002*, pp. 80-85, Apr. 2002.
- [8] M.A. Do, X.P. Yu, J.G. Ma, K.S. Yeo, R. Wu, Q.X. Zhang, "A 2GHz programable counter with new Re-Loadable D Flip-Flop," *Conf. IEEE Electron Devices & Solid-state Circuits*. 2003, pp. 269-272, Dec. 2003.
- [9] Y.Y. Sung, R.C. Chang, "A novel CMOS Double-Edge triggered Flip-Flop for Low-Power applications," *Proc. IEEE ISCAS 2004*, pp. 665-668, May 2004.
- [10] S.D. Shin, B.S. Kong, "Variable sampling window Flip-Flops for Low-Power High-Speed VLSI," *Proc. IEE Devices & Systems*, pp. 266-271, June 2005.

저 자 소 개



나 기 수(정회원)  
 1997년 건양대학교 컴퓨터공학과 졸업.  
 1999년 인하대학교 전자공학과 석사 졸업.  
 2005년 인하대학교 전자공학과 박사 졸업.

2005년~현재 가톨릭대학교 정보통신전자공학부 강의전담교수.

<주관심분야 : 아날로그 로직 설계, 오류정정부호 설계, 유한체 연산회로 설계 등>



최 영 희(정회원)  
 1980년 단국대학교 전자공학과 졸업.  
 1982년 인하대학교 전자공학과 석사 졸업.  
 2006년 인하대학교 전자공학과 박사 졸업.

2007년 현재 재능대학교 디지털 정보전자과 교수.

<주관심분야 : 유한체 연산회로 설계, SMPS 등>