

기술 특 집

# Analog-Mixed Simulation을 이용한 Poly-Si TFT AMOLED의 System On Glass 설계

이용민 (한양대학교 전자통신컴퓨터공학부)

## I. 서 론

Poly-Si TFT를 사용하는 AMOLED에서는 System On Glass(SOG) 설계기술을 이용하여 주변회로를 집적할 수 있어 저가격화 및 구동 IC의 수를 줄일 수 있는 장점이 있다. 그런데 최근에 AMOLED의 고정세화로 SOG설계를 이용하여 더 많은 주변회로의 집적이 요구되면서 아날로그회로와 디지털회로 블록이 혼재된 회로(예를 들면 디지털-아날로그 컨버터(DAC),<sup>[1]</sup> DC-DC 컨버터, 프레임메모리,<sup>[2]</sup> 타이밍 컨트롤러 등)에 대한 설계가 불가피하고 점점 많아지는 추세이다. 그러나, 이러한 혼합 블록 회로를 SOG에 실현하는 데는 많은 문제점들이 있다.

기존의 SOG설계는 주로 아날로그회로를 대상으로 아날로그 시뮬레이션에 주력하고 있어서 transistor-level 시뮬레이션이 주로 사용된다. Transistor-level 시뮬레이션은 시뮬레이션속도가 느리고 설계자의 노력이 많이 필요하며 용량이 한정되어 있다는 단점이 있다. 예를 들어 QVGA 용 One-chip의 mobile driver IC의 SOG 회로 구현에는 GRAM을 포함하지 않고도 20만개 이상의 트랜지스터가 필요하다. SPICE 시뮬레이션에서는 사용할 수 있는 트랜지스터의 개수가 약 10만개로 한정될 뿐만 아니라 시뮬레이션 시간도 오래 걸린다. 그래서 지금까지는 이러한 제약조건들로 인해 설계자들이 회로시뮬레이션을 할 때 전체회로에 대한 시뮬레이션을 일시에 하지 못하고 부분적으로 시뮬레이션을 수행함으로써 각 블록간의 신호간의 timing 오류 등이 발생할 가능성이 높아 재설계(re-spin)의 위험성이 높은 실정이다.

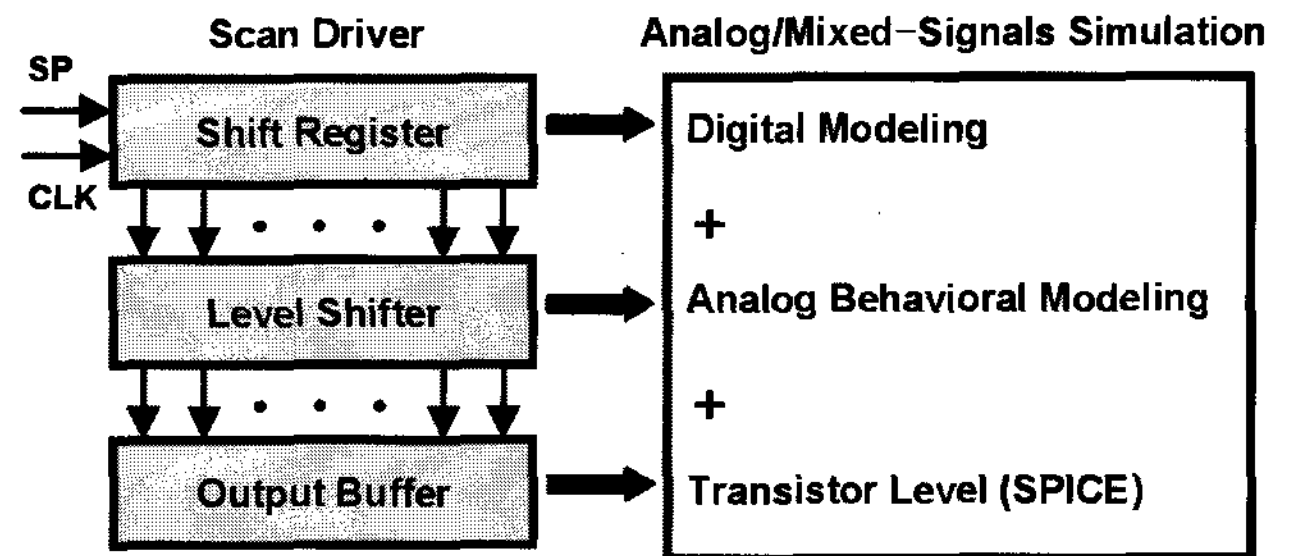
따라서 본 논문에서는 AMOLED의 구동회로와 OLED 픽셀부에 대한 전체 신호해석을 위하여 전체회로를 동시에 시뮬레이션 할 수 있는 analog mixed-signal 시뮬레이션 기법을 이용한 SOG 회로설계 방안을 제시한다.<sup>[3]</sup> 이 AMS 시뮬레이션은 system-on-chip(SOC)분야에서는 널리 이용되고 있으나<sup>[4, 5]</sup> SOG 분야에서는 아직 아날로그 시뮬레이션으로 부분적인 해석을 통해 설계를 하고 있다.<sup>[6]</sup> 그 주된 이유는 Poly-Si TFT가 아직 표준화할 정도로 안정화되어

있지 못하여 아날로그 시뮬레이션이 Poly-Si TFT의 특성에 최적의 설계 틀이라고 생각하고 있기 때문이다. 그러나, 이 analog/mixed signal simulation(AMS)이 기존의 아날로그 시뮬레이션에 비해 시뮬레이션 용량과 속도 면에서 큰 진전을 보일 것이며, AMOLED의 주변회로와 패널의 픽셀 회로를 포함한 전체 신호해석을 동시에 진행하는 설계가 가능해질 것으로 본다.

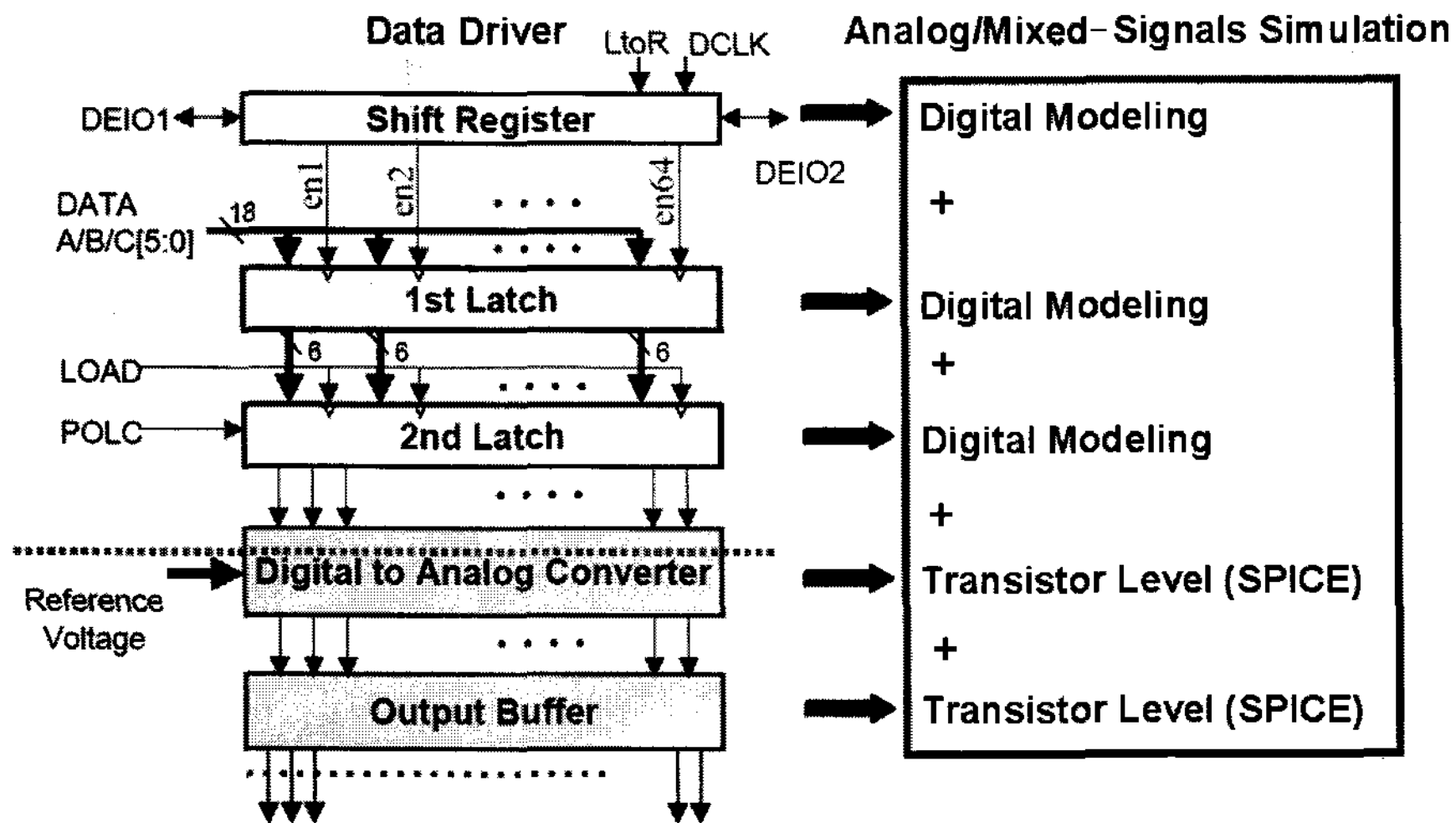
## II. 본 론

### 1. 실험방법

AMS 시뮬레이션 기법과 기존의 SPICE 시뮬레이션과의 비교를 위해 AMOLED 2" QVGA(320×240) SOG 디스플레이의 data driver와 scan driver의 시뮬레이션을 바탕으로 본 실험을 행하였다. Scan driver의 경우는 SPICE로 전체 240단의 출력을 함께 시뮬레이션 하기에는 시간이 너무 걸려 일반적으로 verification단계에서 20단씩 나누어서 SPICE 시뮬레이션을 한다. 반면에 data driver는 360개의 DAC 출력단이 있는데 시뮬레이션시간과 용량의 제한으로 매회마다 DAC 1단만 시뮬레이션을 하여 설계를 하고 있는 실정이다. 그러나 본 논문에서는 AMS 시뮬레이션 기법과 기존의 SPICE 시뮬레이션과의 비교를 위해 전체 출력단의 시뮬레이션을 동시에 행하였다. Scan driver는 [그림 1]과



[그림 1] Scan driver의 블록도와 시뮬레이션 방법



[그림 2] Data driver의 블록도와 시뮬레이션 방법

같이 shift register, level shifter, output buffer단으로 구성되며 shift register단은 디지털 블록이므로 VHDL로 시뮬레이션 하였으며 level shifter단은 VHDL-AMS로 아날로그 behavior 모델링을 하였으며 output buffer단은 아날로그 블록으로 SPICE로 트랜지스터 레벨 시뮬레이션을 하였다.

Data driver의 경우는 [그림 2]와 같이 디지털 블록인 shift register, 1st latch, 2nd latch단은 VHDL로 디지털 모델링 하였고 DAC단과 output buffer단은 data driver의 정밀도를 고려하여 SPICE로 트랜지스터 레벨 시뮬레이션을 하였다.

AMS 시뮬레이션 프로세스는 [그림 3]과 같다. 첫번째로, specification에 따라 각 단위회로 별로 SPICE 시뮬레이션을 행하였다. 시뮬레이션 결과에 따라 적절한 디지털과

아날로그 behavior 모델링이 행해진다(어떤 모델링을 사용할 지의 결정은 어느 정도의 시뮬레이션 정확도가 요구되는 지에 달려있다: 예를 들어 DAC 회로는 일반적으로 정확도가 매우 높게 요구되므로 아날로그 behavior 모델링을 하지 않고 트랜지스터 레벨로 시뮬레이션 한다). SPICE 시뮬레이션 결과를 모델링 verification이 끝나면 전체회로 시뮬레이션을 위해 전체회로(아날로그 블록, 디지털 모델링 블록, 아날로그 behavior 모델링 블록)가 설계된다. 마지막 단계로 설계자는 AMS 시뮬레이션으로 설계된 전체회로에 대한 시뮬레이션을 실시한다.

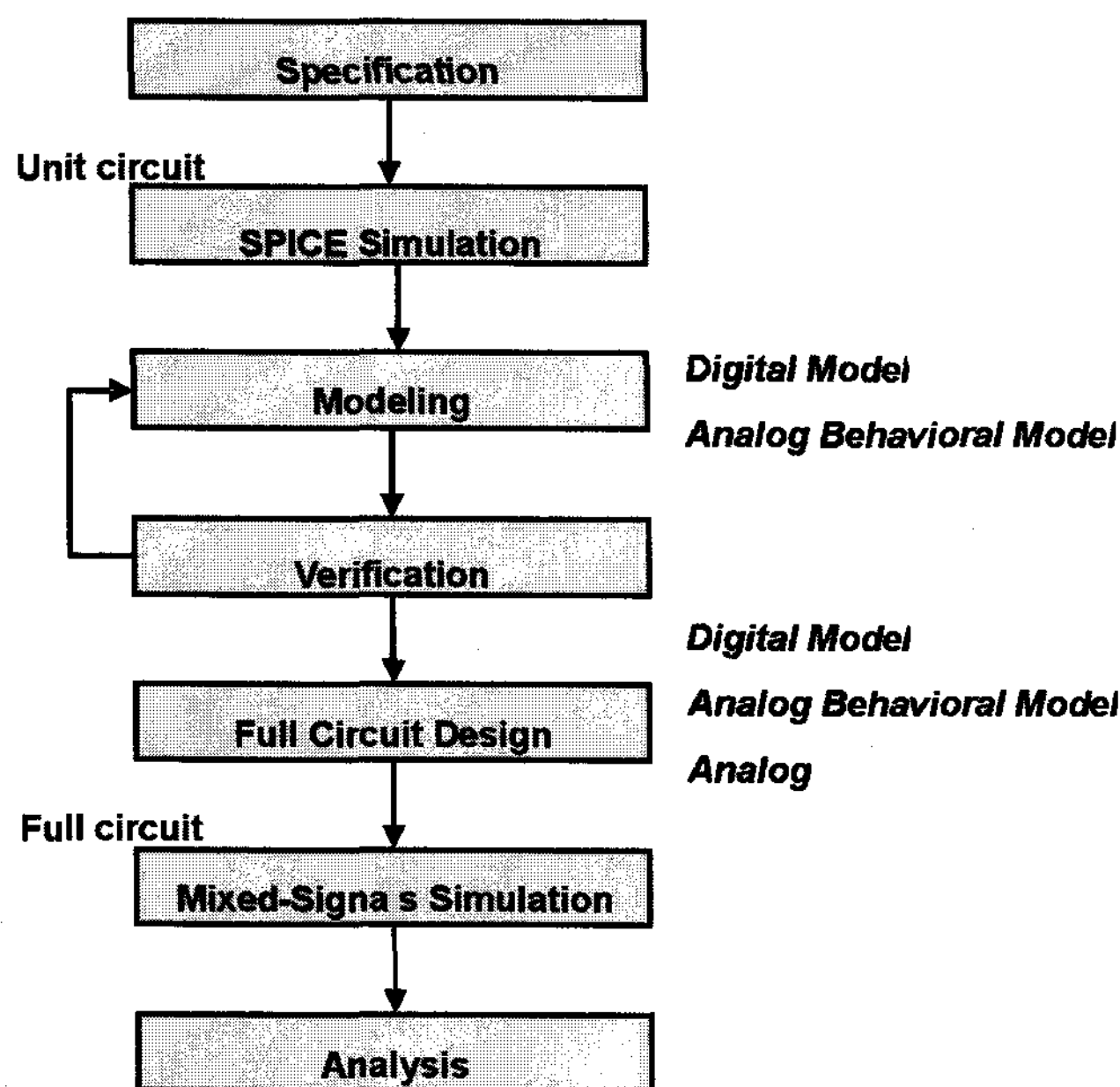
## 2. SPICE 시뮬레이션

### 1) Scan driver

Scan driver는 세 블록으로 구성되어 있는데, 첫 번째로 scan 패턴을 발생시키는 역할을 하는 shift register 블록은 shift register와 3-input NAND 회로로 구성된다. 둘째로, level shifter 블록은 저전압 신호레벨을 고전압 신호레벨로 바꿔주는 역할을 수행한다. 세 번째 블록은 output buffer로 비교적 높은 캐패시턴스와 저항부하를 구동하기 위함이다. SPICE 시뮬레이션에 사용된 트랜지스터 모델은 RPI Poly-Si TFT 모델이며 240단의 QVGA를 SPICE 시뮬레이션을 한 결과 61,486초가 걸렸다. 전체 transient time(2 프레임 구간)은 0.034초이었고 69,657개의 node와 10,611개의 component가 시뮬레이션에 사용되었다.

### 2) Data driver

Data driver는 5개의 블록으로 구성되어 있다. Shift register는 1st latch의 sampling clock을 만들어주는 역할을 하며 1st latch는 sampling latch로서 sampling clock에 의해 데이터를 sampling 한다. 2nd latch는 1st latch에 의해 샘플링 된 데이터를 load 신호가 트리거 될 때까지 유지시킨다. DAC는 6비트의 디지털신호를 아날로그 신호로 reference 전압에 따라 변환시킨다. 마지막으로



[그림 3] AMS 시뮬레이션 프로세스

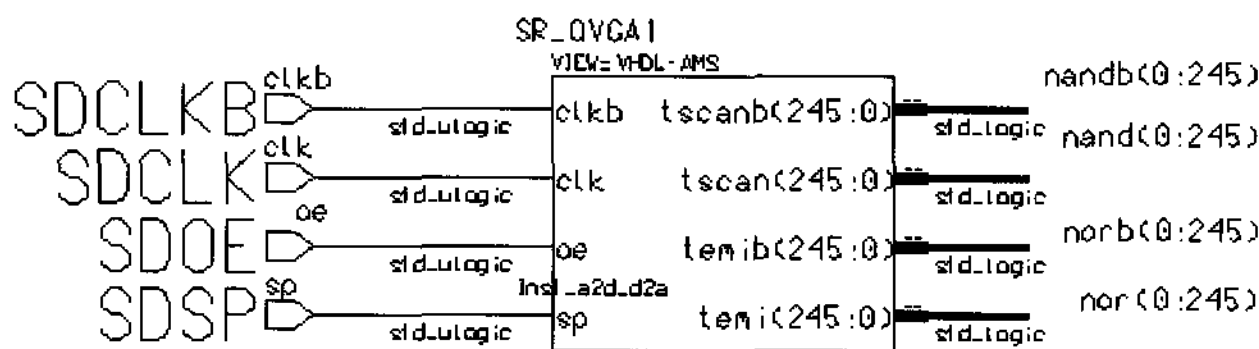
buffer단은 패널부 구동하는 역할과 함께 정확한 감마전압 제어를 수행한다. 1:2 DEMUX 회로(저온 Poly-Si 패널에 자주 사용되며 QVGA 해상도에서 180단의 DAC가 필요)와 정전기 방지회로도 data driver시뮬레이션에 함께 포함되었다. 전체 data driver단의 시뮬레이션에 필요한 component수가 162,038개인데 시뮬레이션을 실시해 본 결과 component수가 시뮬레이션에 사용된 컴퓨터메모리 용량과 SPICE 시뮬레이터의 한정된 용량을 초과했기 때문에 SPICE 시뮬레이션에 실패했다.

### 3. AMS 시뮬레이션

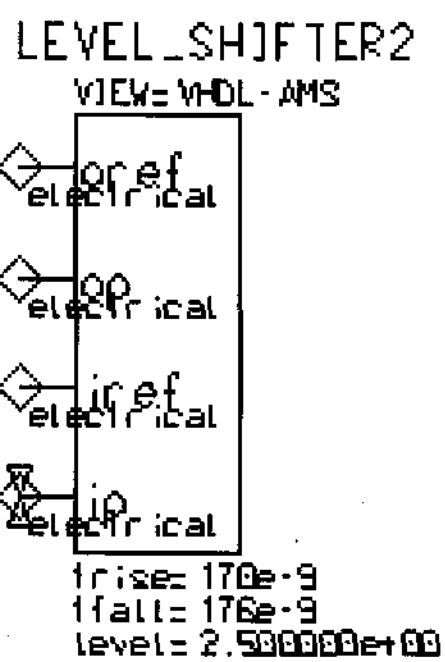
#### 1) Scan driver

Shift register, 3-input NAND, 2-input NOR, inverter 회로는 VHDL을 사용하여 디지털회로 블록으로 모델링 하였고 function 검증은 ModelSim을 사용하였다. 그리고 VHDL코드는 Mixed-signal 시뮬레이션을 위해 컴파일 되었다. [그림 4] (a)는 AMS 설계 tool내의 shift register블록에 대한 심벌을 나타내었다. SDCLK, SDCLKB, SDOE, SDSP와 같은 입력신호들은 아날로그신호로서 시뮬레이션을 위해서는 ADC를 통해 디지털신호로 변환되어야 한다. 출력부는 DAC를 통해 디지털신호 정보가 아날로그신호로 변환된 NAND[i], NANDB[i], NOR[i], NORB[i] 로 구성된다.

Level shifter회로 블록은 VHDL-AMS를 사용하여 아날로그 behavior 모델로 대치된다. [그림 4] (b)는 AMS 설계 tool에서 level shifter 블록의 등록된 심벌을 나타낸다. [그림 5]는 level shifter를 SPICE로 시뮬레이션 한 결과와  $\pi$ 와 VHDL-AMS로 아날로그 behavior 모델링을 한

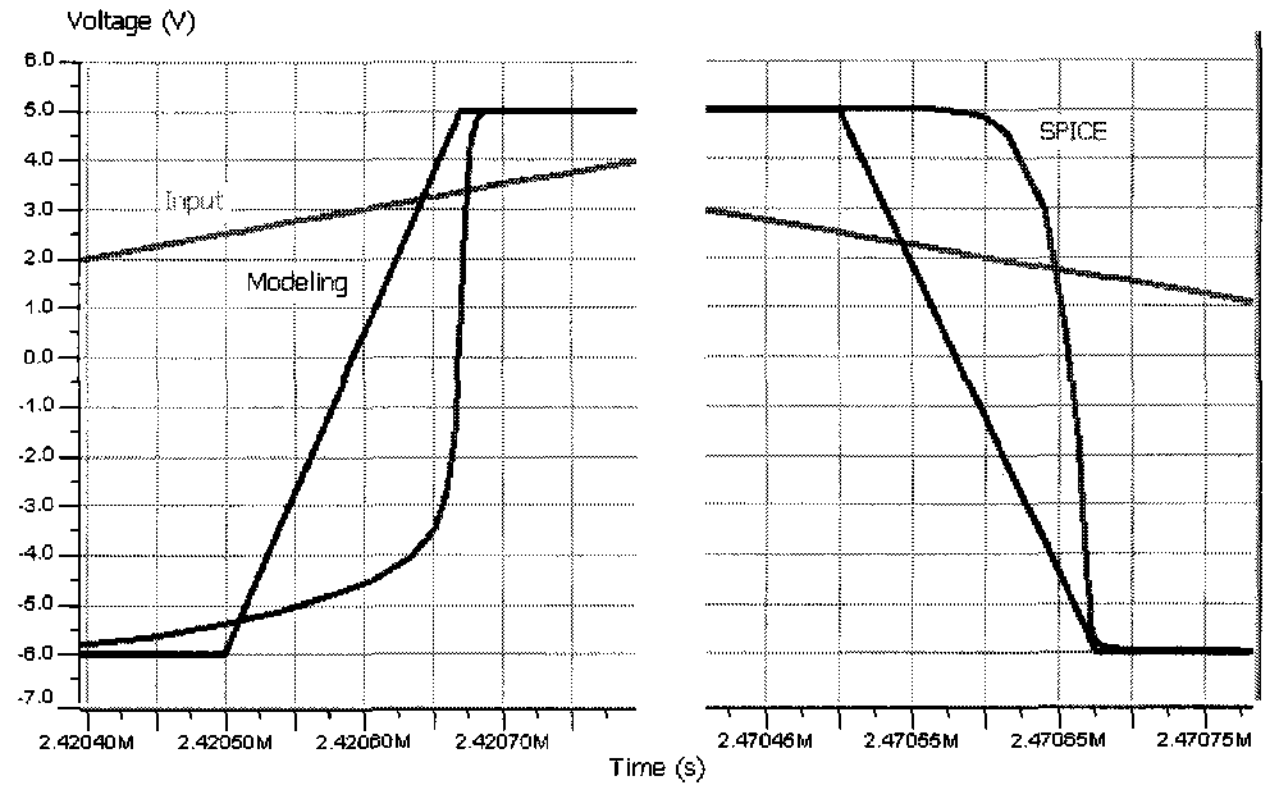


(a)



(b)

[그림 4] AMS설계 tool내에 등록되어 있는 심벌; (a) shift register블록 심벌, (b) level shifter블록 심벌



[그림 5] level shifter에 대한 SPICE 시뮬레이션과 아날로그 behavior 모델링에 의한 출력특성 비교

결과에 대한 출력파형의 rising time과 falling time 특성을 나타낸다. 이 모델링에서는 input 전압으로 간단한 ramp 타입의 펄스를 사용하는데 그 펄스는 2.5V의 문턱전압에서 rising time이 170ns, falling time이 176ns를 갖는다. 펄스가 off될 때 최대 에러 값은 110ns인데 정확한 모델링을 하면 이런 에러를 제거 할 수 있지만 본 논문의 scope 범위에서는 다루지 않는다.

이와 같이 디지털 모델로 대치된 shift register 블록, 아날로그 behavior 모델로 대치된 level shifter 블록과 아날로그 회로블록인 output buffer를 포함한 전체 scan driver에 대해 AMS 시뮬레이션을 실시하였다. 이 AMS 시뮬레이션은 3,276초가 소요되었으며 SPICE 시뮬레이션보다 대략 19배 빠른 속도이다. 사용된 컴포넌트 수를 비교하면 AMS 시뮬레이션에 1,975개의 컴포넌트가 사용되어 SPICE 시뮬레이션에 사용된 컴포넌트에 비하면 18%에 불과하다. 그 결과는 [표 1]에 요약하였다. Scan driver 240단의 최종 출력 단에 대해 SPICE 시뮬레이션과 모델링에 의한 AMS시뮬레이션 결과에 비교를 [그림 6]에 나타내었다. 양 시뮬레이션간의 scan 단자 출력 신호의 최대오차는 38.3ns 이고 emission출력 신호의 최대오차는 50.5ns이다.

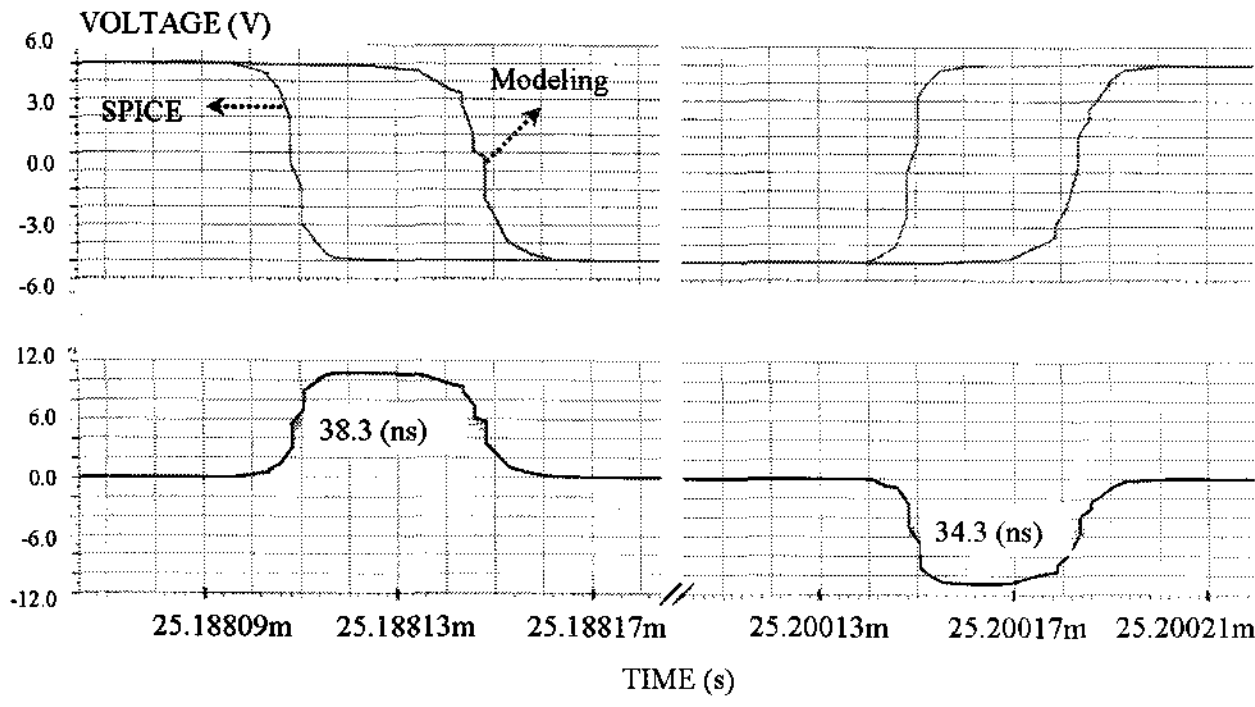
#### 2) Data driver

Data driver내의 shift register, latch와 같은 디지털블록은 디지털모델로 대치되었고 DAC 블록 안에 있는 inverter와 3-input NAND도 디지털블록으로 모델화하였다. 그리고 ModelSim을 통해 Function 검증을 실시하였다. [그림 7]은 shifter resister 블록과 latch에 대한 SPICE 시뮬

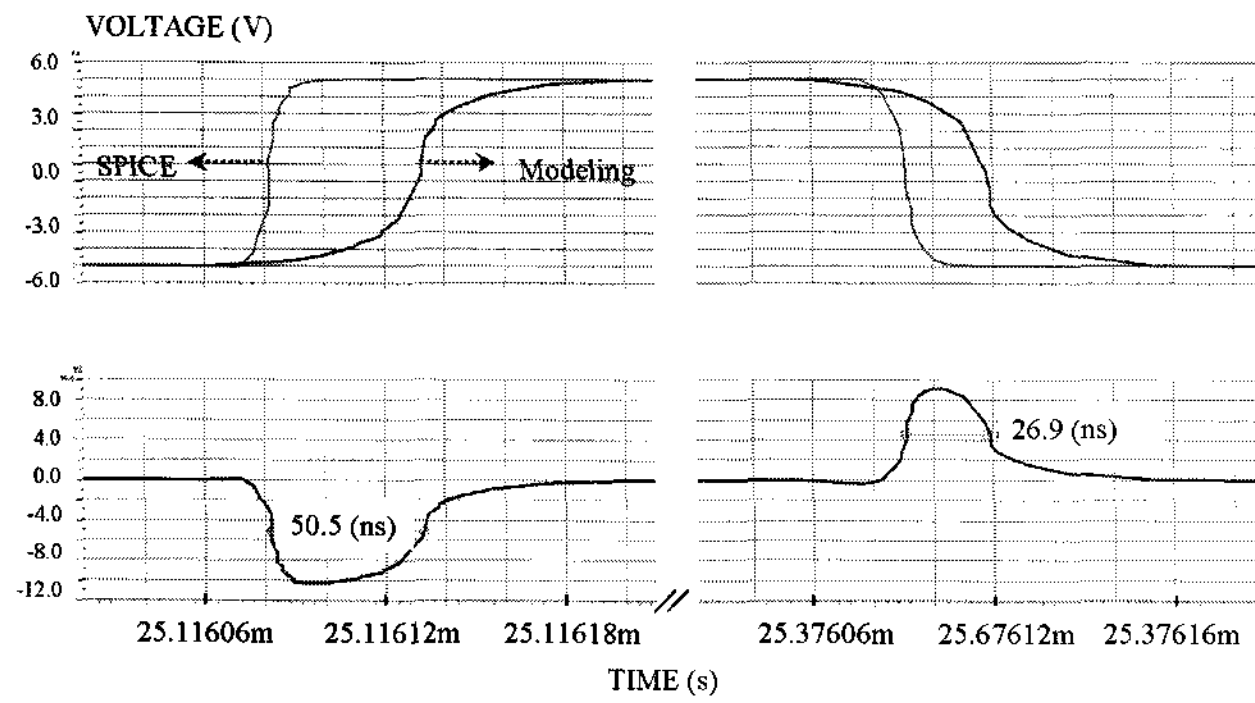
[표 1] scan driver에 대한 시뮬레이션 결과 비교

	SPICE	AMS
Transient Time (s)	0.034	0.034
Number of Nodes	69,657	10,584
Number of Components	10,616	1,975
Simulation Time (s)	61,686	3,276





(a)



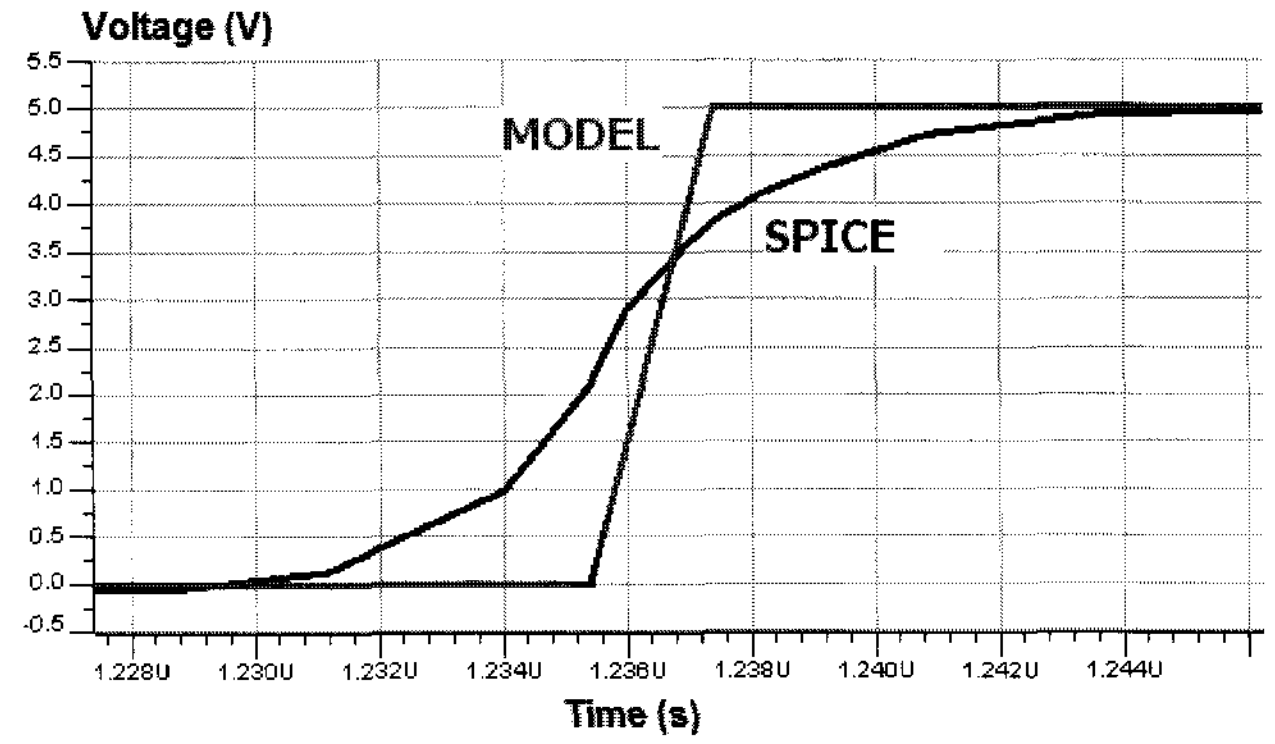
(b)

[그림 6] scan driver의 240번째 최종 출력 단의 SPICE 시뮬레이션과 AMS시뮬레이션 결과 비교; (a) 위쪽 파형그림은 각 시뮬레이션에 대한 scan 출력신호 파형, 아래쪽 파형그림은 양시뮬레이션 간의 신호차이를 표시함 (b) 위쪽 파형그림은 각 시뮬레이션에 대한 emission 출력신호 파형, 아래쪽 파형그림은 양 시뮬레이션간의 신호차이를 표시함

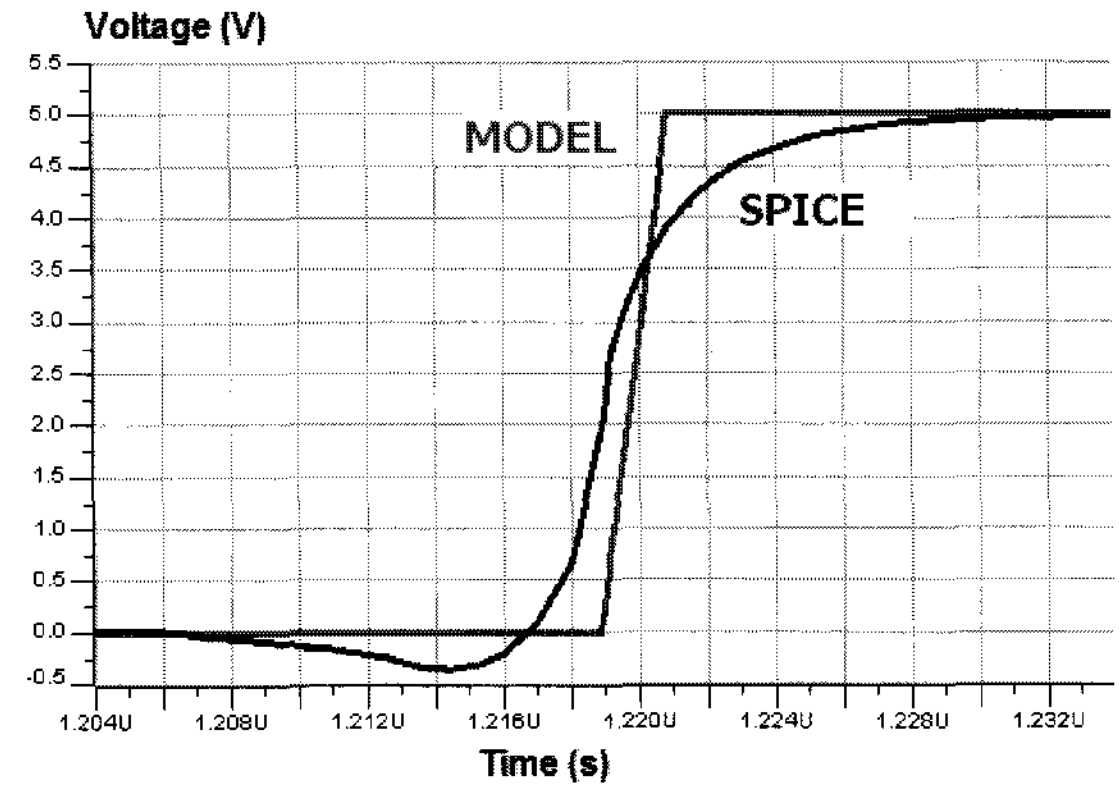
레이션과 디지털 모델링에 의한 AMS 시뮬레이션 출력파형의 rising time을 비교했다.

이와 같이 하여 data driver의 컴포넌트 들은 162,038개에서 40,393개로 약 25%로 줄일 수 있었다. 전체 data driver의 시뮬레이션은 SPICE 시뮬레이션으로는 용량초과로 인해 시뮬레이션이 완료되지 못한 반면 AMS 시뮬레이션으로는 21,504초 만에 시뮬레이션이 성공적으로 완료되었다.

Data driver의 단위채널에 대한 SPICE 시뮬레이션과 AMS 시뮬레이션을 수행한 결과를 [그림 8]에 나타냈다. Data driver의 각 단위채널의 출력파형의 timing은 타이밍 컨트롤러로부터 들어오는 입력신호인 pre-charge 신호 (PRE로 표기)와 demux신호(DMO로 표기)에 의존하기 때문에 신호timing면에서 AMS 시뮬레이션 결과는 SPICE 시뮬레이션 결과와 크게 차이가 없다. 또한 출력전압의 크기는 주로 DAC에 의해 결정되기 때문에 AMS 시뮬레이션에서도 DAC 블록은 SPICE와 같이 트랜지스터 레벨의 아날로그 시뮬레이션을 실시하므로 [그림 8]에 나타냈듯이 양 시뮬레이션간의 출력전압의 차이는 별로 보이지 않는다.

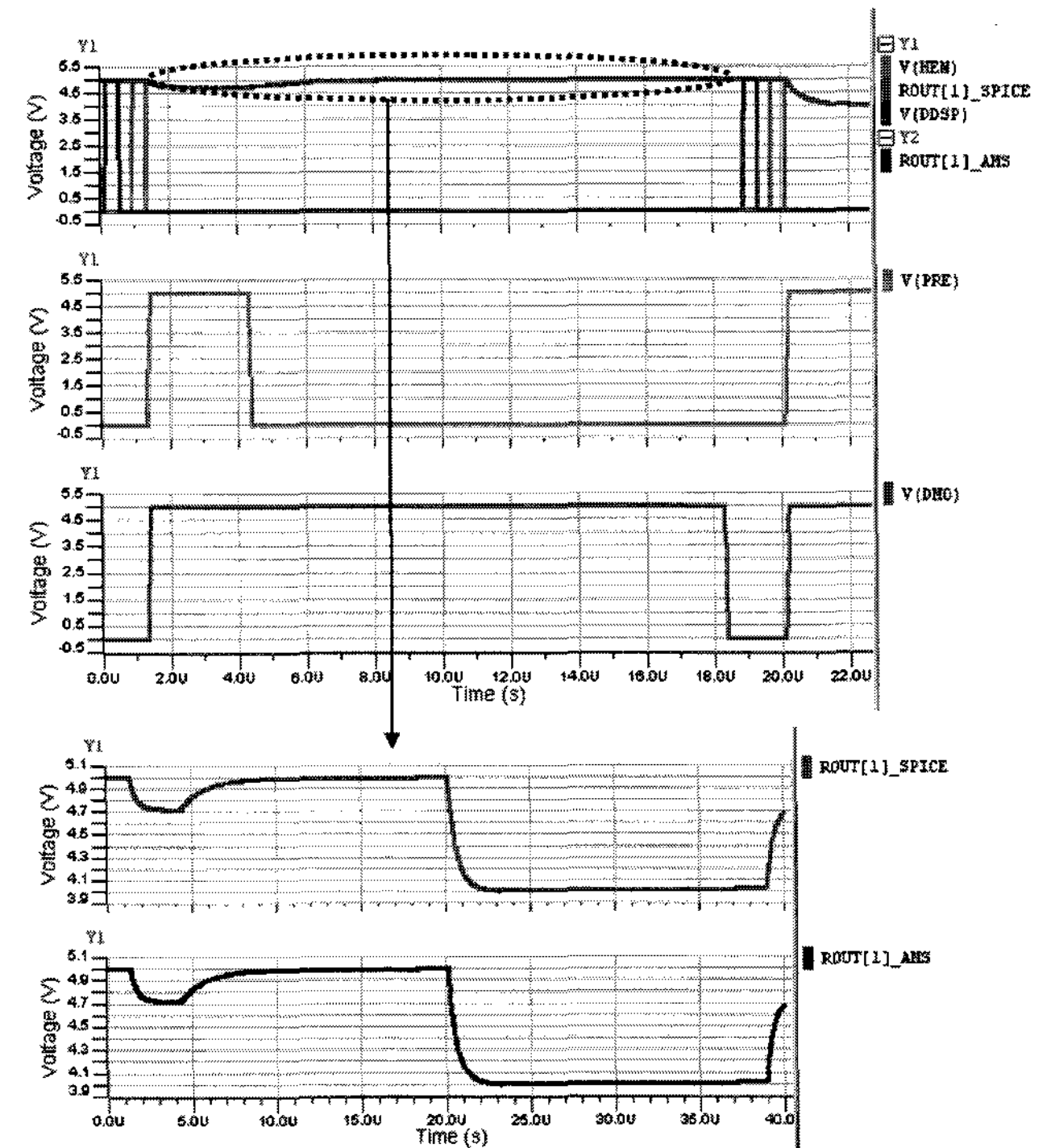


(a)

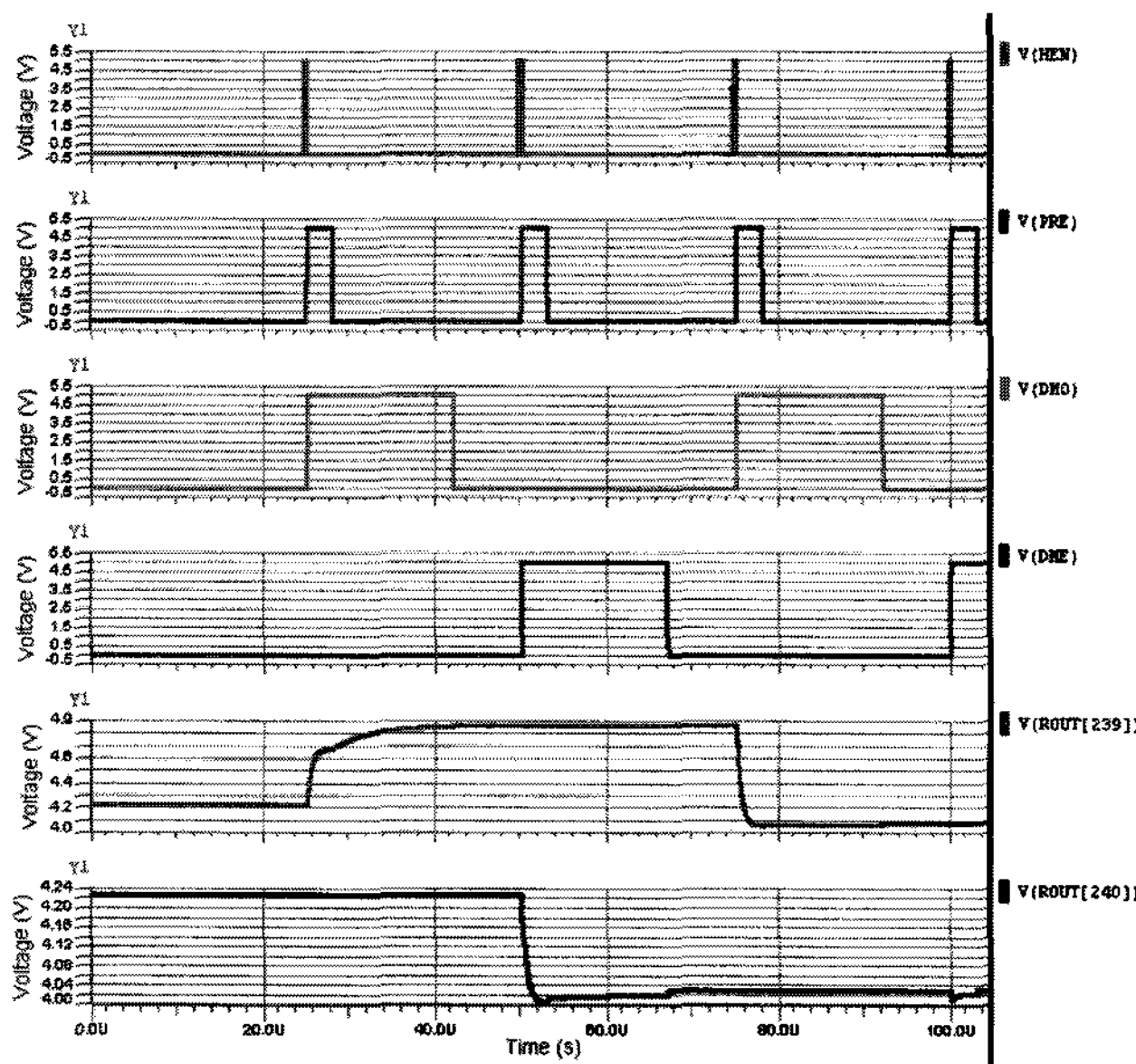


(b)

[그림 7] SPICE 시뮬레이션과 디지털 모델링에 의한 AMS 시뮬레이션 출력파형의 rising time 비교; (a) shifter resistor의 출력파형 비교 (b) latch의 출력파형 비교



[그림 8] Data driver 단위채널에 대한 SPICE 시뮬레이션과 AMS 시뮬레이션의 출력파형



[그림 9] Data driver 360채널에 대한 AMS시뮬레이션의 출력파형

최종적으로 1:2 DEMUX를 사용하는 전체 360채널의 data driver의 시뮬레이션 결과를 [그림 9]에 나타내었다. HEN 신호는 holding latch의 load신호이고, PRE 신호는 fast charging을 위한 pre-charge 신호이다. DMO와 DME는 DEMUX를 위한 enable신호인데 DMO는 홀수번째 픽셀부를 컨트롤하고 DME는 짝수번째 픽셀부를 컨트롤한다. V(ROUT[239])와 V(ROUT[240])은 각각 239번째 red sub-pixel과 240번째 red sub-pixel의 출력파형을 나타낸다. 결과적으로 전체 360채널 data driver에 대한 시뮬레이션을 SPICE시뮬레이션과 같은 정확도와 함께 짧은 시간에 시뮬레이션을 성공적으로 완료되었음을 나타낸다.

### III. 결 론

본 논문에서는 QVGA급 AMOLED의 scan driver와 data driver의 SOG설계에서 AMS 시뮬레이션을 설계 프로세스에 도입하여 기존의 SPICE 시뮬레이션과 비교하였다. Scan driver의 경우는 shift resistor와 level shifter블록을 각각 디지털 모델과 아날로그 behavior 모델로 변환하여 AMS 시뮬레이션 한 결과 기존의 SPICE 시뮬레이션의 정확도를 유지하면서 SPICE 시뮬레이션보다 시뮬레이션 시간을 19배 줄 일수 있었다. Data driver의 경우는 전체 360채널에 대해 SPICE로는 시뮬레이션이 불가능한 반면, shift resistor, sampling latch, holding latch블록을 디지털 모델링하여 AMS 시뮬레이션 한 결과 매우 짧은 시간에 시뮬레이션이 성공적으로 완료되었다. 따라서 AMS 시뮬레이션 프로세스를 AMOLED의 SOG설계에 도입하여 전체

회로해석으로 설계시간 단축 및 좀 더 정확한 신호해석이 가능하게 되었다. 본 논문에서 도입한 AMS시뮬레이션의 다음단계의 목표는 AMOLED의 전체 패널에 대한 시뮬레이션을 달성하는 것인데 이를 위해서는 OLED 픽셀, 픽셀구동회로, RC 지연부에 대한 모델이 필요하다. 그러면 제품의 제작 전에 전체 패널에 대한 동작특성을 사전에 볼 수 있어 개발 리드타임을 상당히 단축할 수 있을 것이다.

마지막으로, 본 논문을 위해 협조해 주신 삼성SDI(주) 중앙연구소 CAE팀에 깊이 감사드린다.

### 참 고 문 헌

- [1] H. Kageyama, M. Miyamoto, H. Akimoto, S. Nishitani, T. Sato, and T. Miyazawa, SID '05. Digest of the 2005 Society for Information Display, pp.1042-1045, 2005.
- [2] H. Haga, Y. Nanaka, Y. Kitagishi, Y. Kamon, T. Matsuzaki, Y. Sato, H. Asada, T. Otose, and D. Sasaki, SID '05. Digest of the 2005 Society for Information Display, pp.1106-1109, 2005.
- [3] K. S. Karini, P. Servati, N. Mohan, A. Nathan, and J. A. Rowlands, ISCAS '01. Proceedings of the 2001 International Symposium on Circuits and Systems, Vol. 5, pp.479-482, 2001.
- [4] K. Kundert, H. Chang, D. Jefferies, G. Lamant, E. Malavasi, and F. Sendig, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, No. 12, pp.1561-1571, 2000.
- [5] M. Zwolinski, and A. D. Brown, ISCAS '04. Proceedings of the 2004 International Symposium on Circuits and Systems, Vol. 5, pp.632-635, 2004.
- [6] H. Hara, S. Inoue, T. Shimoda, N. Bavidge, and P. Migliorato, IDW '02. Proceedings of the 2002 International Display Workshop, pp.287-290, 2002.

### 저 자 소 개



이 용 민

1986년 인하대학교 전자공학과 학사, 1998년 University of Warwick (영국) M.B.A, 2005년 University of Edinburgh (영국) 전자공학과 Ph.D., 1986년~2007년 3월 : 삼성SDI(주) 수석연구원, 2007년 3월~현재 : 한양대학교

전자통신컴퓨터공학부 연구교수