

FPGA를 이용한 우주 입자환경 관측용 초소형 입자검출기 시스템 설계

유광선^{1†}, 오대수¹, 김성준¹, 김희준¹, 이재진¹, 신구환¹, 고대호², 민경욱², 황정아^{2‡}

¹한국과학기술원 인공위성연구센터

²한국과학기술원 물리학과

DESIGN OF COMPACT PARTICLE DETECTOR SYSTEM USING FPGA FOR SPACE PARTICLE ENVIRONMENT MEASUREMENT

K. Ryu¹, D. S. Oh¹, S. J. Kim¹, H. J. Kim¹, J. J. Lee¹, G. H. Shin¹,
D. H. Ko², K. W. Min², and J. A. Hwang²

¹Satellite Technology Research Center, KAIST, Tae-jeon 305-701, Korea

²Department of Physics, KAIST, Tae-jeon 305-701, Korea

E-mail: ksryu@satrec.kaist.ac.kr

(Received February 13, 2007; Accepted May 11, 2007)

요 약

우주환경의 주 요소인 고에너지 입자를 검출하기 위한 고분해능 전자 및 양성자 검출기를 설계하였다. 전자와 양성자의 flux는 궤도상의 위치나 태양활동에 따라 급격하게 변할 수 있다. 이러한 상황에서 높은 에너지 분해능으로 입자환경을 검출, 연구하기 위한 검출기의 개념설계를 시도하였으며, 이를 실제 우주환경에서 어느 정도의 성능을 가질 수 있는지를 예측하여 보았다. 또한, 높은 입자 플럭스에도 정상적인 측정이 가능할 수 있도록 FPGA를 이용한 병렬 처리 알고리즘을 고안하고 전산모사 기법을 통하여 성능을 평가하였다.

ABSTRACT

We have designed a high resolution proton and electron telescope for the detection of high energy particles, which constitute a major part of the space environment. The flux of the particles, in the satellite orbits, can vary abruptly according to the position and solar activities. In this study, a conceptual design of the detector, for adapting these variations with a high energy resolution, was made and the performance was estimated. In addition, a parallel processing algorithm was devised and embodied using FPGA for the high speed data processing, capable of detecting high flux without losing energy resolution, on board a satellite.

Keywords: PACS 87.65.+y space environment, 07.87.+v spaceborne and space-research instruments, 29.40.Wk semiconductor detectors for nuclear physics

[†]corresponding author

[‡]현재: 한국천문연구원 우주환경연구부

1. 서 론

인공위성 관측을 이용한 우주 입자환경에 대한 연구는, 우주개발 초기 단계인 1958년 미국의 Explorer호에 실린 가이저 계수기(Geiger counter)에 의해, 지구 자기권 내에 고에너지 하전입자들이 분포하는 반알렌 방사능 대(Van Allen et al. 1959)가 발견되면서부터 시작되었다. 이후 지구 자기장에 묶여 있는 입자들의 종류와 공간적 분포 및 에너지 분포 등에 대한 연구를 위하여 인공위성과 로켓을 이용한 방사선대의 관측이 시작되었고, 오로라, 자기폭풍, 이온층, 태양풍 및 우주방사선 등에 대한 연구도 더불어 발전하였다. 우주 입자환경은 위성체와 그 운용에 있어서, Total Ionizing Dose Effects(Schwank 2002)나 Single Event Effects(Weatherford 2002) 등을 통해 심각한 영향을 미치며, 이를 예측하고 방지하고자 하는 관련연구도 함께 성장하였다(Hastings & Garrett 1996).

우주환경 연구에 큰 성과를 거둔 미션으로는 CRRES(Combined Release and Radiation Effects Satellite)(Schriver & Haerendel 1991), POLAR(Blake et al. 1995), SAMPEX(Solar Anomalous and Magnetospheric Particle Explorer)(Baker et al. 1993, Mason et al. 1998), WIND(Lin et al. 1995), FAST(Fast Auroral Snapshot Explorer) (Sigsbee et al. 1998) 등이 있다. 우리나라의 경우 인공위성을 이용한 우주환경 관측은 우리별 1호의 CPE(Cosmic Particle Experiment)와 TDE(Total Dose Experiment)에 의해 시작되었으며, 우리별 2호의 LEED(Low Energy Electron Detector), 우리별 3호의 SENSE(Space ENvironment Scientific Experiment), 다목적 실용위성 1호의 HEPD(High Energy Particle Detector) 그리고 최근에는 2003년 발사된 과학기술위성 1호의 FIMS(Far-ultraviolet IMaging Spectrograph)(Edelstein et al. 2006, Ryu et al. 2006)와 SPP(Space Physics Package)(Lee et al. 2005) 등으로 이어지고 있다.

이 연구에서는 우리나라에서 지금까지 관측이 이루어지지 않은 1MeV 이상의 우주입자를 검출하기 위한 소형위성용 입자 검출기를 개념설계하였다. 3장에서는 이전의 입자 검출기가 가진 에너지 분해능을 향상시키기 위해 FPGA를 이용한 병렬처리 에너지 분별기의 개념설계를 소개하였으며, 4장에서는 전산모사 기법을 통하여 에너지 분별기의 성능을 예측한 결과를 소개한다.

2. 지구 주변의 우주 입자환경

인공위성이 운용되는 공간인 지구 주변의 우주 입자환경은 그 위치나 태양활동 등에 의해 그 에너지나 플럭스 분포가 크게 달라진다. 우주 입자환경에 가장 지배적인 역할을 하는 것은 태양으로서 태양풍과 지구 자기장의 상호작용은 지구 주위에 자기권(magnetosphere)이라는 자화된 플라즈마 공간을 형성하고, 태양활동에 따라 자기 폭풍(magnetic storm)이나 부자기 폭풍(sub-storm) 등의 동적인 물리현상을 수반한다. Lin et al.(1995)은 WIND 미션에 탑재된 입자검출기를 이용하여 태양풍(solar wind), 플라즈마 판(plasma sheet), 태양 플레어(solar flare), 행성간 충격파(interplanetary shock) 등 다양한 현상과 위치에서 전자 및 양성자의 에너지 플럭스 값을 측정하여 발표한 바 있다.

플라즈마 구는 자기권의 가장 안쪽에 위치한 저에너지 플라즈마 영역으로서, 이온층의 상층부에 고밀도의 저온 플라즈마로 구성되어 있다. 일반적으로 두께가 $1R_E$ 도 되지 않는 얇은 층으로 이 층을 지나면서 플라즈마 밀도가 $1,000/cm^2$ 으로부터 $10/cm^2$ 으로 감소한다. 평균고도는 $3R_E$ 에서 $7R_E$ 까지 확장되기도 한다.

지구 자기장 안에는 높은 에너지를 갖는 하전 입자들이 갇혀있으며 이를 방사선대(radiation

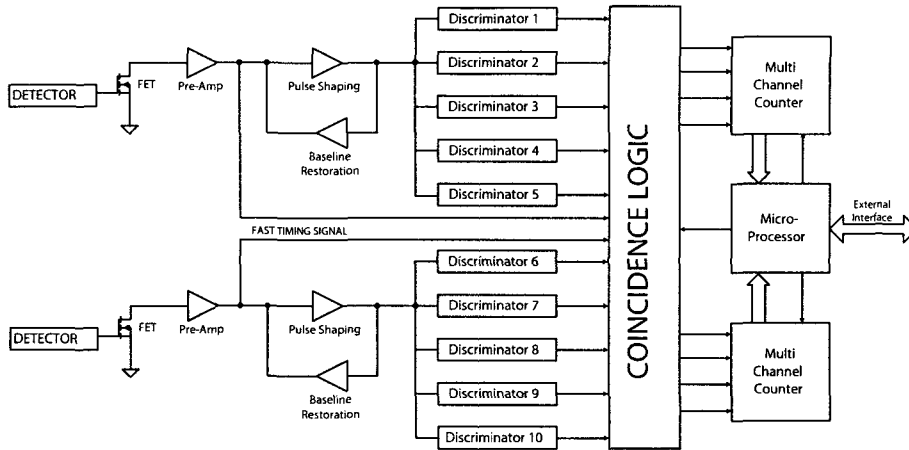


그림 1. 두개의 실리콘 검출기로 구성된 일반적 형태의 입자검출기 시스템의 블록도.

belt)라 칭하며, 내 방사선대(inner radiation belt)와 외 방사선대(outer radiation belt)로 나뉜다. 내 방사선대는 $1.2R_E$ 와 $2.4R_E$ 사이에 걸쳐 있으며, 수~수백 MeV의 에너지를 갖는 양성자들이 존재한다. 이들 고에너지 하전 입자의 근원은 우주선(cosmic ray)인 것으로 알려져 있으며, 고에너지 우주선이 붕괴되어 생기는 중성자가 지구 자기장의 영향을 받지 않고 지구 가까이 도달한 후 이들 중성자가 다시 양성자와 전자로 붕괴되어 지구 자기장에 갇히게 된다는 CRAND(Cosmic Ray Albedo Neutron Decay) 이론(Freden 1969)에 의해 설명되고 있다. 한편 외 방사선대는 ~ MeV의 고에너지 전자 플럭스가 증가하는 공간을 말하며, 이들 고에너지 전자플럭스의 기원은 정확히 알려지지 않았다.

위치에 따라 상존하는 입자 환경이 있는가 하면, 우주선 혹은 태양 입자 방출현상(solar particle event)과 같이 외부적 환경에 의해 전 지구적으로 영향을 받는 경우도 있다. 우주선은 고에너지 양성자(0.1GeV 이상), 전자 또는 무거운 고에너지 이온 등으로 구성되어 있다. 입자의 플럭스는 지구의 자기력선이 열려있는 극지방에서 크게 나타나며, 시간적으로는 태양활동 극대기 동안에 행성간 자기장이 커짐에 따라 우주선의 입자 플럭스가 감소하는 것으로 알려져 있다. 태양 플레어의 경우 발생지역에서의 파동과 입자 공명으로 인해 $^3\text{He}/^4\text{He}$ 의 비율이 평상시의 1,000배 이상 증가한다. CME(Coronal Mass Ejection)의 경우 가장 역동적인 태양활동으로서, 비충돌성 충격파에 의해 가속된 높은 에너지의 입자들로 구성된다. 이 연구에서는, 이러한 입자들 중에서 위성의 운용에 관련된 고에너지 입자(양성자의 경우 0.4MeV~100MeV, 전자의 경우 30 keV~10MeV)를 관측할 수 있는 검출기를 디자인하였다.

3. 입자검출기 개념설계

그림 1에는 일치논리회로(coincidence logic)과 계수기(counter) 칩을 이용한 기존의 입자 검출기의 구성도가 나타나 있다(신영훈 2000). 반도체인 실리콘 센서에 입사한 고에너지 입자는 쿨롱 충돌에 의해 전자 및 전공 쌍을 생성하는데, 이 전자와 전공 쌍이 재결합하지 않고 전기적 신호로 바뀌기 위해서는 센서에 일정한 역전압(reverse bias)을 인가해야 하며, 수십 V 이상의 전압으로 센서를 공핍

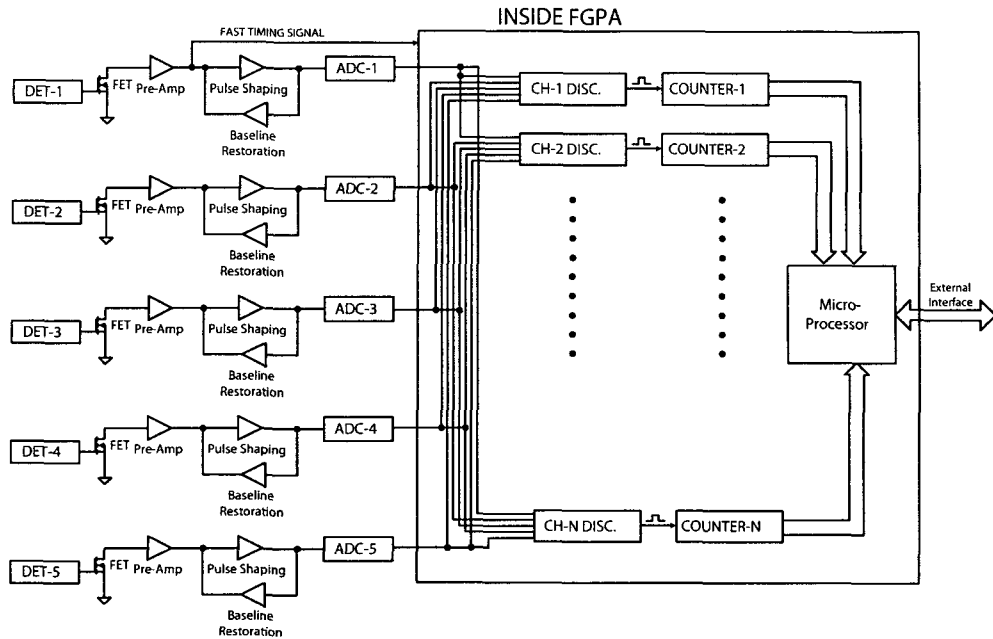


그림 2. FPGA의 병렬처리 기능을 사용한 고분해능 입자검출기의 블록도.

화(deplete) 할 수 있다. 실리콘 센서의 경우 고에너지 입자가 실리콘에 포집(deposit)되는 에너지에 비례하여 전자가 발생하므로, CSA(Charge Sensitive Amplifier)의 형태의 전치증폭기(pre-amplifier)를 사용한다.

CSA에서 출력되는 신호를 증폭하고 정형(shaping)하여, 분별기(discriminator)나 아날로그디지털 변환기가 정밀한 신호처리를 할 수 있도록 한다. 이후에는 원하는 에너지 채널 정보 만큼의 분별기와 일치논리회로를 이용하여, 각 에너지에 해당하는 입력신호가 들어왔을 때에만 그 채널에 펄스를 인가하고, 계수기 칩을 이용하여 일정시간에 입사한 입자의 플럭스를 기록한다. 마지막으로 일정한 주기마다, 카운터에 기록된 플럭스 정보를 마이크로프로세서(micro-processor)가 읽어 외부에 자료를 넘겨주게 된다. 이와 같이 하드웨어를 이용하여 분별기와 계수기를 구현하는 이유는 입사하는 입자의 플럭스가 커지더라도 동작할 수 있도록, 회로에 의해 처리할 수 있는 이벤트 수의 역수로 주어지는 불감시간(dead time)을 최소화 하기 위해서 이다.

그림 1과 같이 분별기와 일치논리회로, 그리고 계수기를 각각의 독립된 칩을 사용하여 입자검출기를 구성하게 되면, 에너지 채널의 수가 고정되고, 각각의 에너지 채널에 필요한 칩의 수가 그에 비례하여 늘어나게 된다. 다목적 실용위성 1호에 탑재된 HEPD의 경우 이러한 방법을 사용하여, 전자의 경우 0.2~3MeV 사이에서 3개의 채널, 그리고 양성자의 경우 6.3~38MeV 구간에서 3개의 채널만을 구현한 바 있다. 또, 모든 분별기를 하드웨어 적으로 구현하기 때문에 궤도상에서 검출기의 특성이 변경되었을 때, 수정이 불가능한 단점이 있다.

최근에는 FPGA(Field Programmable Gate Array) 제작기술의 발달로 약 1,000,000 게이트 이상의 로직을 구현할 수 있는 칩이 상용화 되고 IP(Intellectual Property) 코어의 형태로 FPGA 내부에

표 1. FPGA 성능 모사에 사용된 가상의 다중 실리콘 하전입자 검출기의 구성.

Layer	1	2	3	4	5	6	7	8	9
Material	Lexan	Si	Si	Al	Si	Al	Si	Al	Si
Thickness	25 μ m	0.5mm	2mm	1mm	3mm	1mm	3mm	5mm	1mm
검출기 사용 여부	×	○	○	×	○	×	○	×	○
Normalization	×	10MeV	20MeV	×	25MeV	×	25MeV	×	15MeV

마이크로프로세서를 구현하는 것이 가능해졌다. FPGA의 장점이라 할 수 있는 병렬처리 방식을 이용하면 기존의 전자회로를 대체하는 동시에 그 기능적인 면, 특히 에너지 분해능과 불감시간 측면에서 큰 향상을 기대할 수 있다. 아날로그 부분을 제외한 모든 부분(마이크로프로세서 포함)을 하나의 FPGA를 이용하여 구현한다는 가정하에 그림 2와 같이 새로운 형태의 고분해능 고에너지 입자검출기를 개념적으로 설계하고 FPGA의 기능 중, 검출기의 불감시간과 직결되는 에너지 채널 분리와 계수기 로직을 고안하여 실현 가능성에 대한 분석을 시도하였다.

그림 2에서 볼 수 있듯이 좀 더 고 에너지의 입자까지 높은 에너지 분해능으로 검출하기 위해 5개의 실리콘 검출기를 사용하였고, 하드웨어 분별기 대신 고속 ADC를 사용한다고 가정하였다. 실제로 에너지 채널을 판별하는 기능과 계수기 기능을 FPGA 내부에 구현하게 되면, ADC회로가 채널 별로 구현되어야 하므로 ADC의 수는 많아지지만, 대신 그 밖의 모든 기능을 FPGA가 수행하게 되므로, 오히려 적은 칩과 공간을 사용하면서 성능은 훨씬 향상된 검출기의 구현이 가능하다.

표 1과 같이 5개의 실리콘 검출기로 구성된 가상의 입자검출기를 설계하고, 검출기로 사용되는 실리콘과 에너지 범위를 넓히기 위해 차폐 물질로 사용된 알루미늄의 LET(Linear Energy Transfer) 값을 유도하였다. 첫 번째 층에는 렉산(lexan)을 두어 외부의 자외선 차단 및 저에너지 양성자의 차폐가 가능하도록 하였다. 표 1의 규격화(Normalization) 값의 의미는 고에너지 입자가 실리콘 검출기에 입사하여 전하를 발생시킬 때, 입자의 종류에 따라 최대 포집할 수 있는 양이 결정되는데, 양성자가 포집할 수 있는 최대의 에너지를 기준으로, ADC에서 디지털 값으로 변환될 때 최대값이 되도록 규격화한다는 뜻이다. 이러한 구성을 가진 실리콘 검출기에 대한 LET의 값을, Bethe Formula(Tsoulfanidis 1983)를 사용하여 계산한 결과가 그림 3에 나타나 있다. 그림에서 볼 수 있듯이 실리콘 검출기에 포집되는 에너지는 입사하는 전자나 양성자의 에너지에 선형적으로 비례하는 것이 아니라, 그 두께에 따라 선형적으로 증가하다가 비선형적으로 감소하는 것을 알 수 있다.

낮은 에너지에서 LET가 선형적으로 증가하는 것은 입사한 에너지가 모두 포집되기 때문이다. 이러한 특성을 이용하여 실리콘 검출기에서 발생한 전하의 양으로 전자나 양성자의 에너지 범위를 추정할 수 있다. 그림에서 실제로 검출기로 사용되는 실리콘 층은 굵은 선으로 표현하였으며, 차폐층으로 사용되는 알루미늄의 경우는 가는 선으로 나타내었다. 세 번째 층, 즉 두 번째로 사용된 실리콘 검출기에서 신호가 검출되지 않으면, 그보다 작은 에너지를 갖는 양성자나 전자는 구별할 수 없게 된다. 앞에서 언급한 바와 같이 렉산의 두께를 조절하게 되면 전자와 양성자를 구분할 수 없는 영역의 양성자만 차폐하도록 할 수 있다. 이보다 더 큰 에너지의 경우는 두 번째 이후의 실리콘 검출기에서 신호가 발생하게 되며, 이 경우 전자와 양성자는 각각 첫 번째 실리콘 검출기에 포집하는 에너지, 즉 검출기에 발생하는 전하의 양이 다르므로, 전자와 양성자를 구분할 수 있다. 더 높은 에너지의 경우

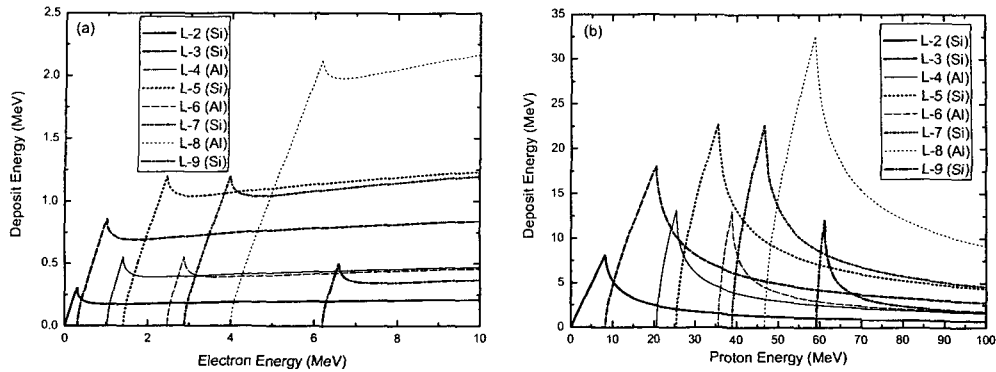


그림 3. 표 1과 같은 물질과 두께를 갖는 다중 실리콘 하전입자 검출기에 입사하는 입자의 종류에 따른 입자검출기의 LET 특성. (a) 전자에 대한 LET 특성. (b) 양성자에 대한 LET 특성.

도 마찬가지로 구별이 가능하다.

4. FPGA의 병렬처리 기능을 이용한 모의실험 결과

앞에서 개념적으로 설계한 검출기의 가장 중요한 인자(factor)의 하나인 불감시간을 알아보기 위하여 FPGA의 프로그램 언어인 VHDL(VHSIC Hardware Description Language)을 이용하여 검출기 전자회로 부분을 구현하였다. 먼저 그림 3의 LET 값을 기준으로 전자와 양성자 각각 16 채널씩 총 32 채널을 갖도록 디자인 하였다. 표 2에는 표 1에 나타난 규격화 값과 그림 3의 LET 값을 기준으로 하였을 때, 32개의 채널에 해당하는 에너지 범위와 이에 따라 각각의 실리콘 검출기로부터 발생하는 신호의 범위를 나타내었다. 예를 들어 8.0 ~ 9.0MeV의 에너지를 갖는 양성자(채널 24에 해당)가 검출기에 입사하면 첫 번째와 두 번째 실리콘 검출기에 각각 6.2 ~ 8.2MeV와 0 ~ 2.7MeV의 에너지가 포집되고, 이를 표 1에 나타난 규격화 값인 10MeV와 20MeV로 각각 규격화 한다. 이 값이 10bit, 즉 최대 1024까지의 값으로 변환된다고 가정하여 표 2의 디지털 값의 범위를 구하였다.

전자의 경우인 3번 채널은 전자의 에너지가 0.3 ~ 0.4MeV 사이의 값을 가질 때이며, 이러한 전자가 입사할 경우 첫 번째 실리콘 검출기에는 약 0.2 ~ 0.3MeV, 두 번째 실리콘 검출기에서는 약 0.18MeV 이하의 에너지가 포집(deposit)될 수 있다. 양성자의 경우는 같은 두께를 갖는 실리콘의 경우 전자에 비해 최대 20배 가량 많은 에너지가 포집될 수 있으며, 전자에 의한 신호가 상대적으로 작아지므로 아날로그 노이즈가 문제가 될 수 있다. 이는 회로 구현상의 문제이므로 이 연구에서는 자세히 고려하지 않았으며, 노이즈가 10bit ACD를 기준으로 2 이하의 값을 갖는다고 가정하여 에너지 분별 기준값을 작성하였다.

FPGA의 프로그램 언어인 VHDL을 이용하여 총 32채널에 해당하는 에너지 분별기와 그에 이어진 각각의 이벤트 계수기를 구현하였다. 이처럼 논리적인 부분도 중요하지만 FPGA가 제대로 동작하기 위해서는 이벤트를 인식하고 정확한 신호가 들어왔을 때만, 해당되는 에너지 채널의 계수를 1씩 증가할 수 있도록 해주는 순차적 기능이 구현되어야 한다. 이러한 모든 기능은 그림 2에 나타나 있는 FAST TIMING SIGNAL을 기준으로 이루어 진다. FAST TIME SIGNAL은 FPGA 내부에서 만들어 내는 신호가 아니라, 입자가 첫 번째 실리콘 검출기에 특정 전압 이상의 신호가 검출되었을

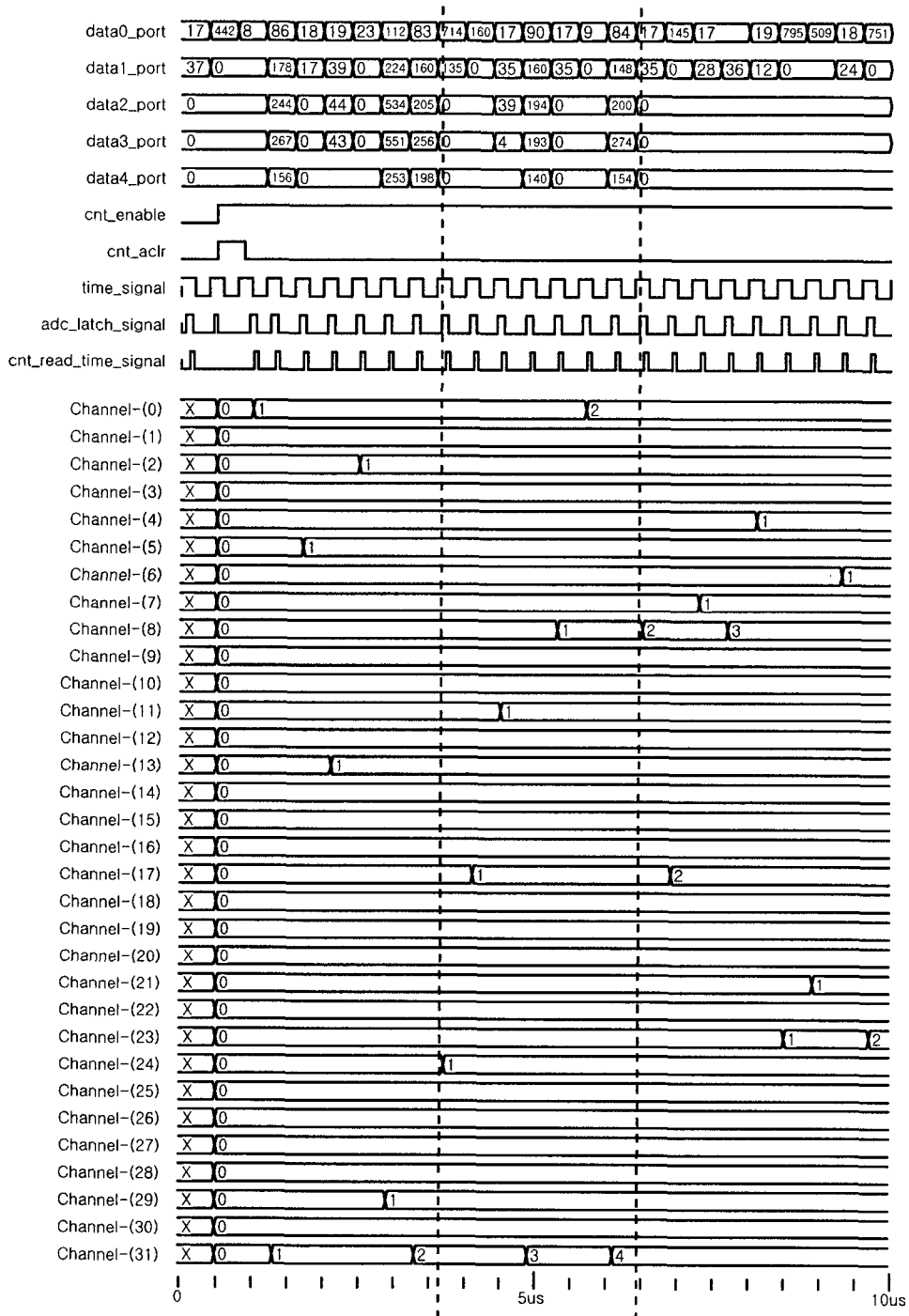


그림 4. FPGA를 이용한 입자 에너지 분별기의 시간 흐름도.

표 2. 에너지 채널별로 실리콘 검출기에서 하는 신호의 범위.

Channel	Particle	Energy (MeV)	Si-1*	Si-2*	Si-3*	Si-4*	Si-5*
0	Electron	0.03 ~ 0.1	3 - 10	0 - 2	0 - 2	0 - 2	0 - 2
1	Electron	0.1 ~ 0.2	11 - 20	0 - 2	0 - 2	0 - 2	0 - 2
2	Electron	0.2 ~ 0.3	21 - 30	0 - 2	0 - 2	0 - 2	0 - 2
3	Electron	0.3 ~ 0.4	22 - 31	3 - 9	0 - 2	0 - 2	0 - 2
4	Electron	0.4 ~ 0.5	19 - 22	10 - 15	0 - 2	0 - 2	0 - 2
5	Electron	0.5 ~ 0.6	17 - 20	16 - 21	0 - 2	0 - 2	0 - 2
6	Electron	0.6 ~ 0.7	17 - 20	22 - 26	0 - 2	0 - 2	0 - 2
7	Electron	0.7 ~ 0.8	17 - 20	27 - 31	0 - 2	0 - 2	0 - 2
8	Electron	0.8 ~ 0.9	17 - 20	32 - 37	0 - 2	0 - 2	0 - 2
9	Electron	0.9 ~ 1.0	17 - 20	38 - 43	0 - 2	0 - 2	0 - 2
10	Electron	1.0 ~ 2.0	17 - 20	25 - 43	3 - 30	0 - 2	0 - 2
11	Electron	2.0 ~ 3.0	17 - 20	32 - 41	31 - 49	3 - 9	0 - 2
12	Electron	3.0 ~ 4.0	17 - 20	32 - 41	43 - 49	10 - 41	0 - 2
13	Electron	4.0 ~ 5.0	17 - 20	32 - 41	43 - 49	42 - 49	0 - 2
14	Electron	5.0 ~ 7.0	17 - 20	32 - 41	43 - 49	42 - 49	3 - 22
15	Electron	7.0 ~ 10.0	17 - 20	32 - 41	43 - 49	42 - 49	23 - 30
16	Proton	0.4 ~ 1.0	32 - 94	0 - 2	0 - 2	0 - 2	0 - 2
17	Proton	1.0 ~ 2.0	95 - 196	0 - 2	0 - 2	0 - 2	0 - 2
18	Proton	2.0 ~ 3.0	197 - 299	0 - 2	0 - 2	0 - 2	0 - 2
19	Proton	3.0 ~ 4.0	300 - 400	0 - 2	0 - 2	0 - 2	0 - 2
20	Proton	4.0 ~ 5.0	401 - 502	0 - 2	0 - 2	0 - 2	0 - 2
21	Proton	5.0 ~ 6.0	503 - 606	0 - 2	0 - 2	0 - 2	0 - 2
22	Proton	6.0 ~ 7.0	607 - 707	0 - 2	0 - 2	0 - 2	0 - 2
23	Proton	7.0 ~ 8.0	708 - 811	0 - 2	0 - 2	0 - 2	0 - 2
24	Proton	8.0 ~ 9.0	634 - 836	3 - 139	0 - 2	0 - 2	0 - 2
25	Proton	9.0 ~ 10.0	530 - 632	140 - 241	0 - 2	0 - 2	0 - 2
26	Proton	10.0 ~ 20.0	255 - 529	242 - 891	0 - 2	0 - 2	0 - 2
27	Proton	20.0 ~ 30.0	180 - 255	419 - 926	3 - 565	0 - 2	0 - 2
28	Proton	30.0 ~ 40.0	142 - 179	308 - 419	539 - 930	3 - 285	0 - 2
29	Proton	40.0 ~ 50.0	104 - 141	213 - 307	288 - 538	286 - 929	3 - 467
30	Proton	50.0 ~ 70.0	90 - 103	185 - 212	245 - 287	276 - 350	229 - 822
31	Proton	70.0 ~ 100.0	69 - 89	141 - 184	177 - 244	186 - 275	115 - 228

*Si-1~Si-5: 표 1에 나타낸 규격화 값이 1.0이라고 가정하였을 때, 각각의 실리콘 검출기에 포집되는 에너지의 값을 10bit, 즉 최대 1024까지의 값으로 변환하여 범위를 나타내었다.

때, 분별기 칩에 의해 만들어지는 신호로서, 입자의 분별과정을 시작하는 기준이 된다. 이 후, 정확한 시간에 ADC의 값을 읽도록 해야 하며, 이를 바로 분별기와 연결하는 것이 아니라 입력신호가 변할 때 생기는 오동작을 방지하기 위하여 래치(latch) 기능을 이용하여 데이터를 보호해야 한다. 그리고, 32채널로 이루어진 에너지 분별기는 자신의 에너지 조건에 해당되는 입력값이 들어왔을 경우에만 채널별로 계수값을 증가시킬 수 있는 펄스를 만들어 준다.

그림 4에는 LET 값을 기준으로 무작위 함수를 이용하여 임의의 에너지를 갖는 가상의 전자 혹은 양성자에 의해 발생하는 검출기 신호를 FPGA의 입력단(input port)에 인가하였을 때, FPGA의 동작을 보여주는 시간 흐름도(timing diagram)가 나타나 있다. 그림에서 볼 수 있듯이 입력신호(data0_port ~ data4_port)는 5채널 10bit로 입력이 되며, time_signal로 명명된 FAST TIMING SIGNAL에 동기되어 약 400ns의 주기를 갖도록 하였다. 동작 초기에는 계수기를 초기화 시키고 동

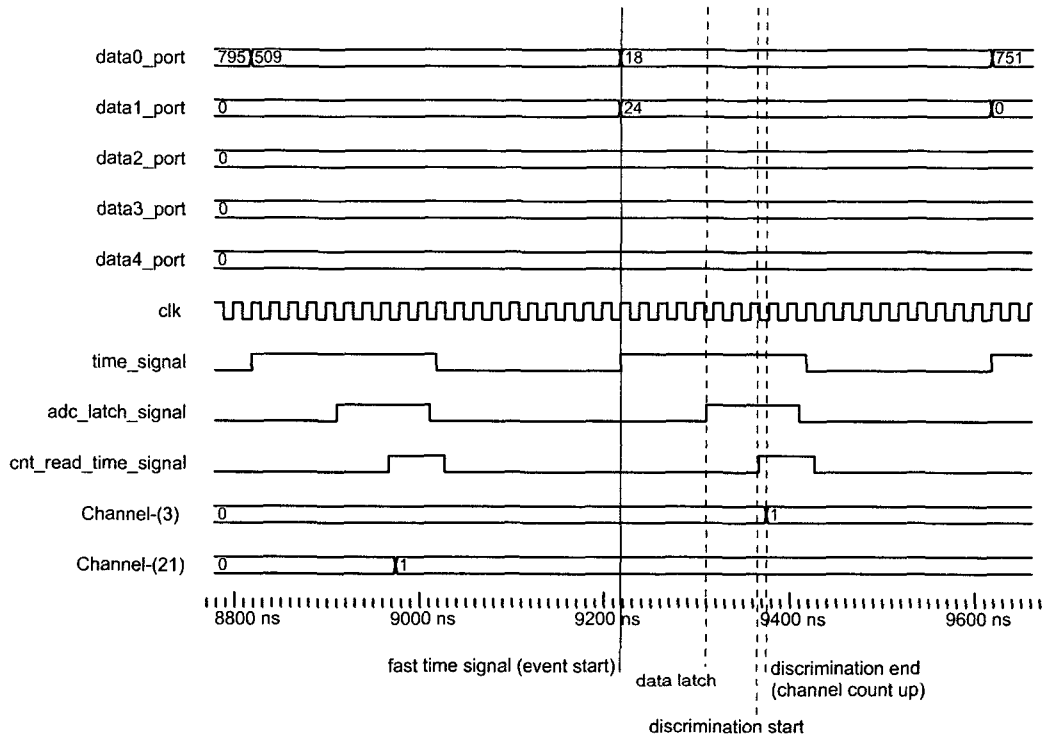


그림 5. 입자 에너지 분별기의 기능을 자세히 나타낸 시간 흐름도.

작할 수 있도록 해주는 cnt_aclr과 cnt_enable 신호를 입력해 주었다. 그리고, 단순한 논리회로 이외의 FPGA의 모든 동작은 클럭(clock)에 동기화되어 처리를 하도록 해 주는 것이 좋은데, 이를 위하여 시스템 클럭(clk로 표시하였음) 입력이 필요하다.

모든 전자모사의 과정은 백만개의 게이트와 프로세서 내장이 가능한 Actel사의 M7A3P1000 모델을 사용하여 수행하였으며, 시스템 클럭은 50MHz가 되도록 하였다. 이러한 기능을 모두 구현하였을 경우 약 20만개의 게이트가 소요되며 전체의 약 20%에 해당한다. 에너지 채널의 개수를 늘리거나 ADC의 분해능을 높여도 여유가 있는 상황으로 생각할 수 있다. 참고로 16bit 마이크로 프로세서가 이 FPGA에 IP형태로 구성될 경우 전체 코어의 약 26%를 차지하게 된다. 즉, 에너지 채널을 90개 이상으로 늘려도 약간의 여유가 있다.

그림 4에는 약 20μs 동안의 FPGA의 동작이 나타나 있다. 시스템 clock은 약 20ns의 주기를 갖고 있으며, 시간 간격을 좁혀야만 정확히 볼 수 있기 때문에 이 그림에서는 생략하였다. 실리콘 검출기에서 오는 입력단에는 무작위 함수를 이용해 이미 만들어진 자료가 주기적으로 인가되고 있음을 알 수 있으며, 그 때마다 에너지 채널 중 하나씩이 증가하고 있음을 확인할 수 있다. 그림에는 수직 방향으로 두 개의 지시선이 나타나 있는데, 이를 이용하여 에너지 분별 기능이 제대로 수행되고 있는지를 확인할 수 있다. 예를 들어 첫 번째 지시선을 보면, 이 순간 검출기 신호가 ADC를 거쳐 입력되는 신호는 5개의 검출기에서 각각 (714, 135, 0, 0, 0)의 값을 갖는다. 이를 표 2에서 확인해 보면 채널

24에 해당하며, 8~9MeV를 갖는 양성자에 의해 만들어진 신호임을 알 수 있다. 실제로 FPGA의 동작에서도 채널 24에 해당하는 계수기가 0에서 1로 증가하였음을 알 수 있다. 두 번째 지시선에서도 (17, 35, 0, 0, 0)의 신호가 입력되고 있으며, 이는 채널 8에 해당하고 FPGA로 구현된 계수기가 1에서 2로 증가함을 알 볼 수 있다. 모든 채널에 대해 모두 오차 없이 동작함을 확인하였다.

좀 더 자세히 살펴보기 위하여 그림 5와 같이 좁은 시간영역에 대한 시간흐름도를 나타내었다. 지면 관계상 모든 에너지 채널을 나타내지는 않았으며, 3의 배수의 에너지 채널만을 나타내었다. 입자가 입력했다는 신호인 `time_signal`이 하이(high) 상태로 반전되면 이를 기준으로 약 45ns 후에 데이터를 래치하도록 하였고, 이는 FPGA의 프로그램으로 조정이 가능하다. 즉, 검출기에서 발생한 펄스(pulse)를 정형하고 ADC에서 디지털 값으로 변환해 주는데 필요한 시간을 충분히 줄 수 있다. 또, 래치된 값을 기준으로 약 30ns 이후에 실제 에너지 분별 연산을 수행하게 된다. 그 후, 분별 연산이 끝날 때까지가 연산에 소요되는 시간으로 약 5ns에 해당한다. 이는 입자검출기의 불감시간에 에너지 판별 과정이 전혀 영향을 주지 않는, 다채널 에너지 분별기의 구성이 가능하다는 사실을 의미한다. 이와 같은 연산을 일반적인 마이크로 컨트롤러를 사용하여 실행한다면, 수십 μ s의 시간이 소요될 것이므로 FPGA의 장점을 잘 살릴 수 있는 응용분야임을 알 수 있다.

위에서 살펴본 바와 같이 FPGA에 의한 분별 연산에 소요되는 시간은 거의 무시할 수 있으므로, 펄스의 정형 회로와 ADC가 불감시간을 결정하는 주 요소가 된다. 최근에는 μ s 이하의 펄스 폭을 갖는 정형 증폭기(shaping amplifier)들이 상용화 되고 있으며, fastcomtec사의 CR-200 칩의 경우 펄스의 정점도달시간(peaking time: 정점에 이르는 시간)이 약 100ns이고, 다시 떨어지는데까지는 약 1 μ s가 요구된다. 신호의 정점의 값을 유지한 상태에서 1 μ s 안에 ADC가 변환을 마친다면, FPGA에 의한 지연시간은 거의 무시할 수 있으므로 검출기의 불감시간은 1 μ s 이내로 주어진다고 할 수 있다. ADC의 경우 10bit 변환기 중 1초에 100 MSPS(Mega Samples Per Second), 즉, 10ns 안에 아날로그 신호를 디지털 값으로 변환해 주는 칩들이 사용되고 있다. 따라서, FPGA를 이용하여 에너지 분별기를 구현하게 되면, 검출기의 불감시간을 1 μ s 이내로 유지하면서 전자 및 양성자의 에너지 채널을 100개 이상으로 늘릴 수 있으며, 에너지 구간도 자유롭게 정의할 수 있게 된다.

과학기술위성 1호의 SPP 중 SST(Solid State Telescope)의 경우는 전자만을 170 ~ 370keV 구간에서 균등하게 29개의 채널로 관측을 성공적으로 수행하였다. 각 채널당 125까지 계수가 가능하도록 설계가 되어 있으며, 50ms에 한번씩 데이터를 저장한다. 약 690km 고도의 태양동기 궤도 상에서 약 2년여에 걸쳐 전자의 플럭스를 관측한 바 있으며, 불감시간이 약 6 μ s이다. 입자의 플럭스는 우주 환경에 의해 크게 변할 수 있으며, 29개의 모든 채널이 거의 포화(saturation)되는 경우도 관측된 바 있다. 불감시간을 줄이게 되면 이러한 급작스런 플럭스 증가 시에도 에너지 스펙트럼을 관측할 수 있다.

5. 결 론

이 연구를 통해, 우주환경의 구성성분 중 하나인 고에너지 입자를 검출을 고분해능, 그리고 효율적으로 하기 위한 소형위성용 고에너지 입자검출기의 개념적인 설계를 시도하였다. 궤도상의 위치나 태양활동에 따라 급격하게 변화하는 플럭스나 에너지 스펙트럼의 영향을 최소화 하기 위해 에너지 판별기의 성능을 향상시키는 동시에 검출기가 처리할 수 있는 이벤트의 성능을 나타내는 불감시

간을 최소화 하고자 하였다. 이러한 과정에서 기존의 하드웨어만으로 구성된 에너지 판별기를 대체할 수 있는 FPGA 회로를 설계하고 성능을 전산모사의 방법으로 구현하였다.

에너지 분별기를 FPGA로 구현할 경우 실제 연산에 소요되는 시간이 5ns 이내가 되므로, 소프트웨어를 사용하는 방법에 비해서 월등히 빠르며, 입자검출기의 불감시간은 ADC의 성능과 펄스의 특성에만 의존하게 된다. 이 연구에서는 실제 아날로그 부분에 대한 자세한 분석은 시도하지 않았으며, FPGA를 이용할 경우 에너지 채널을 늘리더라도 불감시간에는 거의 영향을 주지 않음을 전산모사의 방법으로 보여주었다. 결론적으로 불감시간은 에너지 채널의 수가 아니라 정형 증폭기와 ADC의 성능에 의해 결정이 되도록 할 수 있으며, 최근 기술을 고려하면 불감시간이 1 μ s 이내가 되도록 구현이 가능하다. 또, 에너지 분별기를 FPGA로 구현하는 경우, FPGA의 용량에 따라 특정 에너지 영역을 자세히 보거나, X 선이나 γ 선 검출센서 등에도 응용이 가능하다.

감사의 글: 이 연구는 과학기술부의 지원으로 진행되고 있는 21세기 프런티어 사업 중 양성자기반 공학기술개발 프로젝트의 지원으로 수행되었습니다.

참고문헌

- 신영훈 2000, 박사학위논문, 한국과학기술원
- Baker, D. N., Mason, G. M., Figueroa, O., Colon, G., Watzin, J. G., & Aleman, R. M. 1993, *IEEE Trans. Geosci. & Remote Sens.*, 31, 531
- Blake, J. B., Fenreu, J. F., Friesen, L. M., & Johnson, B. M. 1995, *Space Science Rev.*, 71, 531
- Edelstein, J., Min, K.-W., Han, W., Korpela, E. J., Nishikida, K., Welsh, B. Y., Heiles, C., Adolfo, J., Bowen, M., Feuerstein, W. M., McKee, K., Lim, J.-T., Ryu, K., Shinn, J.-H., Nam, U.-W., Park, J.-H., Yuk, I.-S., Jin, H., Seon, K.-I., Lee, D.-H., & Sim, E. 2006, *The Astrophysical Journal*, 644, L153
- Freden, S. C. 1969, *Space Science Rev.*, 9, 198
- Hastings, D. & Garrett, H. 1996, *Spacecraft-Environment Interactions* (New York: Cambridge Univ. Press), p.208
- Lee, J. J., Parks, G. K., Min, K. W., Kim, H. J., Park, J., Hwang, J., McCarthy, M. P., Lee, E., Ryu, K. S., Lim, J. T., Sim, E. S., Lee, H. W., Kang, K. I., & Park, H. Y. 2005, *Geophysical Research Letters*, 32, L13106
- Lin, R. P., Anderson, K. A., Ashford, S., Carlson, C., Curtis, D., Ergun, R., Larson, D., McFadden, J., McCarthy, M., Parks, G. K., Rème, H., Bosqued, J. M., Coutelier, J., Cotin, F., D'uston, C., Wenzel, K. -P., Sanderson, T. R., Henrion, J., Ronnet, J. C., & Paschmann, G. 1995, *Space Science Rev.*, 71, 125
- Mason, G. M., Baker, D. N., Blake, J. B., Boughner, R. E., Callis, L. B., Cummings, A. C., Cummings, J. R., Greenspan, M. E., Hamilton, D. C., Hoverstadt, D., Kanekal, S. G., Klecker, B., Leske, R. L., Li, X., Looper, M. D., Mazur, J. E., Mewaldt, R. A., Oetliker, M., Scholer, M., Selesnick, R. S., Stone, E. C., con Rosenvinge, T. T., & Williams, D. L. 1998, in *Aerospace Conference Proceedings*, ed. R. A. Profet (Piscataway: IEEE Publishing

- Sevices), 5, 389
- Ryu, K., Min, K. W., Park, J. W., Lee, D. H., Han, W., Nam, U. W., Park, J. H., Edelstein, J., Korpela, E. J., Nishikida, K., & van Dishoeck, E. F. 2006, *The Astrophysical Journal*, 644, L185
- Schrifer, D. & Haerendel, G. 1991, *J. Geophys. Res.*, 96, 11403
- Schwank, J. 2002, in *Total Dose Effects in MOS Devices*, IEEE NSREC Short Course Notebook, ed. D. G. Platteter (Piscataway: IEEE Publishing Sevices), p.81
- Sigsbee, K., Cattell, C. A., Lysak, R. L., Carlson, C. W., Ergun, R. E., McFadden, J. P., Mozer, F., Elphic, R. C., Strangeway, R. J., Tsuruda, K., Yamamoto, T., Kokubun, S., Fairfield, D., Pfaff, R., Parks, G., & Brittmacher, M. 1998, *Geophys. Res. Lett.*, 25, 2077
- Tsoufanidis, N. 1983, *Measurement and Detection of Radiation* (Washington: Hemisphere Pub. Corp.; New York: McGraw-Hill), pp.115-164
- Van Allen, J. A., McIlwain, C. E., & Ludwig, G. H. 1959, *J. Geophys. Res.*, 64, 271
- Weatherford, T. 2002, in *Total Dose Effects in MOS Devices*, IEEE NSREC Short Course Notebook, ed. D. G. Platteter (Piscataway: IEEE Publishing Sevices), p.205