

전해 도금을 이용한 기가급 소자용 구리배선 공정

김수길 · 강민철[†] · 구효철[†] · 조성기[†] · 김재정^{*†} · 여종기^{**}

한국과학기술연구원 연료전지연구단, 136-791 서울시 성북구 하월곡동

[†]서울대학교 화학생명공학부, 151-742 서울시 관악구 신림동

^{**}LG 화학, 305-380 대전광역시 유성구 문지동

(2007년 3월 21일 접수 : 2007년 4월 10일 채택)

Cu Metallization for Giga Level Devices Using Electrodeposition

Soo-Kil Kim, Min Cheol Kang[†], Hyo-Chol Koo[†], Sung Ki Cho[†], Jae Jeong Kim^{*†}, and Jong-Kee Yeo^{**}

Center for Fuel Cell Research, Korea Institute of Science and Technology, Hawolgok-dong,
Sungbuk-gu, Seoul, 136-791, Korea

[†]School of Chemical and Biological Engineering, Seoul National University,
Shillim-dong, Kwanak-gu, Seoul, 151-742, Korea

^{**}LG Chem Ltd. 104-1, Moonji-dong, Yuseong-gu, Daejeon, 305-380, Korea

(Received March 21, 2007 : Accepted April 10, 2007)

초 록

반도체 소자의 고속화, 고집적화, 고신뢰성화에 대한 요구는 알루미늄 합금으로부터 구리로의 배선 물질의 변화를 유도하였다. 낮은 비저항과 높은 내열화성을 특징으로 하는 구리는 그 전기적, 재료적 특성이 알루미늄과 상이하여 배선 형성에 있어 새로운 주변 재료와 공법을 필요로 한다. 본 총설에서는 상감공정(damascene process)을 사용하는 다층 구리 배선 공정에 있어 핵심이 되는 구리 전해 도금(electrodeposition) 공정을 중심으로 확산 방지막(diffusion barrier) 및 도전층(seed layer), 바닥 차오름(bottom-up filling)을 위한 전해/무전해 도금용 유기 첨가제, 화학적 기계적 평탄화(chemical mechanical polishing) 및 표면 보호막(capping layer) 기술 등의 금속화 공정에 대한 개요와 개발 이슈를 소개하고 최근의 연구 결과를 통해 구리 배선 공정의 최신 연구 동향을 소개하였다.

Abstract : The transition of interconnection metal from aluminum alloy to copper has been introduced to meet the requirements of high speed, ultra-large scale integration, and high reliability of the semiconductor device. Since copper, which has low electrical resistivity and high resistance to degradation, has different electrical and material characteristics compared to aluminum alloy, new related materials and processes are needed to successfully fabricate the copper interconnection. In this review, some important factors of multilevel copper damascene process have been surveyed such as diffusion barrier, seed layer, organic additives for bottom-up electro/electroless deposition, chemical mechanical polishing, and capping layer to introduce the related issues and recent research trends on them.

Keywords : Device, Copper, Interconnection, Electrodeposition, Damascene.

1. 서 론

이동통신, 동영상 기술, 게임 산업 등의 급격한 발전은 더 빠르고 더 큰 용량을 가진 반도체 소자를 요구하게 되었고 이러한 고속화, 고집적화, 대용량화에 대한 산업적 요구는 반도체 제조 과정에 있어 재료 및 공정의 광범위한 변화들을 유도하였다. 특히 단위셀내 능동 및 수동 소자간 신호 전달용 금속 배선의 경우 집적도가 증가함에 따라 높은 전류 밀도와 빠른 응답 속도를 감당하기 위해 낮은 저항의 금속과 낮은 유전율의

층간 절연막이 요구되었다. 이에 따라 지난 30년간 사용되었던 알루미늄(Al) 배선/SiO₂ 층간 절연막으로는 이러한 고집적화 및 고속화에 대한 요구를 충족하기 어려우며, 구리(Cu) 배선/저 유전 물질(low-k dielectric)을 사용한 다층 배선의 도입이 불가피하게 되었다. 구리는 알루미늄 대비 비저항이 약 40% 낮으므로 (1.67 vs. 2.66 $\mu\Omega \cdot cm$) 배선 금속과 층간 절연막에 의해 발생하는 속도 지연(RC delay)을 효과적으로 감소시킬 수 있다.¹⁾ 또한 녹는점이 알루미늄보다 높고 자기확산계수(self-diffusion coefficient) 및 확산 활성화 에너지(self-diffusion activation energy)가 높기 때문에 우수한 electro/stress migration 내성을 가지며 소자의 신뢰성 측면에 있어 알루미늄보다 우수하다.²⁾

*E-mail: jkimm@snu.ac.kr

배선물질의 구리로의 전환에 대응하기 위해 반도체 제조 공정 역시 새로운 물질과 개념을 도입하게 되었다. 특히 새로운 층간 절연막(interlayer dielectric)/확산 방지막(diffusion barrier)의 개발, 상감(damascene) 공정을 통한 3차원 패턴 구조의 형성, 습식 전해/무전해 도금(electro/electroless deposition)을 이용한 무결함(defect-free) 구리막의 형성에 대한 기술 개발은, 지난 80년대 후반 비메모리 소자용으로 연구가 시작된 이후 메모리 반도체에 구리 배선이 실제로 적용되기 시작한 최근까지 Giga-Hz/Byte급 소자 개발연구의 중요한 축으로 여겨져 왔다.

구리는 플라즈마를 이용한 건식 식각시 발생하는 구리-할로젠 화합물의 휘발성이 낮아 제거가 어려우며, 층간 절연막으로 사용되는 low-k 물질의 굴곡 매움(gap-fill) 특성이 좋지 않기 때문에 구리 박막을 패터닝(patterning) 하는 방법으로는 신뢰성 있는 배선의 형성이 쉽지 않다. 반면 상감 공정의 경우 층간 절연막을 먼저 형성한 후 금속이 들어갈 자리를 사진 식각 공정(photo-lithography)를 통해 형성한다(Fig. 1). 형성된 패턴은 전해 도금을 이용하여 구리로 채워지고, 후속 화학적 기계적 연마(CMP, chemical mechanical polishing)공정과 보호막(capping layer) 형성을 거쳐 마무리 된다. 상감 공정의 도입을 통해 금속 배선 공정 기술은 에칭(etching) 기술에서 증착 기술로 그 핵심이 옮겨 갔으며 단순히 단차 피복율(step coverage)만을 논하던 기존의 증착 방법의 한계를 벗어나 패턴 내부 바닥에서부터 금속을 채워 올려 내부 결함을 최소화 하는 바닥 차오름(bottom-up filling)의 개념이 등장하였다. 특히 배선의 전체 길이를 줄임으로써 저항을 낮추고 빠른 응답 속도를 구현하고자 하는 다층 배선 공정에 있어서는 높은 종횡비(aspect ratio)를 가지는 상감 구조에 금속을 채워 넣어야 하며 이는 기존의 물리기상증착(PVD, physical vapor deposition) 이나 화학기상증착(CVD, chemical vapor deposition)으로는 한계가 있으며, 이에 대한 해결책으로 제시되고 있는 것이 유기 첨가제(organic additives)를 이용한 전해 도금이다.

구리 전해 도금은 황산구리(CuSO₄)/황산(H₂SO₄) 수용액 상에서 확산 방지막 또는 구리 도전층(seed layer)이 형성된 웨이퍼 표면에서의 구리 이온의 석출을 이용하는 기술로서, 1) 높은 종

횡비와 좁은 선포를 가지는 상감 구조 내에서의 전류 밀도의 분포와 물질 전달에 대한 해석, 2) 구리막 형성시의 기관(도전층/확산방지막)의 영향 및 핵생성/결정 성장에 대한 이해, 3) 국부적 증착 속도의 제어를 통해 패턴내부에서의 바닥 차오름을 가능하게 하는 유기 첨가제들의 개별 및 조합적 작용 기구 규명, 4) 도전층/확산 방지막/표면 보호막 형성에 있어서 재료 및 공정개발에 대한 부가적 연구 등을 필요로 한다.

본 총설에서는 구리 배선 공정에 있어 확산 방지막, 도전층, 전해/무전해 도금, 화학적 기계적 연마, 보호막 형성 등의 금속화 공정에 대한 개요와 연구 개발 이슈를 소개하고 최근의 연구 결과를 통해 구리 배선 공정의 최신 연구 동향을 소개하고자 한다.

2. 확산 방지막(Diffusion Barrier)

선포 감소와 집적도의 증가에 따라, 확산 방지막/도전층/구리 배선의 다층으로 구성된 금속배선구조에 있어 확산 방지막과 도전층이 가질수 있는 두께의 마진은 지속적으로 감소되고 있다. 2006년 ITRS 로드맵에 의하면 현재 대략 5 nm 근방에서 사용되고 있는 확산 방지막의 두께는 2013년까지 2.4 nm 이하로 얇아져야 한다.³⁾ 따라서 기존 알루미늄 배선에 사용되었던 확산 방지막 대비 선포 감소된 두께에서도 구리막과 층간 절연막간의 반응을 효과적으로 막아줄 수 있는 새로운 확산 방지막 재료 및 공정의 개발이 지속적으로 요구되고 있다. 공정 개발적인 측면에 있어서는, 패턴의 크기가 감소함에 따라 기존의 물리기상증착 공정으로는 원하는 단차피복율을 구현하기 어려우며, 이에 따라 원자층 증착법(ALD, atomic layer deposition)의 중요성이 대두되고 있다. 원자층 증착법은 매우 균일한(conformal) 박막의 형성이 가능하고 박막 두께의 미세 조절이 가능하다. 재료적인 측면에서는 기존 알루미늄 배선의 확산 방지막으로 쓰였던 Ti 및 TiN 계열 대신 Ta/TaN, WN, HfN의 전이금속 질화물계열 및 W-Si-N, Ti-Si-N, Ta-Si-N, W-Ge-N등의 삼원계

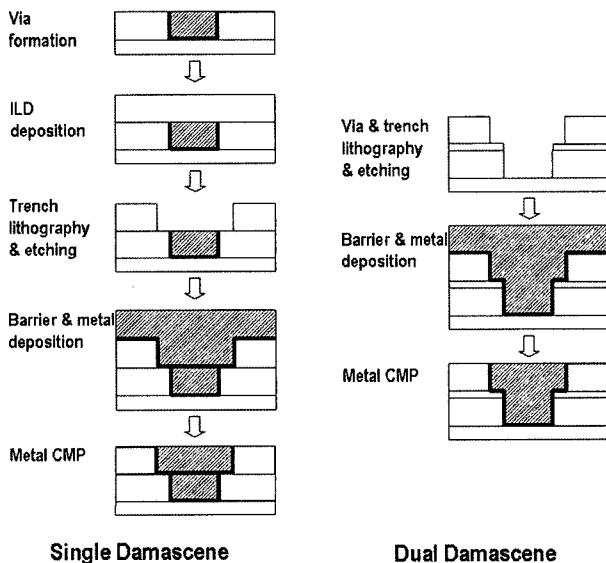


Fig. 1. Process sequences of (a) single damascene and (b) dual damascene.



Fig. 2. Cross sectional TEM image of sample Cu 20 nm/ALD TaN 10 nm/Si (Reused with permission from Y. Y. Wu, A. Kohn, and M. Eizenberg, Journal of Applied Physics, 95, 6167 (2004). Copyright 2004, American Institute of Physics (Ref. 4)).

이상 화합물 역시 그 가능성을 타진하고 있다. 특히 이들 화합물의 원자층 증착법 및 구리막과의 계면에서의 전자이동 열화(electromigration) 등의 계면 안정성 및 low-k dielectric과의 공정 적합성 등이 중점적으로 연구되고 있다. 대표적인 예로, Wu 등은 우수한 두께조절 능력과 균일한 박막 형성이 가능한 ALD 방법으로 약 1.5~10 nm 두께의 Ta_N_x 박막을 형성하여 (Fig. 2) 박막의 결정 구조 및 안정성을 연구한 바 있으며,⁴⁾ Park 등은 $TiCl_4$, SiH_4 , 및 $N_2/H_2/Ar$ 플라즈마를 이용한 원자층 증착법으로 Ti-Si-N 박막 형성과정과 확산 방지막으로서의 기능을 연구하였다.⁵⁾ 이들의 결과에 의하면 원주형(columnar) 구조를 가진 다결정성 TiN에 비해 Ti-Si-N은 Si이 Ti 자리 중 일부를 치환함으로써 결정 성장을 억제하여 약 10 nm 정도 크기의 나노결정이 비정질 matrix 상에 포함된 형태를 띠으로써 우수한 확산 방지막 특성을 나타낸다고 보고하였다. Kim 등은 원자층 증착법을 통해 약 5.2 nm 두께의 WN_xC_y 박막을 SiO_2 절연막 상에 증착하여 확산 방지막 성능을 평가하였으며, 275°C, +1.0 MV/cm 전기장 조건하의 bias-temperature stressing 실험을 통해 우수한 확산 방지막 특성을 확인한 바 있다.⁶⁾ 또한 Lee 등은 W 원자층 증착 공정 중 NH_3 펄스(pulse) 플라즈마를 도입하여 WN 박막을 증착하는 연구를 수행하였으며 형성된 약 22 nm 두께의 WN 박막은 600°C 30분의 열처리에서도 우수한 방지막 특성을 나타내는 것으로 보고되었다.⁷⁾ 최근의 연구로는 Ge를 반응성 스퍼터링(reactive sputtering)으로 Ta(O)N 박막에 첨가하여 방지막의 내열 온도를 100°C 정도 끌어올린 연구도 보고되고 있다.⁸⁾ 또한 수 nm 두께의 유기실란 골격(organosilane backbone)을 가지는 티올(thiol)의 자기조립분자층(self-assembled monolayer)을 중간 절연막에 형성시켜 확산 방지막으로 사용하려는 시도⁹⁾도 있으나 그 실효성에 관해서는 아직 회의적이다.

확산 방지막과 중간 절연막의 계면 안정성과 관련하여 Chang 등은 Cu/TaN/Ta/low-k(OSG, FSG)/Si 구조를 가지는 웨이퍼를 이용해서 low-k와 확산 방지막 사이의 열적 안정성에 대한 연구를 수행하였다.¹⁰⁾ 이들에 의하면 400°C에서 30분 및 60분간 열처리했을 경우 OSG(organosilicate glass)에 비해 FSG(fluorinated silicate glass)에서 기체발생(outgassing)이 심하게 나타나며 중간 계면에서 Ta-F층의 형성이 확인되었다. 반면에 OSG의 경우 400°C에서 60분간 안정한 특성을 나타내었음을 보고하였다.

이밖에도 확산방지막과 구리막 형성시의 공정 마진 확보를 위해 두 층간 도전층을 생략한 공정을 개발하는 연구도 진행되고 있으며, 이 경우 확산 방지막상에 구리 전해 도금이 직접 수행되는 관계로, 전해 도금액 내에서 우수한 젖음특성(wetting property)을 가지고, 자체로 확산방지막과 도전층의 역할을 동시에 수행할 수 있는 금속재료에 대한 연구도 진행되고 있다. 대표적인 예로 Ru, Ir, 및 Os등에 대한 연구가 있으며, 기존 확산 방지막인 TiN 및 Ta/TaN 상에서 도금 공정의 조절을 통한 직접 구리 도금에 대한 연구도 진행된 바 있다. Chan 등은 약 20 nm 두께의 Ru를 이용해 Ru의 확산 방지막 기능을 확인하였다.¹¹⁾ SIMS 분석 결과 20 nm 두께의 Ru 박막은 구리의 확산을 450°C까지(10분 기준) 잘 막아내는 것으로 밝혀졌다. Cho 등은 유기금속 화학기상증착(MOCVD, metal organic chemical vapor deposition)으로 형성시킨 Ru 박막의 확산 방지막으로서의 기능을 확인하였으며, Cu/Ru/ SiO_2 /Si 구조를 사용한 열처리 실험을 통해 800°C까지에서의 안정성을 보고한 바 있다.¹²⁾ 확산 방지막상의 직접 구리 전해도금에 대해서는 도전층 섹션에서 다시 다루기로 하겠다.

3. 도전층(Seed Layer)

구리 전해 도금은 구리 이온을 포함하고 있는 전해액 내에 웨이퍼를 담그고 외부 전자 공급원에 의해 웨이퍼 표면에서 구리이온을 환원시켜 박막을 얻게 된다. 따라서 외부로부터 웨이퍼 전 표면에 균일하고 원활한 전자의 공급을 위해 표면에 높은 전도성을 가진 도전층이 반드시 필요하다. 도전층은 사용되는 금속의 종류, 층 형성의 방법 및 균일도, 그리고 기판과의 접합성등에 따라 후속 전해 도금 공정에서의 무결한 구리막 형성, 도금된 구리막의 기계적, 물리적, 전기적 성질 및 소자 신뢰성에 직접적인 영향을 미친다. 도전층 형성 방법으로 기본적으로 연구되었던 방법은 물리기상증착법으로 구리막을 형성하는 공정이다. 그러나 앞서 서론에서 살펴본 바와 같이 구리 배선 공정은 층간 절연막을 먼저 패터닝하여 금속이 들어갈 구조를 형성한 후 금속을 채워넣는 상감 공법을 사용하므로 높은 중형비를 가지는 패턴 내부에 우수한 단차 피복율로 균일하게 도전층을 형성하여야 한다. 특히 집적도가 높아지고 배선 선폭이 좁아짐에 따라 낮은 단차 피복율을 가지는 물리기상증착 공정을 통해 도전층을 형성하는 것은 패턴 입구와 내부의 도전층 두께가 균일하지 못한 병목 현상이 발생하는 등 한계를 가지고 있다.¹³⁾ 이에 따라 단차 피복율이 높은 화학기상증착법이나, 후속 전해 도금과의 공정 연속성을 고려한 무전해 도금법 및 얇고 균일한 박막의 형성이 용이한 원자층 증착 기법을 이용한 도전층 형성에 관한 연구가 많이 이루어지고 있다.¹⁴⁻¹⁷⁾ Kim 등은 포름알데하이드와 코발트 이온을 각각 환원제로 이용하여 무전해 도금으로 균일한 구리 도전층을 형성 한 후 후속 전해 도금을 통해 bottom-up filling을 실시한 예(Fig. 3)를 발표한 바 있다.¹⁸⁾

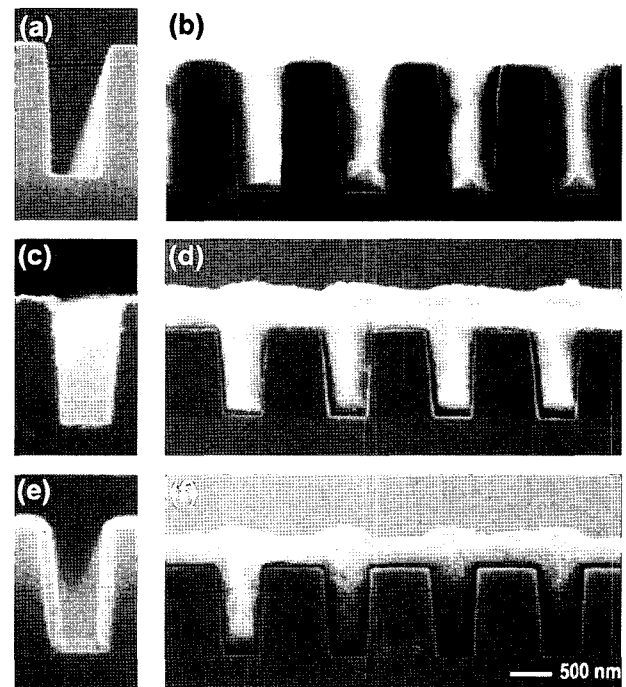


Fig. 3. Cross-sectional FESEM images of (a) PVD Cu seed, (b) electrodeposited Cu on PVD seed, (c) HCHO-ELD Cu seed, (d) electrodeposited Cu on HCHO-ELD seed, (e) Co-ELD seed, and (f) electrodeposited Cu on Co-ELD seed (Reproduced by permission of ECS-The Electrochemical Society (Ref. 18)).

최근의 연구 중 주목할 만한 점은, 앞서 언급한 바와 같이 도전층을 생략함으로써 확산방지막이나 구리막 형성 공정의 마진을 높이는 연구이다. 도전층을 생략하기 위해서는, 확산 방지막상에서 직접 도금을 수행하여 형성된 구리막의 특성이 도전층 상에 형성된 구리막에 상응하는 재료적 전기적 특성을 유지해야 한다. 이에 대한 접근 방법은 기존의 구리배선용 확산 방지막을 그대로 사용하면서 도금 공정의 최적화를 통해 구리막의 특성을 확보하는 방법과, 도전층의 역할과 확산 방지막의 역할을 동시에 수행할 수 있는 새로운 재료를 개발하는 방법으로 나눌 수 있다. 전자의 경우 확산 방지막의 상대적으로 높은 비저항으로 인해 구리 도금시 핵생성이나 입자 성장에 어려움이 있으며 이를 해결하려는 방향으로 연구가 진행 되고 있다. 대표적인 예로, Radisic 등은 TaN 확산 방지막 상에서 직접 구리 도금을 수행함에 있어 구리핵의 성장 모드를 도금전위와 도금 전해액에 따라 관찰 하였으며,¹⁹⁾ Kim 등은 무전해 도금에서의 표면 활성화 방법으로 사용되는 Pd 활성화를 전해 도금에 도입함으로써 높은 밀도의 Pd 나노 입자를 확산 방지막 표면에 형성시켜 도금의 초기 핵으로 사용한 바 있다.²⁰⁾ 도전층으로 동시에 작용할 수 있는 새로운 확산 방지막의 경우 Ru, Ir, Os에 대해 중점적으로 연구가 진행중에 있다. Chan 등은 Ta나 TaN에 비해 상대적으로 낮은 비저항을 가지는 Ru를 기판으로 사용하여 구리 전해 도금의 특성을 연구하였으며, 800°C의 열처리 온도에서도 구리와 Ru간의 반응이 없이 안정적인 계면을 유지하고 있음을 확인하였다.²¹⁾ Cho 등은 앞서 소개한 Pd 활성화를 유기금속 화학기상증착법으로 형성한 Ru 표면에 적용하여 연속적이고 낮은 비저항을 가지는 구리 도금막을 형성하였으며 상감 패턴내에서의 바닥 차오름까지를 구현하였다¹²⁾ (Fig. 4). Moffat 및 Josell 등은 Ru, Os, Ir을 기판으로 사용한 구리 전해 도금에 대한 일련의 연구를 통하여, 계단 전위를 인가함으로써 자연 산화막 제거, 첨가제 흡착을 위한 미달 전위 도금 (underpotential deposition), 고밀도 핵생성, 벌크 도금의 단계를 거쳐 우수한 특성의 바닥 차오름을 구현하였다.²²⁻²⁴⁾

4. 전해 도금(electrodeposition)

금속 배선용 구리 전해 도금은 일반적으로 소량의 유기첨가

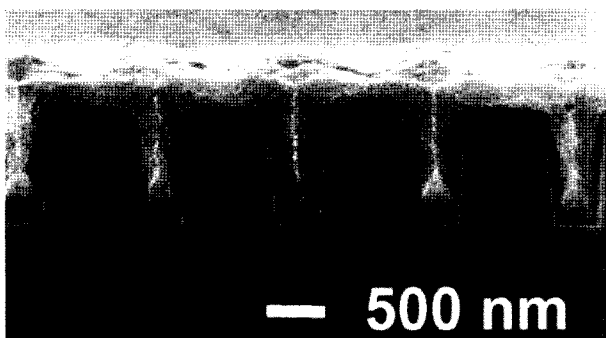


Fig. 4. Cross-sectional FESEM images of electrodeposited Cu on Pd activated MOCVD Ru substrate. Electrodeposition consists of seeding step with no additive and filling step with additives. (Reused with permission from Sung Ki Cho, Soo-Kil Kim, Hee Han, Jae Jeong Kim, and Seung Mo Oh, Journal of Vacuum Science & Technology B, 22, 2649 (2004). Copyright 2004, AVS The Science & Technology Society (Ref. 12)).

제를 포함하고 있는 황산구리(CuSO₄)/황산(H₂SO₄) 수용액 상에 패턴 구조가 형성된 웨이퍼를 담그고 외부에서 전류를 공급함으로써 구리이온을 표면에서 석출하는 과정을 통해 이루어진다. 상감 패턴과 같은 굴곡이 기판 표면에 존재할 경우 패턴의 각 깊이 방향 위치에서의 도금 속도는 표면 수직방향의 전류 밀도에 큰 영향을 받는다.²⁵⁾ 통상 상감 패턴 정도의 너비(dimension)에서의 전류 밀도의 불균일성을 야기하는 요인은 크게 전해질 저항, 물질전달량 차이, 표면 도전층의 저항 정도로 보고 있다.²⁶⁻²⁸⁾ 전해질로 고농도의 황산을 사용할 경우 전해질 저항은 일반적으로 무시할 수 있으며, 원자층 증착이나 화학기상증착법으로 구리 도전층을 형성하였을 경우 도전층의 저항 역시 미미한 영향을 미친다. 확산 방지막 상에서의 직접 도금의 경우 방지막으로 사용되는 물질의 저항에 따라 전원과 접촉되는 부분에서 멀리 떨어진 쪽의 전류 밀도가 감소되는 종단 효과라 불리는 현상이 발생하기도 한다. 따라서 패턴 스케일에서의 불균일한 전류 밀도의 분포는 대부분 물질 전달의 불균일에서 야기된다고 볼 수 있으며, 전해 도금의 경우 이동되어온 구리 이온이 패턴 내벽에서 지속적으로 석출 되기 때문에 패턴의 깊이 방향으로 갈수록 전달된 구리이온양의 급격한 감소가 일어나게 된다. 0.25 M의 황산 구리와 500 nm 너비, 2500 nm 깊이를 가진 상감 패턴내에서의 확산량 및 내벽에서의 구리 이온의 소모량을 고려한 전류 밀도의 분포에 대한 모사를 살펴보면 도금 시간이 증가할수록 패턴 깊이 방향으로의 전류 밀도의 불균일이 심화되고 종극에는 패턴 입구에서의 과도도에 의해 패턴이 막혀버려 내부에서 전혀 도금이 일어나지 않는 상황이 발생한다.²⁹⁾ 이러한 현상을 비등각전착(sub-conformal deposition)이라 하며 Fig. 5에 나타낸 바와 같이 패턴 내부에 빈 공간(void)이 발생하고, 이는 배선의 결함으로 작용하여 신뢰성에 심각한 악영향을 미친다. 이러한 비등각전착 현상을 줄이고 패턴 내부에 빈 공간과 같은 결함을 최소화 하기 위해서는 국부적인 도금 속도를 조절해서 패턴 바닥에서부터 구리를 채워올리는(bottom-up filling) 형태의 도금 방식이 도입 되어야 하며, 이를 초등각전착(super-conformal deposition)(Fig. 5)라 한다. 구리 전해 도금에 있어 상당부분의 연구가 이러한 초등각전착을 실현하는데 초점이 맞추어져 있으며 가장 연구가 많이 진행되고 또 실용화에 적용된 예가 소량의 유기 첨가제를 전해액에 투입하는 방법이다.

고전적인 전해 도금에 있어 유기 첨가제는 도금막의 결정 성장 및 결정 크기를 조절하여 도금막의 광택을 내는 광택제

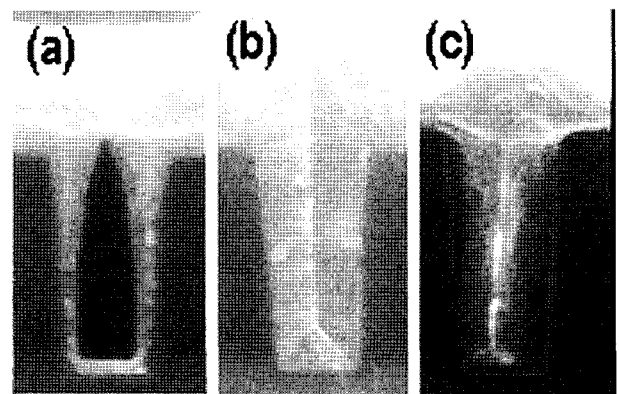


Fig. 5. Examples of (a) sub-conformal deposition, (b) conformal deposition, and (c) super-conformal deposition.

(brightener) 및 도금 속도를 조절하는 억제제(inhibitor), 큰 스케일(macroscale)의 표면 흠집이나 단차를 메워 평탄한 도금막 표면을 얻게 하는 평탄제(leveler) 등으로 나눌 수 있다. 반도체 배선용 구리 전해 도금에 있어서는 sub-micron 패턴 내부의 국부적인 전류 밀도의 불균형을 극복하기 위해 첨가제를 투입하며, 이러한 용도의 첨가제는 고전적 개념의 첨가제와 다른 용도, 작용 기구, 물질을 요구한다. 초기의 바닥 차오름(bottom-up fill)에 대한 연구에서는 고전적인 레벨링(leveling, 억제제 혹은 평탄제의 굴곡 내부로의 확산량/흡착량 감소와 그에 따른 굴곡 입구에서의 상대적 도금 속도 감소에 의한 굴곡의 메움)으로 설명하려는 시도들이 있었으나^{30,31)} 고전적 레벨링 개념으로는 도금이 끝난 후 패턴의 역전 현상과 과도금에 의한 용기(bump) 형성을 설명하기 어렵다. 실제의 초등각전착은 감속제(suppressor)와 가속제(accelerator)의 조합으로 이루어지며, 이들의 도전층에의 흡착, 구리이온과의 반응, 도금이 진행됨에 따른 면적 감소/증가에 의한 흡착된 첨가제의 표면 농도의 증가/감소가 복합적으로 작용하여 발생하는 결과이다.³²⁻⁴⁰⁾

첨가제로서 광범위하게 연구가 되어온 물질은 억제제로서 polyethylene glycol(PEG) 계열의 계면 활성제와, 가속제로서 3-mercaptopropane sulfonic acid, sodium salt(MPSA, $\text{Na}^+\text{SO}_3^-(\text{CH}_2)_3\text{SH}$)와 bis(3-sulfopropyl)disulfide(SPS, $(\text{Na}^+\text{O}_3^-\text{S}(\text{CH}_2)_3\text{S}-)_2$) 등이 있다.³²⁻⁴⁵⁾ 이들 첨가제의 작용기구에 대한 연구는 크게 두 가지의 다른 접근 방법을 통해 이루어지고 있다. 그 하나는 첨가제 상호간의 경쟁 흡착 및 도금이 진행됨에 따른 첨가제의 표면 축적을 주요 원인으로 보는 관점과, 다른 하나는 첨가제 특히 가속제와 구리 이온간의 반응에 초점을 맞추는 연구이다. Moffat 등^{35,37,38)}은 초등각전착 현상에 대해 CEAC(Curvature Enhanced Accelerator Coverage) 모델을 제시하였다(Fig. 6). 이 모델을 통해 그들은 구리 표면에 흡착되어 있는 염소이온과의 이온 짝짓기(ion pairing)을 통해 표면에 흡착된 PEG가 도금 속도를 떨어뜨리는 억제제로 작용하며, 자체적으로는 도금 속도에 큰 영향을 미치지 않는 MPSA/SPS를 전해액에 투입했을 경우 PEG와의 경쟁 흡착을 통해 PEG를 치환함으로써 상대적인 가속 효과를 나타낸다고 주장하였다. 또한 도금이 진행될수록 패턴 내부 코너(concave) 쪽에서의 표면적이 감소함에 따라 이곳에서의 MPSA/SPS의 표면농도가 급격히 증가하게 되고(enhancement of the accelerator coverage by curvature-CEAC 모델) 이러한 가속제의 축적이 패턴의 역전 현상을 가져 온다고 설명한다. 반면 가속제로 사용되는 MPSA/SPS와 구리 이온간의 반응을 가속 효과의 주 요인으로 보는 연구도 있다.^{32,33)} CEAC 모델은 기실 첨가제와 구리 이온과의 반응을 무시한 모델이나, 다양한 분광학적 분석 결과 MPSA의 mercapto기(-SH)와 구리(II)이온이 반응하여 SPS의 disulfide기(-S-S-)와 구리(I)이온이 생성됨이 보고되었으며 구리(II)에서 구리(I)이온으로의 환원이 구리 도금의 율속단계임을 고려할 경우 이러한 화학적 반응이 촉매 효과의 원인으로 지목되기에 충분하다. 이 경우 구리 이온에 대한 활성이 없는 disulfide 형태의 SPS는 화학적 반응에 의한 방해 없이 패턴 내부로 쉽게 확산/흡착되어 들어올 수 있으며, 환원 탈착에 의해 MPSA 형태로 환원되고 도금 반응에 대한 촉매 활성을 나타내게 된다. 이러한 일련의 과정은, 활성이 높은 MPSA 첨가 시 패턴내부로 확산되어 들어오기 전에 입구에서 반응이 먼저 일어나 오히려 비등각전착이 발생하는 현상에 대한 설명이 가능하다.³³⁾ Cho 등은 3-*N,N*-Dimethylaminodithiocarbamoyl-1-propanesulfonic acid, sodium

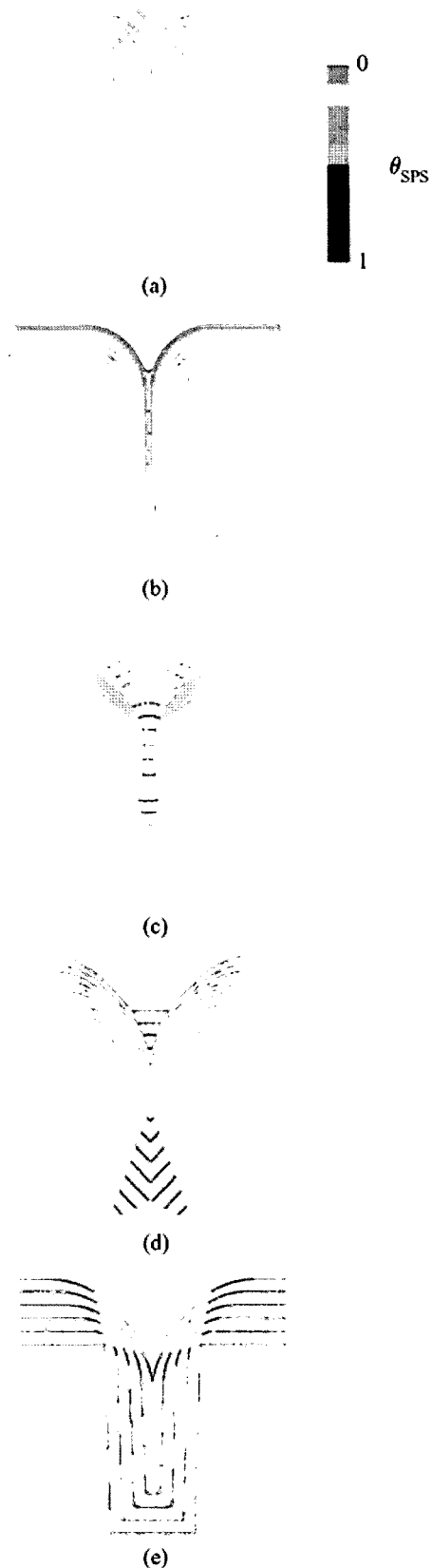


Fig. 6. Modeling of feature filling with accelerator-pretreated surfaces. Initial accelerator coverage is (a) 0.00054, (b) 0.0054, (c) 0.054, (d) 0.44, and (e) 0.88. (Reprinted with permission from IBM (Ref. 35)).

salt(DPS, $\text{NaSO}_3(\text{CH}_2)_3\text{SCSN}(\text{CH}_3)_2$)를 사용하여 초등각전착을 구현하고, 구리 이온과의 반응을 통해 작용 기구를 설명하였다.⁴⁶⁾

과전착에 의해 발생하는 패턴의 역전 현상과 용기의 형성은 일반적으로 가속제에 의한 영향으로 여겨지며, 패턴의 바닥에서부터 구리가 메워져 올라가는 초등각전착의 증거로 여겨져 왔다. 이러한 과전착 결과물들은 사실 후속 평탄화 공정에 좋지 않은 영향을 미친다. 화학적 기계적 연마 공정(CMP 섹션 참고)은 웨이퍼를 패드에 접촉 시킨후 연마제가 포함된 슬러리를 투입하고 압력을 가하며 회전시켜서 불필요한 부분을 연마해 표면을 평탄하게 만드는 공정이다. 이때 웨이퍼의 표면이 균일하지 않으면 국부적으로 가해지는 압력이 달라지며, 이러한 압력차는 연마후 표면에 침식(erosion)과 같은 결함을 남기거나, 공정의 수율을 떨어뜨린다. 이러한 연마상의 문제는 연마 공정을 최적화 함으로 해결할 수도 있으나, 제3의 첨가제를 구리 전해 도금시 투입하여 패턴의 역전 현상을 미연에 방지함으로써 해결 할 수도 있다. 후자의 방법을 레벨링 (고전적인 레벨링과는 다소 다른 개념)이라고 하고 이때 첨가하는 첨가제를 레벨러라고 한다. 일반적으로 사용되는 물질은 분자 크기가 큰 Janus Green B^{47,48)} 이나 polyvinylpyrrolidone(PVP)⁴⁹⁾ 또는 dodecyltrimethylammonium chloride(DTAC) 과 같은 양이온성 계면활성제,⁵⁰⁾ polyethyleneimine(PEI)와 같은 양이온성 polyelectrolyte⁵¹⁾ 등이다. 작용 기구는 주로 가속제와 상호 작용을 통해 가속제의 활성을 떨어뜨리는 것으로 보이며, 특히 양이온성 레벨러의 경우 가속제로 사용되는 SPS의 말단기인 SO_3^- 와 이온 짝짓기를 통해 결합하여 가속제의 물리/화학적 활성을 저하시키는 것으로 여겨진다. DTAC을 사용한 레벨링 결과를 Fig. 7에 도시하였다.⁵⁰⁾ 레벨러 첨가 시 패턴 내부에서의 초등각전착의 작용 기구는 크게 방해 받지 않으면서 패턴이 완전히 메워진 이후에도 과전착에 의한 용기의 형성이 나타나지 않고 균일한 막 두께를 나타내고 있음을 볼 수 있다. 이러한 3원계 첨가제 조합의 경우 패턴내 구리막의 형성에 효과적이면서 동시에 후속 CMP 공정의 부담을 줄이는데 기여할 수 있을 것으로 판단된다.

5. 무전해 도금(Electroless Deposition)

앞서 살펴본 바와 같이 전해 도금을 이용한 구리 배선 공정에 있어서는 도금의 기판으로 작용하는 도전층이 필요하다. 금속 배선용 구리 도금 연구의 초기 단계에서 무전해 도금은 이러한 도전층을 형성하는 방법의 하나로 연구 되거나 물리기상 증착법등으로 형성된 도전층의 국부적인 결함(낮은 단차 피복율

에 의한 불연속적인 막의 형성 등)을 보정하는 방법으로 연구가 진행되었다. 무전해 도금은 기판의 표면에서 금속이온을 석출함에 있어 외부에서 공급된 전원을 사용하지 않고 도금액 내의 유/무기 물질의 산화 과정에서 발생하는 전자를 금속 이온의 환원에 이용하는 것을 그 특징으로 한다. 도전층을 형성하기 위한 무전해 도금은 보통 구리막과 층간 절연막간의 반응을 막기 위한 확산 방지막으로 사용되는 TiN이나 Ta/TaN 상에서 이루어진다. 이러한 전이금속의 질화물은 자체 비저항이 매우 높으며 무전해 도금에 사용되는 환원제의 산화반응에 대한 촉매적 활성이 전무하므로 반응의 개시가 불가능해서 무전해 도금의 초기 핵 생성이나 환원제/구리 이온간 전자 전달의 매개체로서 효과적이지 못하다. 따라서 기판의 표면을 환원제의 반응에 대해 활성을 가지는 Pd등으로 활성화 하는 과정이 필요하다. 이러한 활성화 과정은 확산 방지막 상에 형성된 전이금속의 자연 산화막을 불산 및 질산 등을 이용하여 제거하고, 이 전이금속과 Pd 이온간의 환원전위차를 이용한 일종의 치환반응을 이용하여 Pd의 나노 입자들을 전이금속 표면에 형성 시킨다. 형성된 Pd 입자들은 보통 10 nm 이하의 크기를 가지며^{20,52)} 표면에 높은 밀도로 분포하게 되어 향후 구리 무전해 도금에 있어 우선 전착 자리로 작용하게 된다. Lau 등은 Pd 활성화 시간 및 Pd 입자의 밀도에 따른 무전해 도금된 구리의 패턴내 도금막 형태의 변화와 표면 거칠기 사이의 상관관계를 연구하였다.⁵³⁾ 그들은 Pd 입자의 성장단계를 성장(growth), 2차 핵생성(secondary nucleation), 성숙(ripening)으로 구분하였으며, 표면 거칠기가 낮은 구리 박막을 얻기 위해서는 Pd 활성화를 성숙 단계전에 중단해야 한다는 결과를 제시하였다. 또한 최근에는 치환 반응을 이용한 습식 활성화 방식 대신 원자층 증착과 같은 건식 방법으로 수 nm 두께의 Pd 층을 형성하는 연구도 수행되었다. Kim 등은 원자층 증착법을 이용하여 약 3 nm 두께의 우수한 단차 피복률을 가지는 Pd층을 TaN 방지막상에 형성하여 구리 무전해 도금을 수행한 결과를 발표하였다.⁵⁴⁾

앞서 언급한 바와 같이 구리 무전해 도금은 후속 구리 전해 도금시의 도전층 형성의 활용을 목적으로 연구가 진행되어 왔다. 그러나 최근에는 구리 전해 도금시 사용하는 유기 첨가제에 대한 작용 기구가 조금씩 규명되면서 이를 무전해 도금에 적용하여 무전해 도금만으로 초등각전착을 형성하려는 일련의 시도가 진행 되고 있다. 이에 대한 중요한 초기 연구가 Shingubara 등에 의해 수행되었다.⁵⁵⁾ 이들은 구리 전해 도금의 중요한 첨가제중 하나인 SPS를 사용하여 ionized cluster beam Pd을 촉매 층으로 이용해 무전해 구리 도금을 수행하였다. 이들은 SPS의 작용 기전을 전착 속도를 감소시키는 억제제(inhibitor)로 설명하였으며 홀(hole)의 지름이 작아질수록 초등각전착 효과가 강해짐을 보여주고 있다. 그러나 SPS만을 첨가한 이러한 초등각전착은 가속제를 사용하지 않고 억제제의 확산 제한 흡착(diffusion limited adsorption)을 이용한 것으로 구리 전해도금시의 초등각전착과는 개념상 다소 상이하며 고전적인 레벨링에 가깝다고 할 수 있다. 도금이 완료된 후 패턴 내부의 구리막의 두께가 더 두꺼워짐에 따라 발생하는 용기의 형성과 두께의 역전 현상이 없는 것 역시 이러한 추론을 뒷받침한다. 비슷한 연구가 Wang 등에 의해서 이루어졌으며,⁵⁶⁾ 이들은 SPS와 마찬가지로 티올기를 가진 MACA(mercapto alkyl carboxylic acid)의 alkyl chain 길이에 따른 패턴 채움(pattern filling) 현상을 고찰하였다. 이들의 결과에 의하면 이러한 MACA 역시 구리 무전해 도금의 억제제로 작용하였으며, 탄소 체인의 길이가 길수록

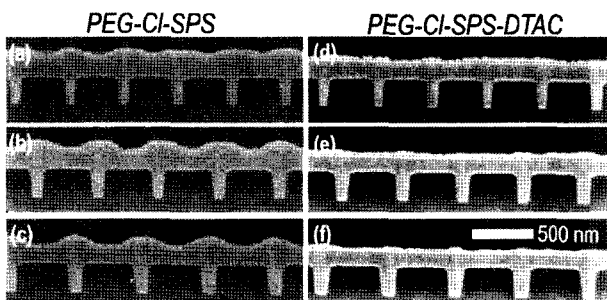


Fig. 7. Filling of trenches in the absence and presence of DTAC leveler (Reproduced by permission of ECS-The Electrochemical Society (Ref. 50)).

억제 효과가 크며 초등각전착 현상이 두드러지는 것으로 나타났다. 이들은 그 원인으로 탄소 체인이 길어질수록 분자크기가 증가하여 패턴 내부로 확산되는 MACA의 양이 입구에 비해 상대적으로 감소함에 따른 입구에서의 선택적인 억제 효과를 들었다. 이 역시 가속제와 억제제의 상호작용에 따른 전해 도금의 초등각전착과는 다소 다른 개념이며 고전적 레벨링에 보다 가까운 작용 기구라 할 수 있다. 이러한 일련의 연구는 SPS 및 동종 계열의 mercapto 화합물이 전해 도금에서는 가속제로 쓰이는 데(이 또한 억제제를 첨가했을 경우 이 억제제의 작용 기전을 방해함으로써 상대적으로 가속 효과를 나타낸다는 주장과, 억제제 첨가와 상관없이 그 자체로서 도금 속도의 증가를 가속시킨다는 주장의 대립이 있다.) 비해 무전해도금에서는 억제제로서의 역할에 중점을 두고 있다. 이는 아마도 전해도금액에 비해 complexing agent, 환원제, pH 조절제(전해 도금에 비해 상대적으로 높은 pH)를 포함하고 있는 무전해 도금액의 복잡성과 사용하는 기판의 상이성 및 표면에 발생하는 전위의 차 등에

기인하는 것으로 생각될 수도 있다. 그러나 최근에는 SPS를 첨가한 무전해 도금을 통해 초등각전착에서만 관찰되고 있는 패턴의 역전 현상과 용기의 형성을 관찰한 논문이 발표 되고 있으며 이러한 논문에서는 SPS의 가속제로서의 본래 역할에 충실한 이론을 제시하려는 노력이 보이고 있다. 대표적인 논문들이 Lee 등에 의해 발표 되었으며,⁵⁷⁻⁵⁹⁾ 이들은 quartz crystal microbalance를 이용하여 SPS의 농도에 따라 증착량의 증가 또는 감소 효과가 있음을 확인하고 이를 바탕으로 해 농도에 따른 SPS의 이중효과(bifunctional effect)를 언급하였다. 저농도(2.0 mg/L)의 SPS는 구리 환원에 있어 촉매 효과를 나타내어 증착량의 증가를 가져오나 그 이상의 고농도에서는 과량의 SPS가 오히려 억제제로 작용한다고 설명하였으며, 패턴의 위치에 따른 SPS의 농도차 형성을 초등각전착의 작용 기구로 해석하였다. 특히 이들은 SPS와 2, 2'-dipyridyl을 사용하여 초등각전착과 막질 개선을 동시에 구현하였으며, 이 이론을 SPS와 유사한 분자 구조를 가지며 구리 전해 도금의 가속제로 연구된 바 있는 DPS에도 확장하여 패턴 역전과 용기의 형성이 관찰되는 초등각전착을 구현하였다. Fig. 8에 Shingubara 등과 Lee 등의 무전해 도금 구리막을 비교 제시 하였다. 이 밖에도 8-hydroxy-7-iodo-5-quinoline sulfonic acid와 PEG를 각각 가속제와 억제제로 사용한 무전해 구리 도금에 대한 논문도 최근에 발표 되었으나 패턴 채움 특성상 기존의 바닥 차오름과는 다소 다른 양상을 보이고 있다.⁶⁰⁾

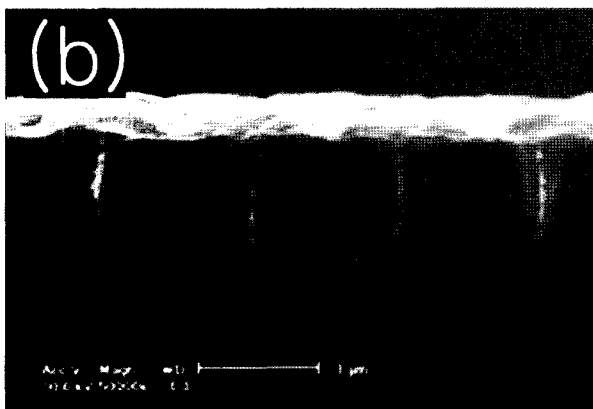
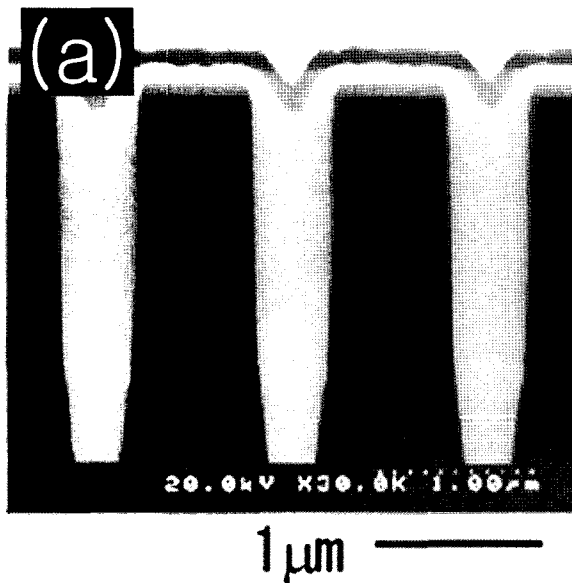


Fig. 8. Cross-sectional SEM images of electroless Cu deposition by (a) Shingubara et al. with SPS and PEG (Ref. 55) and (b) Lee et al. with SPS and 2, 2'-dipyridyl (Ref. 58). (Reproduced by permission of ECS-The Electrochemical Society). Note that SEM picture of (b) was taken after thermal annealing.

6. 화학적 기계적 연마 (CMP, Chemical Mechanical Polishing)

전해 도금을 통해 상감 패턴 상에 형성된 구리막은 패턴에 의한 기판의 굴곡 및 전해도금시 가속제에 의한 패턴의 역전 및 과전착 용기(bump)의 형성에 의해 평탄하지 못한 표면을 가진다. 균일하지 못한 표면은 다음 층의 형성을 위한 사진 공정(photo-lithography)에서 광원(light source)의 초점 심도(depth of focus)에 편차를 가져와 정밀한 구조의 형성이 어렵게 된다. 따라서 불균일한 표면을 연마나 화학적 처리를 통하여 평탄화 시

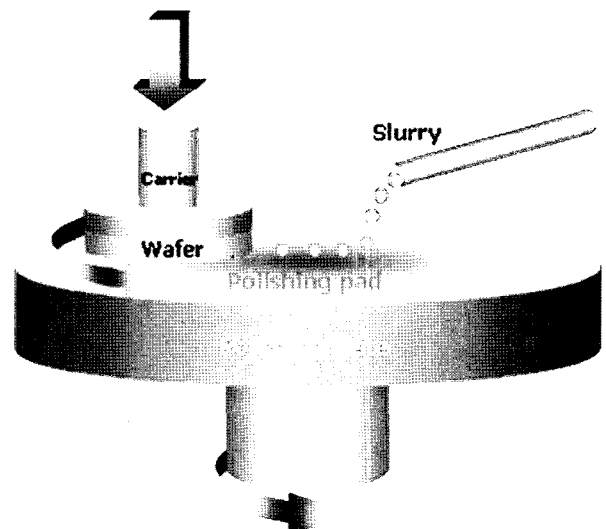


Fig. 9. Schematic diagram of chemical mechanical polishing.

켜야 하며 이때 사용되는 공정이 화학적 기계적 연마(CMP) 공정이다. Fig. 9에 CMP의 모식도를 나타내었다. 폴리 우레탄과 같은 다공성, 신축성 패드상에 제거하고자 하는 표면을 접촉시키고 다양한 화학적 조성을 가지는 연마제를 투입하여 적당한 압력을 가하여 연마를 수행하게 된다. 구리 CMP의 경우 연마제의 조성은, 수십~수백 nm 크기의 흙(fume)/칼로이드 실리카 입자, benzotriazole(BTA) 부식 방지제, 시트르산이나 옥살산 complexing agent, H₂O₂ 산화제 및 이온제거수(DI water)로 구성되어 있으며 pH 4~10 정도로 맞추어 사용된다. 최근의 연구 방향은 이 슬러리의 조성을 변화시키면서 최적의 연마 공정을 구현하는 연구나, 층간 절연막으로 사용되는 저유전율(low-k) 물질과의 공정 적합성, 스크래치나 표면 결함을 유발할 수 있는 연마제를 사용하지 않는 공정의 개발 등에 초점이 맞추어져 있다. 대표적 연구 결과를 살펴보면, DeNardis 등은 H₂O₂ 산화제 존재 하에서의 산화 구리막의 성장을 H₂O₂ 처리 시간과 농도에 따라 고찰 하여 CuO, Cu₂O, 및 Cu(OH)₂ 결정의 성장을 보고하였다.⁶¹⁾ Tsai 등은 쉽게 분해되는 H₂O₂의 성질을 개선하기 위하여 요소를 슬러리에 첨가함으로써 H₂O₂의 분해를 막고 보다 안정적인 산화제 특성을 확보하였다.⁶²⁾ Kondo 등은 CMP후 세척액에 BTA를 첨가함으로써 구리배선의 화학적 부식을 효과적으로 억제하였다는 연구를 보고하였다.⁶³⁾ Lee 등은 BTA 사용 시 저농도에서 에칭속도가 오히려 증가하는 문제를 해결하기 위해 5-aminotetrazole (ATRA) 을 새로운 부식 방지제로 사용한 연구 결과를 발표 하였으며 BTA에 비해 디싱(dishing)을 감소시키는 효과가 있음을 발표하였다.⁶⁴⁾

종종 슬러리 중 연마 입자는 서로 뭉치려는 성질이 있으며 뭉쳐진 입자는 CMP 공정중 표면에 스크래치를 발생시키거나 웨이퍼 표면에 오염물로 작용한다. 이를 방지하기 위해 연마입자를 포함하지 않는 CMP에 대한 일련의 연구들이 진행되었다. Pandija 등은 실리카 연마 입자를 포함하지 않은 옥살산/H₂O₂ 용액을 사용하여 실리카를 포함한 용액에 상응하는 연마속도를 구현하였으며, 이때의 연마속도는 pH와 H₂O₂농도에 영향을 받음을 고찰하였다.⁶⁵⁾ 또한 Kondo 등은 조성을 밝히지 않은 연마제를 포함하지 않은 슬러리(AFP, abrasive-free polishing)를 사용하여 dishing 및 erosion의 발생을 1/5로 줄인 연구 결과를 발표한 바 있다.⁶⁶⁾

구리 배선에 사용되는 층간 절연막인 저유전율 물질은 일반적으로 k값을 떨어뜨리기 위해 다공성 물질을 사용하는 경우가 많으며, 기계적 강도가 떨어지기 때문에 CMP등의 공정 시 구조의 붕괴나 박리등의 결함이 발생할 확률이 높다. 따라서 CMP 공정에 있어 인가압력과 같은 공정 변수가 저유전율 물질의 안정성에 미치는 영향 등에 대한 고찰이 필요로 하다.⁶⁷⁾

최근의 연구 동향 중 주목할 만한 사항은 CMP 공정 시 과도한 연마나, 연마할 표면의 불균일성에 의한 인가압력 차에 따른 dishing 등의 결함을 방지하기 위해, 앞서 언급한 바와 같이 도금 단계에서부터 구리막의 표면 단차를 최소화 하는 방향으로 많은 연구가 되고 있다는 점이다. 레벨링 이라고 불리는 이 공정은 도금액에 제3의 첨가제를 투입함으로써 과도한 도금과 패턴의 역전 현상을 억제하여 균일한 두께의 도금 표면을 얻는 공정이다. 자세한 설명은 구리 전해 도금 섹션에서 이미 다루어 졌다.

7. 표면 보호막(Capping Layer)

금속 배선의 열화(degradation)의 주요 요인 중 하나인 전자 이동 열화(electromigration)은 주로 배선 금속과 주변 물질(예를

들어 확산 방지막) 사이의 계면에서 주로 이루어진다.⁶⁸⁾ 전해 도금을 이용한 구리막 형성 및 불필요한 부분을 제거하고 평탄화 시켜주기 위한 후속 CMP 공정을 거친 후 표면에 노출된 구리는 전자이동 열화에 상당히 취약하며 표면에 보호막을 형성하여 전자이동 열화 및 절연막으로의 확산, 자연 산화 등에 대한 내성을 확보해야 한다. 이러한 보호막 형성에 있어 고려되어야 할 점은, 우수한 내 열화성은 물론 CMP 공정 후 노출되어 있는 구리 배선 표면에 선택적으로 형성될 수 있어야 한다. 이러한 선택적인 보호막 형성은 하층(under layer)의 전 표면을 덮음으로써⁶⁹⁾ 층간 절연막의 유전 상수(dielectric constant)를 증가시켰던 기존의 SiN_x 도포 방법에 비해, 저유전율 물질의 사용 효과를 극대화 할 수 있을 것으로 예측된다. 이러한 측면에서 보면 전도성 구리막 표면에서 선택적으로 반응을 일으킬 수 있는 무전해 도금이 보호막 형성의 방법으로 가장 적절한 것으로 평가 받고 있다. 대표적으로 연구 되고 있는 공정은 CoWP, CoWB, CoMoP, CoMoP등의 물질을 무전해 도금으로 구리배선 표면에 형성하는 방법이다. Nakano 등은 구리표면에 대해 촉매적 활성을 보이지 않는 NaH₂PO₂·H₂O 대신 dimethylamine borane(DMAB)를 환원제로 사용하여 Pd 활성화 없이 약 20%의 W 함량을 가진 CoWB 박막을 무전해 도금으로 구리 표면에 선택적으로 형성하여 확산 방지막으로서의 기능을 연구 하였다.⁶⁹⁾ Chang 등은 마찬가지로 DMAB를 이용하여 Pd 활성화 없이 Co-based alloy를 선택적으로 형성하여 그 특성을 Pd 활성화를 거쳐 형성한 박막과 비교하였다.⁷⁰⁾ DMAB를 이용해 Pd 활성화 없이 보호막을 형성한 경우 400°C 30분간의 열처리에도 구리의 확산이나 결정 구조의 변화가 관찰되지 않은 반면 Pd 활성화를 이용한 보호막의 경우 Pd 입자의 구리 내부로의 확산으로 인해 약 8.6%의 면저항 증가를 보임을 관찰하였다. 이와는 약간 상반된 결과로 Hu 등은 CoWP, CoSnP, 및 Pd 보호막을 형성하여 구리/보호막 계면에서의 전자이동 열화 특성을 분석한 결과, 세 개의 보호막이 모두 우수한 전자이동 내성을 나타내고 있음을 확인 하였다.⁷¹⁾ 보호막이 존재할 경우 대부분의 전자이동 열화에 의한 배선의 불량(failure)은 구리와 Ta 확산 방지막 계면에서 발생한다고 보고하였다.

CoWB 박막에 있어 W 및 B의 함량은 박막의 결정 구조나 산화 저항성에 큰 영향을 미치는 것으로 알려져 있으며 일반적으로 B의 양이 증가함에 따라 박막의 결정은 나노결정(nanocrystalline) 혹은 비정질성을 띄고 박막의 비저항 및 산화에 대한 저항성을 증가 시키는 것으로 보인다.⁷²⁾ W은 산화저항성에 있어 B와 반대의 경향을 보이며 산화 저항성이 가장 우수한 박막은 2.2%의 B만을 포함하는 CoB 박막인 것으로 보고되고 있다.⁷²⁾ Kim 등은 구리와 은 사이의 환원 전위차를 이용해 높은 전도성의 은 박막을 구리 표면에 선택적으로 치환증착하여 산화방지막으로서의 우수한 특성을 확인한 바 있다.⁷³⁾ 이 밖에도 SiN 박막을 CoWP박막에 보강함으로써 비아 식각(via etching)과정이나 불균일한 CoWP 박막 형성에 의해 발생할 수 있는 보호막의 불량 현상을 방지할 수 있다는 연구 결과도 보고되고 있다.⁷⁴⁾

8. 결 언

전해 도금을 이용한 구리 배선 공정은 기가급 반도체 소자 제조에 있어 핵심이 되는 기술 분야 중 하나이다. 고속화, 고집적화, 고신뢰성 다층 구리 배선의 제작을 위해서는 재료적 측면

에 있어 저유전을 중간 절연막, 구리에 대한 효과적인 확산 방지막 및 표면 보호막 물질에 대한 개발이 필요하며, 공정적인 측면에서는 높은 단차 피복율을 요구하는 고 종횡비(high aspect ratio) 상감(damascene) 구조에 적합한 확산 방지막 및 도전층 형성 공정과, 유기 첨가제를 이용한 구리의 초등각전착(superconformal deposition) 기술 및 평탄화 기술이 필수적이다. 현재의 Si를 기반으로 한 전통적 소자에 있어 구리배선의 한계가 어디까지인지 아직 명확하지 않으나, 집적도가 증가하고 개별 공정의 마진이 감소할수록 해결해야 하는 많은 문제점을 가지고 있으며 이를 극복 할 수 있는 새로운 재료와 공정에 대한 개발이 지속적으로 요구된다.

참고문헌

1. J. G. Ryan, R. M. Geffken, N. R. Poulin, and J. R. Paraszczak, "The Evolution of Interconnection Technology at IBM", *IBM J. Res. Dev.*, **39**, 371 (1995).
2. S. P. Murarka and S. W. Hymes, "Copper Metallization for ULSI and Beyond", *Crit. Rev. Solid State Mater. Sci.*, **20**, 87 (1995).
3. International Technology Roadmap for Semiconductor-2005 Update, <http://www.itrs.net>
4. Y. Y. Wu, A. Kohn, and M. Eizensberg, "Structures of Ultra-Thin Atomic-Layer-Deposited TaN_x Films", *J. Appl. Phys.*, **95**, 6167 (2004).
5. J.-S. Park, S.-W. Kang, and H. Kim, "Growth Mechanism and Diffusion Barrier Property of Plasma-Enhanced Atomic Layer Deposition Ti-Si-N Thin Films", *J. Vac. Sci. Technol. B*, **24**, 1327 (2006).
6. K.-S. Kim, M.-S. Lee, S.-S. Yim, H.-M. Kim, K.-B. Kim, H.-S. Park, W. Koh, W.-M. Li, M. Stokhof, and H. Sprey, "Evaluation of Integrity and Barrier Performance of Atomic Layer Deposited WN_xC_y Films on Plasma Enhanced Chemical Vapor Deposited SiO₂ for Cu Metallization", *Appl. Phys. Lett.*, **89**, 081913-1 (2006).
7. C. W. Lee, and Y. T. Kim, "Effects of NH₃ Pulse Plasma on Atomic Layer Deposition of Tungsten Nitride Diffusion Barrier", *J. Vac. Sci. Technol. B*, **24**, 1432 (2006).
8. S. Rawal, D. P. Norton, H. Ajmera, T. J. Anderson, and L. McElwee-White, "Properties of Ta-Ge-(O)N as a Diffusion Barrier for Cu on Si", *Appl. Phys. Lett.*, **90**, 051913-1 (2007).
9. B. R. Murthy, W. M. Yee, A. Krishnamoorthy, R. Kumar, and D. C. Frye, "Self-Assembled Monolayers as Cu Diffusion Barriers for Ultralow-k Dielectrics", *Electrochem. Solid-State Lett.*, **9**, F61 (2006).
10. C.-C. Chang, S.-K. JangJian, and J. S. Chen, "Dependence of Cu/Ta-N/Ta Metallization Stability on the Characteristics of Low Dielectric Constant Materials", *J. Electrochem. Soc.*, **152**, G517 (2005).
11. R. Chan, T. N. Arunagiri, Y. Zhang, O. Chyan, R. M. Wallace, M. J. Kim, and T. Q. Hurd, "Diffusion Studies of Copper on Ruthenium Thin Film", *Electrochem. Solid-State Lett.*, **7**, G154 (2004).
12. S. K. Cho, S.-K. Kim, H. Han, J. J. Kim, and S. M. Oh, "Damascene Cu Electrodeposition on Metal Organic Chemical Vapor Deposition-Grown Ru Thin Film Barrier", *J. Vac. Sci. Technol. B*, **22**, 2649 (2004).
13. J. Reid, "Copper Electrodeposition: Principles and Recent Progress", *Jpn. J. Appl. Phys.*, **40**, 2650 (2001).
14. W. H. Lee, Y. K. Ko, I. J. Byun, B. S. Seo, J. G. Lee, P. J. Reucroft, J. U. Lee, and J. Y. Lee, "Chemical Vapor Deposition of an Electroplating Cu Seed Layer Using Hexafluoroacetylacetonate Cu (1,5-dimethylcyclooctadiene)", *J. Vac. Sci. Technol. A*, **19**, 2974 (2001).
15. Y. S. Diamand, V. Dubin, and M. Angyal, "Electroless Copper Deposition for ULSI", *Thin Solid Films*, **262**, 93 (1995).
16. K. Weiss, S. Riedel, S. E. Schulz, M. Schwerd, H. Helneider, H. Wendt, and T. Gessner, "Development of Different Copper Seed Layers with Respect to the Copper Electroplating Process", *Microelectron. Eng.*, **50**, 433 (2000).
17. C. Jezewski, W. A. Lanford, C. J. Wiegand, J. P. Singh, P.-I. Wang, J. J. Senkevich, and T.-M. Lu, "Inductively Coupled Hydrogen Plasma-Assisted Cu ALD on Metallic and Dielectric Surfaces", *J. Electrochem. Soc.*, **152**, C60 (2005).
18. S.-K. Kim, S. K. Cho, J. J. Kim, and Y.-S. Lee, "Superconformal Cu Electrodeposition on Various Substrates", *Electrochem. Solid-State Lett.*, **8**, C19 (2005).
19. A. Radisic, Y. Cao, P. Taephaisitphongse, A. C. West, and P. C. Searson, "Direct Copper Electrodeposition on TaN Barrier Layers", *J. Electrochem. Soc.*, **150**, C362 (2003).
20. J. J. Kim, S.-K. Kim, and Y. S. Kim, "Direct Plating of Low Resistivity Bright Cu Film onto TiN Barrier Layer via Pd Activation", *J. Electrochem. Soc.*, **151**, C97 (2004).
21. O. Chyan, T. N. Arunagiri, and T. Ponnuswamy, "Electrodeposition of Copper Thin Film on Ruthenium; A Potential Diffusion Barrier for Cu Interconnects", *J. Electrochem. Soc.*, **150**, C347 (2003).
22. T. P. Moffat, M. Walker, P. J. Chen, J. E. Bonevich, W. F. Egelhoff, L. Richter, C. Witt, T. Aaltonen, M. Ritala, M. Leskelä, and D. Josell, "Electrodeposition of Cu on Ru Barrier Layers for Damascene Processing", *J. Electrochem. Soc.*, **153**, C37 (2006).
23. D. Josell, C. Witt, and T. P. Moffat, "Osmium Barriers for Direct Copper Electrodeposition in Damascene Processing", *Electrochem. Solid-State Lett.*, **9**, C41 (2006).
24. D. Josell, J. E. Bonevich, T. P. Moffat, T. Aaltonen, M. Ritala, and M. Leskelä, "Iridium Barriers for Direct Copper Electrodeposition in Damascene Processing", *Electrochem. Solid-State Lett.*, **9**, C48 (2006).
25. J. O. Dukovic, in: H. Gerischer, C. W. Tobias (Eds.), "Advances in Electrochemical Science and Engineering", vol. 3, VCH, Weinheim, 1994, p. 121.
26. M. Datta and D. Landolt, "Fundamental Aspects and Applications of Electrochemical Microfabrication", *Electrochim. Acta*, **45**, 2535 (2000).
27. M. Paunovic and M. Schlesinger, "Fundamentals of Electrochemical Deposition", John Wiley & Sons Inc., NY, 1998, p.182.
28. K. M. Takahashi and M. E. Gross, "Transport Phenomena That Control Electroplated Copper Filling of Submicron Vias and Trenches", *J. Electrochem. Soc.*, **146**, 4499 (1999).
29. S.-K. Kim, "Advanced Metallization for High Performance Devices Using Superconformal Cu Electrodeposition", Ph.D. Thesis, Seoul National University (2004).
30. A. C. West, "Theory of Filling of High-Aspect Ratio Trenches and Vias in Presence of Additives", *J. Electrochem. Soc.*, **147**, 227 (2000).
31. S.-Y. Chiu, J.-M. Shieh, S.-C. Chang, K.-C. Lin, B.-T. Dai, C.-F. Chen, and M.-S. Feng, "Characterization of Additive Systems for Damascene Cu Electroplating by the Superfilling Profile Monitor", *J. Vac. Sci. Technol. B*, **18**, 2835 (2000).
32. J. J. Kim, S. -K. Kim, and Y. S. Kim, "Catalytic Behavior of 3-Mercapto-1-Propane Sulfonic Acid on Cu Electrodeposition and Its Effect on Cu Film Properties for CMOS Device Metallization", *J. Electroanal. Chem.*, **542**, 61 (2003).
33. S.-K. Kim and J. J. Kim, "Superfilling Evolution in Cu Electrodeposition; Dependence on the Aging Time of the Accelerator", *Electrochem. Solid-State Lett.*, **7**, C98 (2004).
34. A. Frank and A. J. Bard, "The Decomposition of the Sulfonate Additive Sulfoethyl Sulfonate in Acid Copper Electroplating Chemistries", *J. Electrochem. Soc.*, **150**, C244 (2003).
35. T. P. Moffat, D. Wheeler, M. D. Edelstein, and D. Josell, "Superconformal Film Growth: Mechanism and Quantification", *IBM J. Res. & Dev.*, **49**, 19 (2005).
36. J. Reid and S. Mayer, "Factors Influencing Fill of IC Features Using Electroplated Copper", in Proceedings of Advanced Metallization Conference, p. 53, Orland, Florida (1999).

37. T. P. Moffat, J. E. Bonevich, W. H. Huber, A. Stanishevsky, D. R. Kelly, G. R. Stafford, and D. Josell, "Superconformal Electrodeposition of Copper in 500-90 nm Features", *J. Electrochem. Soc.*, **147**, 4524 (2000).
38. D. Josell, D. Wheeler, W. H. Huber, and T. P. Moffat, "Superconformal Electrodeposition in Submicron Features", *Phys. Rev. Lett.*, **87**, 016102 (2001).
39. Y. Cao, P. Taephaisitphongse, R. Chalupa, and A. C. West, "Three-Additive Model of Superfilling of Copper", *J. Electrochem. Soc.*, **148**, C466 (2001).
40. W. C. West, S. Mayer, and J. Reid, "A Superfilling Model that Predicts Bump Formation", *Electrochem. Solid-State Lett.*, **4**, C50 (2001).
41. D. Josell, B. Baker, C. Witt, D. Wheeler, and T. P. Moffat, "Via Filling by Electrodeposition", *J. Electrochem. Soc.*, **149**, C637 (2002).
42. D. Josell, D. Wheeler, and T. P. Moffat, "Superconformal Electrodeposition in Vias", *Electrochem. Solid-State Lett.*, **5**, C49 (2002).
43. T. P. Moffat, D. Wheeler, C. Witt, and D. Josell, "Superconformal Electrodeposition Using Derivatized Substrates", *Electrochem. Solid-State Lett.*, **5**, C110 (2002).
44. D. Josell, D. Wheeler, W. H. Huber, J. E. Bonevich, and T. P. Moffat, "A Simple Equation for Predicting Superconformal Electrodeposition in Submicrometer Trenches", *J. Electrochem. Soc.*, **148**, C767 (2001).
45. T. P. Moffat, D. Wheeler, W. H. Huber, and D. Josell, "Superconformal Electrodeposition of Copper", *Electrochem. Solid-State Lett.*, **4**, C26 (2001).
46. S. K. Cho, S.-K. Kim, and J. J. Kim, "Superconformal Cu Electrodeposition Using DPS; A Substitute Accelerator for Bis(3-sulfopropyl) Disulfide", *J. Electrochem. Soc.*, **152**, C330 (2005).
47. J. J. Kelly, C. Tian, and A. C. West, "Leveling and Microstructural Effects of Additives for Copper Electrodeposition", *J. Electrochem. Soc.*, **146**, 2540 (1999).
48. W.-P. Dow and C.-W. Liu, "Evaluating the Filling Performance of a Copper Plating Formula Using a Simple Galvanostat Method", *J. Electrochem. Soc.*, **153**, C190 (2006).
49. J. Reid and J. Zhou, "Leveler Molecular Weight and Concentration Impact on Damascene Copper Electroplating Bath Electrochemical Behavior and Film Properties", 209th Electrochemical Society Meeting, Abstract #422, May7-12, Denver, Colorado (2006).
50. S.-K. Kim, D. Josell, and T. P. Moffat, "Cationic Surfactants for the Control of Overfill Bumps in Cu Superfilling", *J. Electrochem. Soc.*, **153**, C826 (2006).
51. S.-K. Kim, D. Josell, and T. P. Moffat, "Electrodeposition of Cu in the PEI-PEG-Cl-SPS Additive System; Reduction of Overfill Bump Formation During Superfilling", *J. Electrochem. Soc.*, **153**, C616 (2006).
52. C. H. Lee, S. H. Cha, A. R. Kim, J.-H. Hong, and J. J. Kim, "Optimization of a Pretreatment for Copper Electroless Deposition on Ta Substrates", *J. Electrochem. Soc.*, **154**, D182 (2007).
53. P. P. Lau, C. C. Wong, and L. Chan, "Improving Electroless Cu Via Filling, with Optimized Pd Activation", *Appl. Sur. Sci.*, **253**, 2357 (2006).
54. Y.-S. Kim, G. A. T. Eyck, D. Ye, C. Jezewski, T. Karabacak, H. -S. Shin, J. J. Senkevich, and T.-M. Lu, "Atomic Layer Deposition of Pd on TaN for Cu Electroless Plating", *J. Electrochem. Soc.*, **152**, C376 (2005).
55. S. Shingubara, Z. Wang, O. Yaegashi, R. Obata, H. Sakaue, and T. Takahagi, "Bottom-Up Fill of Copper in Deep Submicrometer Holes by Electroless Plating", *Electrochem. Solid-State Lett.*, **7**, C78 (2004).
56. Z. Wang, Z. Liu, H. Jiang, and X. W. Wang, "Bottom-up Fill Mechanisms of Electroless Copper Plating with Addition of Mercapto Alkyl Carboxylic Acid", *J. Vac. Sci. Technol. B*, **24**, 803 (2006).
57. C. H. Lee, S. C. Lee, and J. J. Kim, "Bottom-up Filling in Cu Electroless Deposition Using Bis-(3-sulfopropyl)-disulfide (SPS)", *Electrochim. Acta*, **50**, 3563 (2005).
58. C. H. Lee, S. C. Lee, and J. J. Kim, "Improvement of Electrolessly Gap-Filled Cu Using 2, 2'-Dipyridyl and Bis-(3-sulfopropyl)-disulfide (SPS)", *Electrochem. Solid-State Lett.*, **8**, C110 (2005).
59. C. H. Lee, S. K. Cho, and J. J. Kim, "Electroless Cu Bottom-Up Filling Using 3-N,N-dimethylaminodithiocarbamoyl-1-propanesulfonic Acid", *Electrochem. Solid-State Lett.*, **8**, J27 (2005).
60. M. Hasegawa, Y. Okinaka, Y. Shacham-Diamand, and T. Osaka, "Void-Free Trench-Filling by Electroless Copper Deposition Using the Combination of Accelerating and Inhibiting Additives", *Electrochem. Solid-State Lett.*, **9**, C138 (2006).
61. D. DeNardis, D. Rosales-Yeomans, L. Borucki, and A. Philipossian, "Characterization of Copper-Hydrogen Peroxide Film Growth Kinetics", *Thin Solid Films*, **513**, 311 (2006).
62. T.-H. Tsai, Y.-F. Wu, and S.-C. Yen, "A Study of Copper Chemical Mechanical Polishing in Urea-Hydrogen Peroxide Slurry by Electrochemical Impedance Spectroscopy", *Appl. Surf. Sci.*, **214**, 120 (2003).
63. S. Kondo, N. Sakuma, Y. Homma, and N. Ohashi, "Slurry Chemical Corrosion and Galvanic Corrosion During Copper Chemical Mechanical Polishing", *Jpn. J. Appl. Phys.*, **39**, 6216 (2000).
64. J.-W. Lee, M.-C. Kang and J. J. Kim, "Characterization of 5-Aminotetrazole as a Corrosion Inhibitor in Copper Chemical Mechanical Polishing", *J. Electrochem. Soc.*, **152**, C827 (2005).
65. S. Pandija, D. Roy, and S. V. Babu, "Chemical Mechanical Planarization of Copper Using Abrasive-Free Solutions of Oxalic Acid and Hydrogen Peroxide", *Mat. Chem. Phys.*, in press.
66. S. Kondo, N. Sakuma, Y. Homma, Y. Goto, N. Ohashi, H. Yamaguchi, and N. Owada, "Abrasive-Free Polishing for Copper Damascene Interconnection", *J. Electrochem. Soc.*, **147**, 3907 (2000).
67. S. Balakumar, X. T. Chen, Y. W. Chen, T. Selvaraj, B. F. Lin, R. Kumar, T. Hara, M. Fujimoto, and Y. Shimura, "Peeling and Delamination in Cu/SILK™ Process During Cu-CMP", *Thin Solid Films*, **161** (2004).
68. W. Shao, S. G. Mihalskar, T. Sritharan, A. V. Vairagar, H. J. Engelmann, O. Aubel, E. Zschech, A. M. Gusak, and K. N. Tu, "Direct Evidence of Cu/Cap/Liner Edge Being the Dominant Electromigration Path in Dual Damascene Cu Interconnects", *Appl. Phys. Lett.*, **90**, 052106-1 (2007).
69. H. Nakano, T. Itabashi, and H. Akahoshi, "Electroless Deposited Cobalt-Tungsten-Boron Capping Barrier Metal on Damascene Copper Interconnection", *J. Electrochem. Soc.*, **152**, C163 (2005).
70. S. Y. Chang, C. C. Wan, Y. Y. Wang, C. H. Shih, M. H. Tsai, S. L. Shue, C. H. Yu, and M. S. Liang, "Characterization of Pd-Free Electroless Co-Based Cap Selectively Deposited on Cu Surface Via Borane-Based Reducing Agent", *Thin Solid Films*, **515**, 1107 (2006).
71. C.-K. Hu, L. Gignac, R. Rosenberg, E. Liniger, J. Rubino, C. Sambucetti, A. Domenicucci, X. Chen, and A. K. Stamper, "Reduced Electromigration of Cu Wires by Surface Coating", *Appl. Phys. Lett.*, **81**, 1782 (2002).
72. H. Einati, V. Bogush, Y. Sverdlov, Y. Rosenverg, and Y. Shacham-Diamand, "The Effect of Tungsten and Boron on the Cu Barrier and Oxidation Properties of Thin Electroless Cobalt-Tungsten-Boron Films", *Microelectron. Eng.*, **82**, 623 (2005).
73. J. J. Kim, Y. S. Kim, and S.-K. Kim, "Oxidation Resistive Cu Films by Room Temperature Surface Passivation with Thin Ag Layer", *Electrochem. Solid-State Lett.*, **6**, C17 (2003).
74. J. P. Gambino, C. L. Johnson, J. E. Therrien, D. B. Hunt, J. E. Wynne, S. Smith, S. A. Mongeon, D. P. Pokrinchak, and T. M. Levin, "Stress Migration Lifetime for Cu Interconnects With CoWP-Only Cap", *IEEE Trans. Device Mater. Rel.*, **6**, 197 (2006)